

**SISTEMAS DIGITAIS**  
**Problemas Resolvidos e Propostos**

**Coordenação de**  
**Guilherme da Silva Arroz**

**CAPITULO 1**  
**Conceitos Básicos e Álgebra de Boole**

**PROBLEMAS RESOLVIDOS**

**Problema 1**

Mostre que a função EXOR é comutativa e associativa.

**Resolução:**

Uma vez que se está a trabalhar com uma álgebra a dois valores é exequível proceder à demonstração por análise exaustiva de todos os casos possíveis:

A	B	$A \oplus B$	$B \oplus A$
F	F	F	F
F	V	V	V
V	F	V	V
V	V	F	F

A	B	C	$A \oplus B$	$(A \oplus B) \oplus C$	$B \oplus C$	$A \oplus (B \oplus C)$
F	F	F	F	F	F	F
F	F	V	F	V	V	V
F	V	F	V	V	V	V
F	V	V	V	F	F	F
V	F	F	V	V	F	V
V	F	V	V	F	V	F
V	V	F	F	F	V	F
V	V	V	F	V	F	V

**Problema 2**

Mostre que  $\overline{A+B} = \bar{A} \cdot \bar{B}$

**Resolução:**

Da mesma forma que no 1º problema, procede-se à análise exaustiva de todos os casos possíveis:

A	B	$A+B$	$\overline{A+B}$	$\bar{A}$	$\bar{B}$	$\bar{A} \cdot \bar{B}$
F	F	F	V	V	V	V
F	V	V	F	V	F	F
V	F	V	F	F	V	F
V	V	V	F	F	F	F

**Problema 3**

A tripulação de um avião é constituída por dois pilotos e um engenheiro. Projete um circuito com interruptores que são fechados quando um membro da tripulação deixa a sua cadeira e que gera um sinal de alarme sempre que o engenheiro deixa o seu posto ou sempre que os dois pilotos deixam o seu lugar simultaneamente.

Resolução:

Pode-se recorrer a circuitos eléctricos elementares, constituídos por uma bateria, uma lâmpada e interruptores para a implementação de funções booleanas.

Vamos adoptar as seguintes convenções para a função  $Y=f(x)$ :

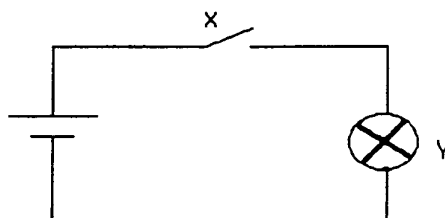
-O estado da lâmpada (acesa ou apagada) indica o valor da variável  $Y$ ; se apagada  $Y=0$ , se acesa  $Y=1$ . (Podia-se ter convencionado o oposto).

-A cada interruptor está associado o valor da variável  $X_i$ . Quando o interruptor estiver accionado  $X_i=1$ , quando estiver em repouso  $X_i=0$ . (também se podia ter convencionado o oposto).

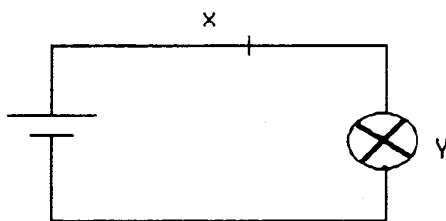
-Na representação gráfica dos interruptores indica-se sempre o interruptor no estado de repouso.

Considere-se uma função de uma variável, portanto um circuito em que existirá só um interruptor.

a)  $Y=X$



b)  $Y=\bar{X}$



Neste problema:

O alarme é a nossa lâmpada.

Os interruptores são fechados só quando o membro da tripulação deixa o seu posto; o estado de repouso é aberto.

Existem três interruptores (um engenheiro e dois pilotos)

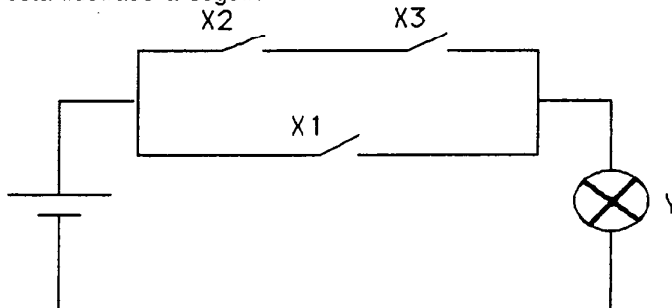
X1-Engenheiro

X2-Piloto 1

X3-Piloto 2

A função lógica a implementar é  $Y= X1+X2.X3$

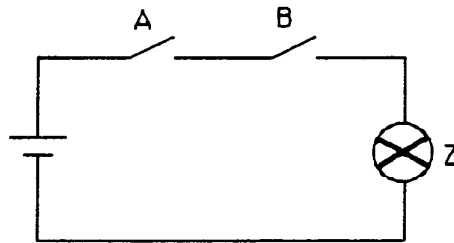
O circuito está ilustrado a seguir:



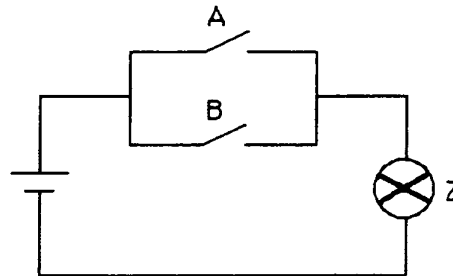
**Problema 4**

Considere os seguintes circuitos:

A)



B)



O circuito A) executa a operação AND e o circuito B) executa a operação OR.

Suponha que todas as variáveis A,B e Z têm as suas definições invertidas, isto é, A é verdadeiro quando o interruptor está aberto etc. Verifique que neste caso o primeiro circuito passa a comportar-se como um circuito OR e o segundo como um circuito AND.

Resolução:

Este problema é particularmente importante para mostrar que o mesmo circuito pode ter interpretações bem diferentes.

Para o circuito A)

A	B	Z
aberto	aberto	apagado
aberto	fechado	apagado
fechado	aberto	apagado
fechado	fechado	aceso

Para o circuito B)

A	B	Z
aberto	aberto	apagado
aberto	fechado	aceso
fechado	aberto	aceso
fechado	fechado	aceso

se utilizarmos a convenção habitual: aberto=Falso  
fechado=Verdadeiro  
apagado=Falso  
aceso=Verdadeiro

Obtém-se para o circuito A) um AND:

A	B	Z
F	F	F
F	V	F
V	F	F
V	V	V

E para o circuito B) um OR:

A	B	Z
F	F	F
F	V	V
V	F	V
V	V	V

Se invertermos a convenção (lógica negativa) dos interruptores e da lâmpada as atribuições passam a ser as seguintes: aberto=Verdadeiro  
fechado=Falso  
apagado=Verdadeiro  
aceso=Falso

Com a nova convenção o circuito A) comporta-se como um OR:

A	B	Z
V	V	V
V	F	V
F	V	V
F	F	F

E o circuito B) como um AND:

A	B	Z
V	V	V
V	F	F
F	V	F
F	F	F

**Problema 5**

Prepare tabelas de verdade para as funções:

A)  $f(A,B,C) = A(B+\bar{C})(\bar{B}+C)$

B)  $f(A,B,C,D) = A(\bar{B}+\bar{C})(\bar{B}+D)$

C)  $f(A,B,C) = \bar{A}\bar{C} + BC$

Resolução:

A)

A	B	C	$B+\bar{C}$	$\bar{B}+C$	$A(B+\bar{C})(\bar{B}+C)$
0	0	0	1	1	0
0	0	1	0	1	0
0	1	0	1	0	0
0	1	1	1	1	0
1	0	0	1	1	1
1	0	1	0	1	0
1	1	0	1	0	0
1	1	1	1	1	1

B)

A	B	C	D	$\bar{B}+D$	$\bar{C}(\bar{B}+D)$	$\bar{B}+\bar{C}(\bar{B}+D)$	$A[\bar{B}+\bar{C}(\bar{B}+D)]$
0	0	0	0	1	1	1	0
0	0	0	1	1	1	1	0
0	0	1	0	1	0	1	0
0	0	1	1	1	0	1	0
0	1	0	0	0	0	0	0
0	1	0	1	1	1	1	0
0	1	1	0	0	0	0	0
0	1	1	1	1	0	0	0
1	0	0	0	1	1	1	1
1	0	0	1	1	1	1	1
1	0	1	0	1	0	1	1
1	0	1	1	1	0	1	1
1	1	0	0	0	0	0	0
1	1	0	1	1	1	1	1
1	1	1	0	0	0	0	0
1	1	1	1	1	0	0	0

c)

A	B	C	A.C	$\overline{A.C}$	B.C	$\overline{A.C}+BC$
0	0	0	0	1	0	1
0	0	1	0	1	0	1
0	1	0	0	1	0	1
0	1	1	0	1	1	1
1	0	0	0	1	0	1
1	0	1	1	0	0	0
1	1	0	0	1	0	1
1	1	1	1	0	1	1

**Problema 6**

Verifique, examinando todos os casos possíveis, que os seguintes teoremas são válidos:

A)  $\overline{\overline{A}}=A$

B)  $A+0=A$ ,  $A.1=A$

C)  $A+1=1$ ,  $A.0=0$

D)  $A+A=A$ ,  $A.A=A$

E)  $A+\overline{A}=1$ ,  $A.\overline{A}=0$

Resolução:

A)

A	$\overline{A}$	$\overline{\overline{A}}$
0	1	0
1	0	1

B)

A	A+0	A.1
0	0	0
1	1	1

C)

A	A+1	A.0
0	1	0
1	1	0

D)

A	A+A	A.A
0	0	0
1	1	1

E)

A	$\bar{A}$	$A+\bar{A}$	$A.\bar{A}$
0	1	1	0
1	0	1	0

**Problema 7**

Verifique, examinando todos os casos possíveis, que:

$$AB+\bar{A}C+BC=AB+\bar{A}C$$

Resolução:

A	B	C	AB	$\bar{A}C$	$AB+\bar{A}C$	BC	$AB+\bar{A}C+BC$
0	0	0	0	0	0	0	0
0	0	1	0	1	1	0	1
0	1	0	0	0	0	0	0
0	1	1	0	1	1	1	1
1	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0
1	1	0	1	0	1	0	1
1	1	1	1	0	1	1	1

**Problema 8**

Através de manipulação algébrica, usando os teoremas da algebra booleana verifique as seguintes equações:

A)  $(A+\bar{B}+AB)(A+\bar{B})\bar{A}B=0$

B)  $\bar{A}B(\bar{D}+D\bar{C})+(A+D\bar{A}C)B=B$

C)  $\overline{(\bar{B}+C)A}+(\overline{CD})=CD$

Resolução:

A)  $(A+\bar{B}+AB)(A+\bar{B})\bar{A}B=$   
 $=[A(1+B)+\bar{B}](A+\bar{B})\bar{A}B=$   
 $=(A+\bar{B})(A+\bar{B})\bar{A}B=$  porque  $1+X=1$   
 $=(A+\bar{B})\bar{A}B=$  porque  $X.X=X$   
 $=A\bar{A}B+\bar{B}\bar{A}B=$   
 $=0+0=0$  porque  $X.\bar{X}=0$



$$\begin{aligned}
 \text{B) } & \bar{A}B(\bar{D}+D\bar{C})+(A+D\bar{A}C)B= \\
 & =\bar{A}B(\bar{D}+\bar{C})+(A+DC)B= & \text{porque } X+\bar{X}Y=X+Y \\
 & =B[\bar{A}(\bar{D}+\bar{C})+(A+DC)]= \\
 & =B[\bar{A}(\bar{D}+\bar{C})+\overline{(A+DC)}]= & \text{porque } X=\bar{\bar{X}} \\
 & =B[\bar{A}(\bar{D}+\bar{C})+\overline{A(\bar{D}+\bar{C})}]= & \text{lei de Morgan} \\
 & =B[1] & \text{porque } X+\bar{X}=1 \\
 & =B & X.1=X
 \end{aligned}$$

$$\begin{aligned}
 \text{C) } & \overline{(\bar{B}+C)A}+(\bar{C}D)= \\
 & =[(\bar{B}+C)A].(\bar{C}D)= & \text{leis de Morgan} \\
 & =[(\bar{B}+C)+\bar{A}].(\bar{C}D)= & \text{leis de Morgan} \\
 & =[(\bar{B}+C)+\bar{A}].(\bar{C}D)= & \text{porque } X=\bar{\bar{X}} \\
 & =[\bar{B}+C+\bar{A}].(\bar{C}D)= \\
 & =\bar{B}CD+CCD+\bar{A}CD= \\
 & =CD[\bar{B}+1+\bar{A}]= \\
 & =CD[1]= & \text{porque } X+1=1 \\
 & =CD & \text{porque } X.1=X
 \end{aligned}$$

**Problema 9**

Um técnico de um laboratório químico possui quatro produtos químicos A,B,C e D que devem ser guardados em dois depósitos. Por conveniência, é necessário mover um ou mais produtos de um depósito para o outro de tempos em tempos. A natureza dos produtos é tal que é perigoso guardar B e C juntos, a não ser que A esteja no mesmo depósito. Também é perigoso guardar C e D juntos se A não estiver no depósito. Escreva uma expressão para a variável lógica Z tal que Z=1 sempre que exista uma combinação perigosa em qualquer dos depósitos.

Resolução:

Existem duas situações perigosas:

A) Produto B + Produto C + ausência do Produto A ( $BC\bar{A}$ )

B) Produto C + Produto D + ausência do Produto A ( $CD\bar{A}$ )

$$Z(A,B,C,D) = BC\bar{A} + CD\bar{A}$$

$$Z(A,B,C,D) = C\bar{A}(B+D)$$

**Problema 10**

A) Existem três interruptores de parede 'a','b' e 'c'. A=1 representa a condição interruptor 'a' ligado e A=0 representa a condição interruptor 'a' desligado. De modo similar, as variáveis B e C estão associadas às posições dos interruptores 'b' e 'c' respectivamente. Escreva uma expressão para uma variável Z de modo que a alteração do estado de um interruptor, independentemente dos outros, vá provocar a mudança de estado na variável Z. Desenhe a estrutura de portas que implementa Z.

B) Lembrando que interruptores em série e em paralelo podem executar as operações AND e OR, desenhe o circuito de um arranjo de interruptores que permite que uma lâmpada seja ligada ou desligada por qualquer dos três interruptores. (Os interruptores podem ser multipolares.)

Resolução:

A) Suponha-se que quando os três interruptores 'a','b' e 'c' estão desligados Z=0 (podia-se ter suposto o contrário). No enunciado afirma-se que o estado de Z se altera sempre que um interruptor mudar de estado (desligado para ligado ou ligado para desligado).

Vamos então dispor as combinações possíveis dos três interruptores de modo que de uma combinação para a outra apenas mude um dos interruptores ( código Gray-reflectido ).

	A	B	C	Z
3	0	0	0	0
2	0	0	1	1
3	0	1	1	0
1	0	1	0	1
	1	1	0	0
3	1	1	1	1
2	1	0	1	0
3	1	0	0	1

→ Arbitrou-se que quando A, B e C estivessem inactivos, Z também estaria inactivo.

Repare-se que, de uma linha para a outra apenas um interruptor é mudado, o que significa que Z muda de estado.

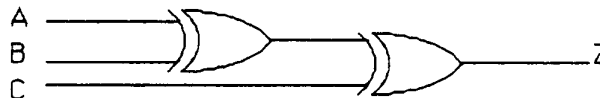
Repare-se ainda que para a linha 1 (A=B=C=0), há três linhas que diferem desta em apenas uma variável. A linha 2 (variável C), a linha 4 (variável B) e a linha 8 (variável A). Para qualquer destas três linhas Z muda de estado em relação à linha 1. O mesmo se passa para qualquer das outras linhas.

**NOTA:** a razão porque se dispuseram as combinações possíveis de A, B e C nesta maneira pouco usual é porque assim torna-se mais simples ver quais são as linhas que diferem de qualquer outra em apenas uma variável e identificar imediatamente a variável que muda:

A linha que é simétrica à que tomámos como referência em relação ao eixo 1 difere desta na variável A. A linha que é simétrica em relação ao eixo 2 mais próximo varia na variável B. A linha que é simétrica em relação ao eixo 3 mais próximo varia na variável C.

A variável Z é função das variáveis de entrada A, B e C:

$$\begin{aligned}
 Z(A,B,C) &= \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC \\
 &= \bar{A}\bar{B}C + (A \oplus B)\bar{C} + ABC \\
 &= (\bar{A}\bar{B} + AB)C + (A \oplus B)\bar{C} \\
 &= (\overline{A \oplus B})C + (A \oplus B)\bar{C} \\
 &= A \oplus B \oplus C
 \end{aligned}$$

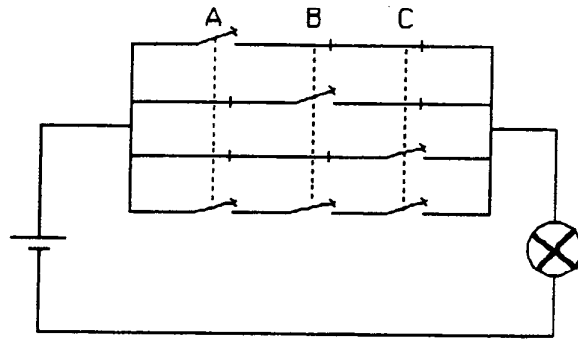


De notar a capacidade do ou exclusivo indicar se o número de "1"s na entrada é par (Z=0) ou ímpar (Z=1).

B) É pedido para se indicar como se implementa a saída Z com o auxílio de interruptores

$$Z(A,B,C) = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$$

Usando as convenções estabelecidas para a resolução do problema 3, obtém-se:



**Problema 11**

Escreva os números 36,594 e 42 871 nos seguintes códigos :

- A) Código BCD.
- B) Código Excedente 3 ou D+3

Resolução:

A) Código BCD (ou binário natural 8421).

	8	4	2	1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

36,594 → 0011 0110,0101 1001 0100

42 871 → 0100 0010 1000 0111 0001

B) Código Excedente 3 ou D+3

0	0	0	1	1
1	0	1	0	0
2	0	1	0	1
3	0	1	1	0
4	0	1	1	1
5	1	0	0	0
6	1	0	0	1
7	1	0	1	0
8	1	0	1	1
9	1	1	0	0

36,594 → 0110 1001,1000 1100 0111  
42 871 → 0111 0101 1011 1010 0100

**CAPITULO 1**  
**Conceitos Básicos e Álgebra de Boole**

**PROBLEMAS PROPOSTOS**

**Problema 1**

Verifique as seguintes igualdades:

a) distributividade da soma lógica (OR):

$$X+(Y.Z)=X+Y.Z=(X+Y).(X+Z)$$

b) distributividade do produto lógico (AND):

$$X.(Y+Z)=X.Y+X.Z$$

c) (Exame - 20 de Fevereiro de 1987) associatividade do ou-exclusivo.

$$(A\oplus B) \oplus C = A \oplus (B \oplus C)$$

d) (2º Exame - 22 de Fevereiro de 1988)

$$(A+B) . (\bar{A}+C) . (B+C) = (A+B) . (\bar{A}+C)$$

e) (1º Teste-13 de Dezembro de 1986)

$$\bar{A}C + A\bar{B} + B\bar{C} = \bar{A}\bar{C} + B\bar{C}$$

**Problema 2**

-Qual é o elemento neutro e o elemento absorvente da soma lógica?

-E do produto lógico?

**Problema 3**

-Passe para a base 10 os números seguintes:

A)  $437_{(8)}$ ; B)  $325_{(6)}$ ; C)  $0.245_{(8)}$ ; D)  $0.46_{(7)}$ ; E)  $1010011.100101_{(2)}$ ;

F)  $A2D.9A_{(16)}$

**Problema 4**

-Escreva as representações binárias, octal e hexadecimal de:

A)  $25.25_{(10)}$ ; B)  $212.5_{(10)}$ ; C)  $4.9875_{(10)}$

**Problema 5**

A) Determinar b, sendo

$$5A_{(16)} = 132_{(b)}$$

B) Determinar c, sendo

$$20_{(10)} = 110_{(c)}$$

**Problema 6**

-Conversões directas entre bases.

1-Passe para as bases 4, 8 e 16:

A)  $1101101.1001101_{(2)}$

B)  $10111110.00001111_{(2)}$

C)  $111010.01111_{(2)}$

2-Passe para a base 2 os numeros:

A)  $2031.123_{(4)}$

B)  $432.56_{(8)}$

C)  $EA2.F5_{(16)}$

3-Passe para a base 3 os numeros:

A)  $585_{(9)}$

B)  $467.3_{(9)}$

**Problema 7**

-Prepare as tabelas de verdade para as funções:

A)  $f=(x+y).w$

B)  $f=(x.y+\bar{x}.\bar{y}).\bar{w}$

C)  $f=(x.y)+(\bar{w}.z).y$

**Problema 8**

-Simplifique algebricamente:

A)  $ABCD+ABC\bar{D}+\bar{A}BC\bar{D}+\bar{A}B\bar{C}\bar{D}+\bar{A}\bar{B}C\bar{D}+\bar{A}\bar{B}\bar{C}\bar{D}$

B)  $\bar{X}+XY\bar{Z}+\bar{Y}$

C)  $XY+WXY\bar{Z}+\bar{X}Y$

D)  $\bar{X}\bar{Y}Z+YZ+XZ$

**Problema 9**

-Verifique que:

A) Se  $A\odot B=0$  então  $A=B$ .

B) Se  $A\odot B=A\odot C$  então  $B=C$ .

C)  $X+Y=X\odot Y\odot XY$

D)  $\bar{X}=X\odot 1$

**Problema 10**

- a) (1º Teste - 22 de Maio de 1987) Indique as representações em decimal, binário e octal do número  $5A.B_{(16)}$ .
- b) (Exame - 27 de Julho de 1987) Dado o número  $640.04_{(8)}$  indique quais as suas representações em decimal, binário e hexadecimal.
- c) (1º Teste - 16 de Maio de 1987) Indique a representação em binário, octal e hexadecimal do número abstracto  $74.5625_{(10)}$ .
- d) (1º Exame - de 1987) Represente o número abstracto  $113,875_{(10)}$  em octal, binário e hexadecimal.
- e) (Exame de 2ª Época - 24 de Abril de 1987) Considere o número  $123,5_{(8)}$ . Represente-o nas bases 10 e 16.
- f) (1º Teste-13 de Dezembro de 1986) Considere o número representado em base 2:  $10111001,101101_{(2)}$  Represente-o em octal, hexadecimal e decimal.
- g) (Exame de 2ª Época - 8 de Abril de 1986) Considere o seguinte número representado em octal  $352,4_{(8)}$ . Represente-o em decimal, binário e através de código BCD.
- h) (Exame 12 de Julho de 1986) Dado o seguinte número representado em hexadecimal,  $2C.B_{(16)}$  indique qual a sua representação em decimal, binário e octal.
- i) (Exame 28 de Julho de 1986) Considere o seguinte número representado em octal,  $271,5_{(8)}$ . Indique qual a sua representação em decimal, binário e hexadecimal.
- j) (Exame de 2ª Época - 13 de Abril de 1988) Considere o número  $127,35_{(8)}$ . Obtenha a sua representação em base 16 e BCD.
- k) (1º Teste - 12 de Dezembro de 1987) Represente em hexadecimal e em código BCD, o número  $573,4_{(8)}$  dado em octal:
- l) (Exame de 21 de Fevereiro de 1988) Dado o número  $435,756_{(10)}$  represente-o em hexadecimal e binário.
- m) (Exame de 17 de Julho de 1989) Passe para as bases 2 e 8 o número  $111,45$  expresso em base 10

**Problema 11**

Simplifique algebricamente as seguintes funções:

- a) (1º Teste - 22 de Maio de 1987)

$$f = \overline{C}B(A \oplus \overline{D}) + \overline{C}BA + \overline{B}\overline{C}D + AD$$

- b) (Exame - 27 de Julho de 1987)

$$f = C(B \oplus \overline{A})\overline{D} + \overline{B}\overline{C}D + \overline{A}D + \overline{A}B\overline{D}$$

- c) (1º Teste - 16 de Maio de 1987)

$$f = \overline{A}(\overline{C} \oplus D) + \overline{A}B + \overline{A}C\overline{D} + \overline{A}CD$$

- d) (1º Exame - de 1987)

$$f = \overline{A}C\overline{D} + \overline{A}C\overline{D} + (\overline{A} \oplus C)\overline{D} + \overline{B}D$$

- e) (Exame de 2ª Época - 24 de Abril de 1987)

$$f = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{B}\overline{C}\overline{D} + A(C \oplus \overline{D})\overline{B} + \overline{A}B\overline{C}D$$

f) (1º Exame - 6 de Fevereiro de 1987)

$$f = \overline{A} \overline{B} \overline{C} D + \overline{A} B \overline{C} + \overline{A} B D + A \overline{C} D + C D + A B C + A C \overline{D}$$

g) (Exame 28 de Julho de 1986)

$$f = \overline{A} (\overline{C} \oplus D) + A \overline{B} + \overline{A} \overline{C} D + \overline{A} C \overline{D}$$

h) (Exame de 2ª Época - 13 de Abril de 1988)

$$f = A \overline{C} (\overline{B} \oplus D) + A B \overline{D} + \overline{A} B D + A B C D + \overline{A} C \overline{D}$$

i) (1º Teste - 12 de Dezembro de 1987)

$$f = A B C + A \overline{C} (C + D) + \overline{A + B + D}$$

j) (Exame de 21 de Fevereiro de 1988) Simplifique algebricamente a seguinte função:

$$f = \overline{D} (C \oplus \overline{B}) + \overline{D} C A + C B A + D \overline{C} B + C B \overline{A}$$

k) (Exame de 17 de Março de 1989)

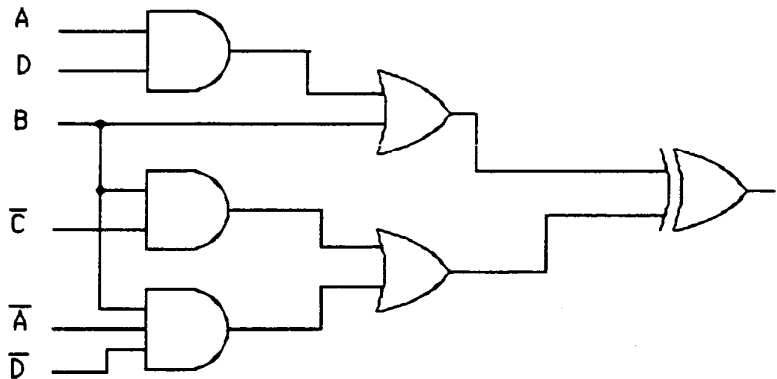
$$f = C (B \oplus \overline{A}) \overline{D} + \overline{B} C \overline{D} + A \overline{D} + \overline{A} B \overline{D}$$

l) (Exame de 17 de Julho de 1989)

$$f = A B \overline{C} \overline{D} + \overline{A} (B \oplus C) + A \overline{B} \overline{C} \overline{D} + A \overline{C} D + (A \oplus B) D$$

**Problema 12**

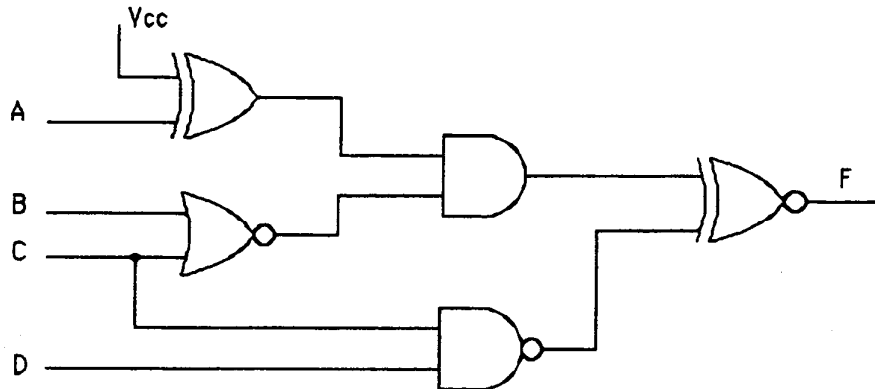
a) (1º Teste - 22 de Maio de 1987) Considere o seguinte logigrama:



Redesenhe F da forma mais simples que conseguir.

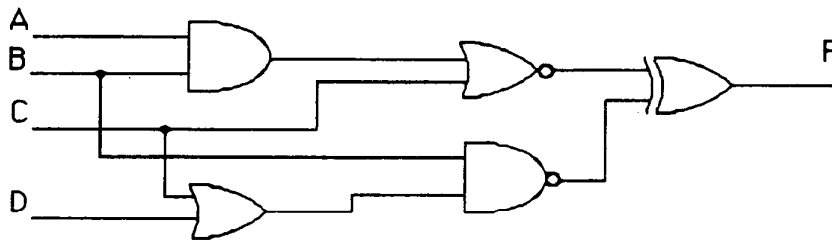


b) (1º Teste - 16 de Maio de 1987) Considere o seguinte logigrama:



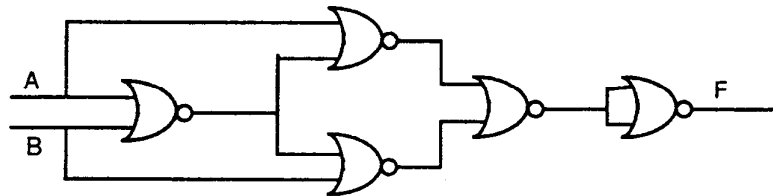
Implemente F da forma mais simples que conseguir usando apenas nands. Dispõe das variáveis e das suas negações.

c) (1º Teste-13 de Dezembro de 1986) Considere o seguinte logigrama:



Desenhe o logigrama mais simples que realize a mesma função.

d) (Exame de 8 de Setembro de 1989) Considere o seguinte circuito:



a) Qual a operação lógica realizada pelo circuito? Justifique.

b) Considerando os seguintes tempos de propagação para as gates acima:

$$t_{pLH\text{máx}} = 8 \text{ ns} \quad t_{pHL\text{máx}} = 10 \text{ ns}$$

Qual é o tempo máximo de atraso do circuito e em que situação(ões) acontece?

**Problema 13**

(1º Exame - 8 de Julho de 1988)

Demonstre que qualquer circuito combinatório é realizável usando apenas portas NAND.

**Problema 14**

(Exame de 17 de Março de 1989)

Projecte um circuito combinatório para realizar a multiplicação de dois números binários entre 0 e 3 obtendo o resultado em 4 bits.

**Problema 15**

(Exame de 7 de Julho de 1989)

Projecte um circuito que, dado um número binário  $n$  de 2 bits, calcula o valor do factorial de  $n+1$ , isto é,  $(n+1)!$ .

**Problema 16**

(Exame de 7 de Julho de 1989)

Usando apenas gates **not** open-collector e resistências, construa um circuito que, dadas as variáveis  $A$  e  $B$ , construa o seu produto lógico  $Z=A.B$

**CAPITULO 2**  
**Representação e Simplificação de Funções**

**PROBLEMAS RESOLVIDOS**

**Problema 1**

Considere a função de 3 variáveis A, B e C dada pela expressão:

$$f(A, B, C) = (A+B) \bar{A} \bar{B} \bar{C}$$

Escreva esta função na forma de soma de produtos.

Resolução:

$$\begin{aligned} f(A, B, C) &= (A+B) \bar{A} \bar{B} \bar{C} \\ &= A \bar{A} \bar{B} \bar{C} + \bar{A} B \bar{B} \bar{C} \\ &= A \bar{B} \bar{C} \end{aligned}$$

**Problema 2**

Considere a função

$$f(A, B, C) = (A \oplus B) C + \bar{A} (B \oplus C)$$

Obtenha a forma mais simplificada de produto de somas.

Resolução:

Como

$$\begin{aligned} (A \oplus B) &= (A + B)(\bar{A} + \bar{B}) \\ f(A, B, C) &= (A + B)(\bar{A} + \bar{B})C + \bar{A}(B \oplus C) \\ &= ((A + B) + \bar{A}(B \oplus C))((\bar{A} + \bar{B}) + (\bar{A}(B \oplus C))(C + \bar{A}(B \oplus C))) \\ &= (A + B + (B \bar{C} + B \bar{C} C))(A + B + \bar{A}(B + C)(B + C))(C + \bar{A}(B + C)(B + C)) \\ &= (A + B + C)(\bar{A} + \bar{B})(C + \bar{A})(C + B + C)(C + \bar{B} + \bar{C}) \\ &= (A + B + C)(\bar{A} + \bar{B})(\bar{A} + C)(B + C) \\ &= (\bar{A} + \bar{B})(\bar{A} + C)(B + C) \\ &= (\bar{A} + \bar{B})(B + C) \end{aligned}$$

**Problema 3**

Numere os seguinte minitermos e maxitermos:

- a) A+B; b) A  $\bar{C}$ ; c) A  $\bar{B} \bar{C}$ ; d) A + B +  $\bar{C}$   
e) A  $\bar{B} \bar{C} \bar{D}$ ; f)  $\bar{A} + B + C + \bar{D}$

Resolução:

- a) M<sub>0</sub> b) m<sub>2</sub> c) m<sub>6</sub> d) M<sub>1</sub> e) m<sub>10</sub> f) M<sub>9</sub>

**Problema 4**

Represente por:

- a) uma soma de minitermos  
b) um produto de maxitermos

a função:

$$f(A, B, C) = (A + B) C + (A \oplus C) A B$$

Resolução:

$$\begin{aligned} a) f(A, B, C) &= (A + B) C + (A \oplus C) A B \\ &= A C + B C + A B \bar{C} + A \bar{A} B C \\ &= A(B + \bar{B}) C + (A + \bar{A}) B C + A B \bar{C} \\ &= A B C + A \bar{B} C + A B C + \bar{A} B C + A B \bar{C} \\ &= A B C + A B C + A B C + A B C \end{aligned}$$

$$\begin{aligned}
 \text{b) } f(A,B,C) &= (A + B) C + (A \oplus C) A B \\
 &= (A + B) C + (A + C)(\bar{A} + \bar{C}) A B \\
 &= ((A + B) + (A + C)(\bar{A} + \bar{C})) A B (C + (A + C)(\bar{A} + \bar{C})) A B \\
 &= (A + B + A B \bar{C})(C + A B \bar{C}) \\
 &= (A + B)(C + A B) \\
 &= (A + B)(A + C)(B + C) \\
 &= (A + B + C)(A + B + \bar{C})(A + \bar{B} + C)(\bar{A} + B + C)
 \end{aligned}$$

**Problema 5**

Dada a função:

$$f(A,B,C,D) = (A + B)\bar{C} + A(C \oplus D) + A\bar{B}\bar{C}D$$

obtenha:

- a) a tabela de verdade.
- b) a expressão em termos de soma de minitermos
- c) a expressão em termos de produto de maxtermos
- d) a expressão em termos de soma de minitermos da função  $f(A,B,C,D)$ .

Resolução:

a)

A	B	C	D	$f(A,B,C,D)$	linha
0	0	0	0	0	0
0	0	0	1	0	1
0	0	1	0	0	2
0	0	1	1	0	3
0	1	0	0	1	4
0	1	0	1	1	5
0	1	1	0	0	6
0	1	1	1	0	7
1	0	0	0	1	8
1	0	0	1	1	9
1	0	1	0	1	10
1	0	1	1	0	11
1	1	0	0	1	12
1	1	0	1	1	13
1	1	1	0	1	14
1	1	1	1	0	15

b)  $f = \sum (4,5,8,9,10,12,13,14)$

$$f = A\bar{B}\bar{C}D + A\bar{B}C\bar{D} + A\bar{B}C\bar{D} + A\bar{B}C\bar{D} + A\bar{B}C\bar{D} + A\bar{B}C\bar{D} + A\bar{B}C\bar{D} + A\bar{B}C\bar{D}$$

c)  $f = \pi (0,1,2,3,6,7,11,15)$

$$f = (A+B+C+D)(A+B+C+\bar{D})(A+B+\bar{C}+D)(A+B+\bar{C}+\bar{D}).$$

$$.(A+B+\bar{C}+D)(A+B+\bar{C}+\bar{D})(A+B+C+D)(A+B+C+\bar{D})$$

d)  $f = \sum (0,1,2,3,6,7,11,15)$

$$f = A\bar{B}\bar{C}D + A\bar{B}C\bar{D} + A\bar{B}C\bar{D} + A\bar{B}C\bar{D} + A\bar{B}C\bar{D} + A\bar{B}C\bar{D} + A\bar{B}C\bar{D} + A\bar{B}C\bar{D}$$

**Problema 6**

Usando apenas:

a) NANDs

b) NORs

c) AOIs \*

desenhe a seguinte função:

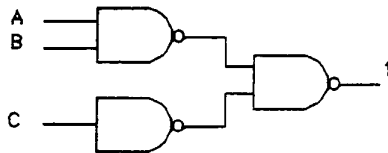
$$f(A,B,C) = (A \oplus C)B + \bar{B}C + AC$$

\* AOI significa 'and or invert'. Ou seja o logigrama deve apresentar um andar de portas AND e outro de portas NOR.

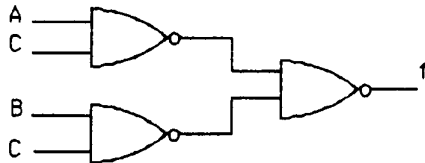
Resolução:

$$\begin{aligned} f &= (A \oplus C)B + \bar{B}C + AC \\ &= AC + \bar{B}C + AB\bar{C} + \bar{A}BC \\ &= A(C + B\bar{C}) + (\bar{B} + \bar{A}B)C \\ &= AB + AC + \bar{A}C + \bar{B}C \\ &= AB + C + \bar{B}C \\ &= AB + C \end{aligned}$$

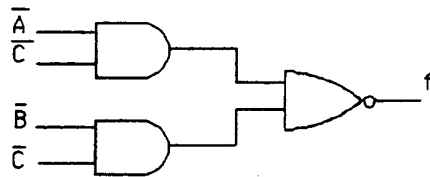
a)  $f = \overline{\overline{AB + C}} = \overline{\overline{AB} \bar{C}}$



b)  $f = AB + C = (A + C)(B + C) = \overline{\overline{(A + C)} \overline{(B + C)}} = \overline{\overline{(A + C)} + \overline{(B + C)}}$



c)  $\bar{f} = \overline{AB + C} = \overline{AB} \bar{C} = (\bar{A} + \bar{B})\bar{C} = \bar{A}\bar{C} + \bar{B}\bar{C}$

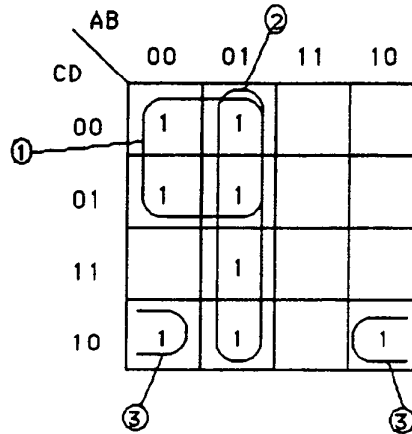


**Problema 7**

Simplifique a seguinte função usando mapas de Karnaugh e indique os implicantes primos essenciais, um implicante primo não essencial e um implicante não primo.

$$f(A,B,C,D) = \sum (0,1,2,4,5,6,7,10)$$

Resolução:



$$f = \underbrace{\bar{A}\bar{C}}_1 + \underbrace{\bar{A}B}_2 + \underbrace{BC\bar{D}}_3$$

Antes de responder à pergunta vamos recordar o que é um implicante primo essencial, um implicante primo não essencial e um implicante não primo.

$$f = \sum m(0,1,2,4,5,6,7,10)$$

Tomemos por exemplo o implicante

$$\bar{A}\bar{C} = \sum m(0,1,4,5)$$

Todos os minitermos englobados por ele pertencem a  $f$ . Além destes minitermos  $f$  tem mais alguns. Diz-se então que

$$f > \bar{A}\bar{C}$$

(tem todos os minitermos que ele tem e mais alguns). Do mesmo modo

$$\bar{A}B = \sum m(0,1) < \bar{A}\bar{C}$$

e conseqüentemente menor que  $f$ .

Note-se que não se pode estabelecer qualquer relação de ordem entre

$$\bar{A}\bar{C} \text{ e } \bar{A}B = \sum m(4,5,6,7)$$

porque o primeiro tem alguns minitermos que o segundo não tem e vice-versa; no entanto os dois implicantes são menores que  $f$ .

**Implicante primo é aquele que só é menor que  $f$ .** Neste caso  $f$  tem como implicantes primos os seguintes:

$$\bar{A}\bar{C} = \sum m(0,1,4,5)$$

$$\bar{A}B = \sum m(4,5,6,7)$$

$$BC\bar{D} = \sum m(2,10)$$

$$\bar{A}D = \sum m(0,2,4,6)$$

Implicante não primo é aquele que além de menor que  $f$  também é menor que outro implicante.

Tomemos por exemplo

$$\bar{A}\bar{B}\bar{C} = \sum m(0,1) \text{ ou } \bar{A}B\bar{C}D = m(7)$$

O problema agora é distinguir quais os implicantes primos essenciais e quais os não essenciais.

Uma boa maneira de analisar o problema é começar pelos implicantes primos com menos minitermos.

$\overline{B}C\overline{D}$  é o único implicante primo que engloba o m10, logo é essencial.

$\overline{A}C$  é o único implicante primo que engloba o m1, logo é essencial.

$\overline{A}B$  é o único implicante primo que engloba o m7, logo é essencial.

Ficam assim todos os minitermos de  $f$  englobados. Constata-se então que

$$\overline{A}D$$

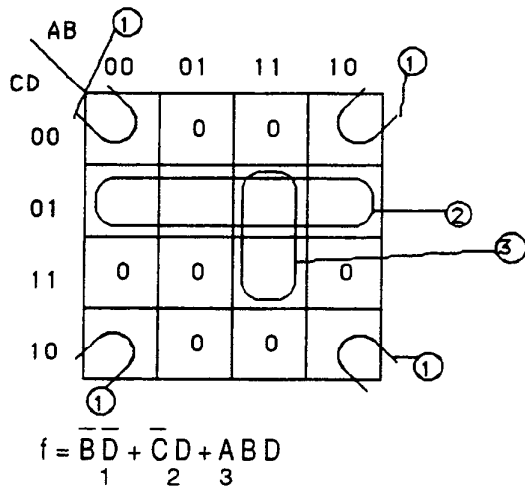
é implicante primo não essencial porque todos os minitermos que engloba já estão inseridos noutros implicantes primos essenciais.

**Problema 8**

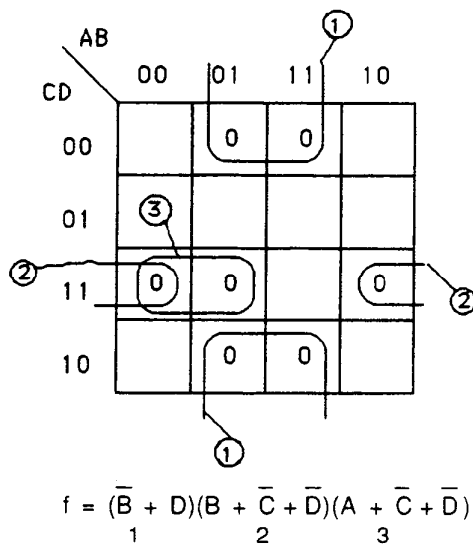
Simplifique a seguinte função usando mapas de Karnaugh:

$$f(A,B,C,D) = \prod (3,4,6,7,11,12,14)$$

**Resolução:**



ou:

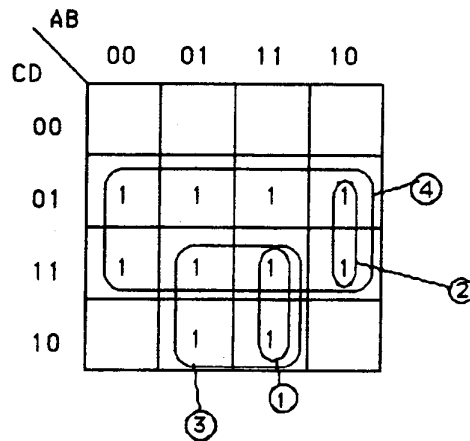


**Problema 9.** Simplifique a seguinte função usando mapas de Karnaugh:

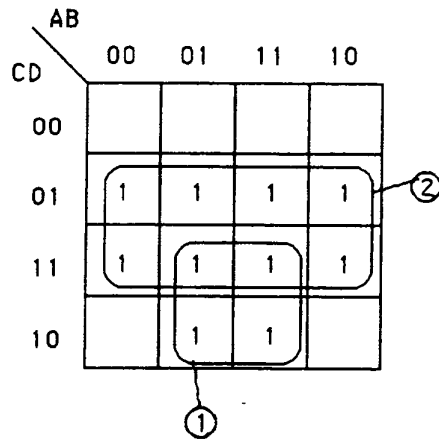
$$f(A,B,C,D) = A \bar{B} C + A \bar{B} \bar{D} + B C + D$$

1      2      3      4

**Resolução:**



Simplificando, vem:



$$f = BC + D$$

1      2



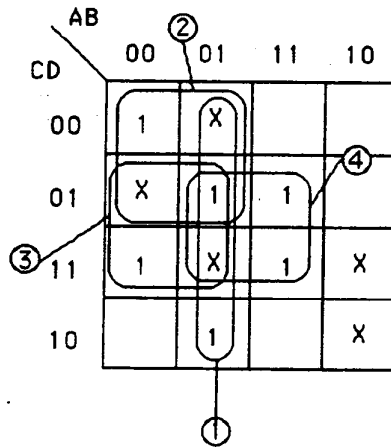
**Problema 10**

Simplifique a seguinte função:

$$f(A,B,C,D) = \bar{A}\bar{B}\bar{C}\bar{D} + B\bar{C}\bar{D} + \bar{A}\bar{B}C\bar{D} + A\bar{B}C\bar{D} + \bar{A}B\bar{C}\bar{D}$$

tendo em conta que nunca surgem as combinações de entrada correspondentes aos minitermos 1, 4, 7, 10 e 11.

Resolução:



$$f = \bar{A}\bar{B} + \bar{A}\bar{C} + \bar{A}D + BD$$

1      2      3      4

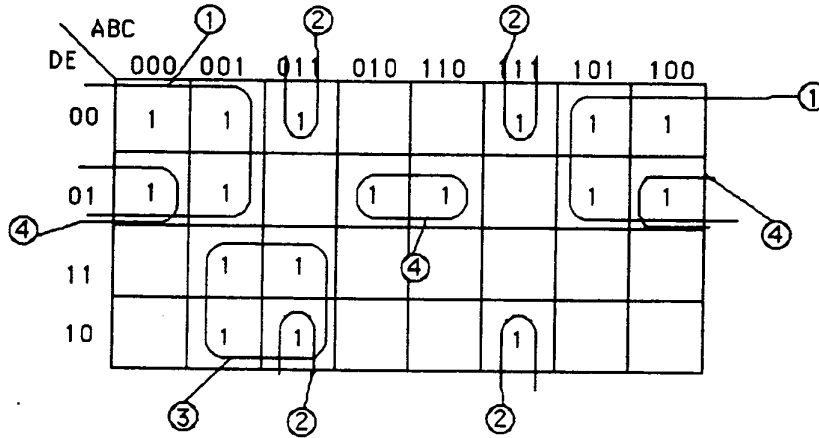
**Problema 11**

Simplifique a seguinte função:

$$f = \Sigma (0,1,4,5,6,7,9,12,14,15,16,17,20,21,25,28,30)$$

Resolução:

Usando o mapa clássico vem:



$$f = \bar{B}\bar{D} + B\bar{C}\bar{E} + \bar{A}C\bar{D} + \bar{C}\bar{D}\bar{E}$$

1      2      3      4

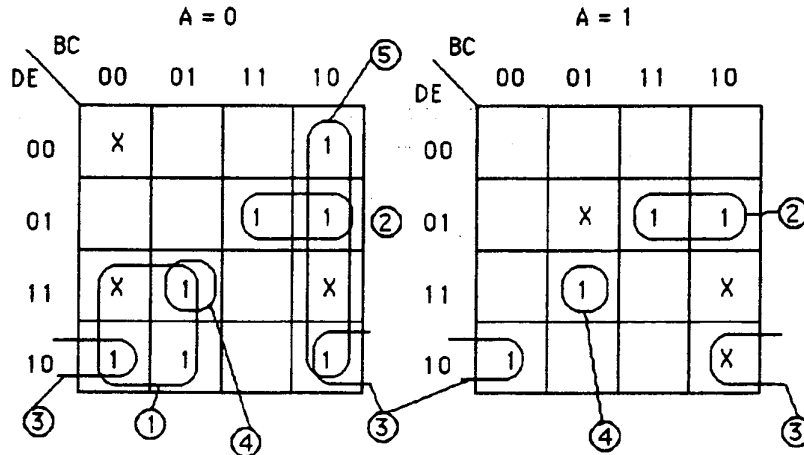
**Problema 12**

Simplifique a seguinte função:

$f = \sum (2,6,7,8,9,10,13,18,23,25,29)$  com indiferenças nas posições 0,3,11, 21,26 e 27.

**Resolução:**

Usando mapas separados, vem:



$$f = \underbrace{\bar{A}\bar{B}D}_1 + \underbrace{B\bar{D}E}_2 + \underbrace{\bar{C}D\bar{E}}_3 + \underbrace{\bar{B}CDE}_4 + \underbrace{\bar{A}B\bar{C}}_5$$

**Problema 13**

a) Simplifique a função (usando mapas de Karnaugh):

$$f = \prod M (1,2,5,8,9,11,12,15,17,19,21,23,24,25,28,29,30,31)$$

Com indiferenças em 6,7,10,14,16,18,26 e 27, por forma a facilitar uma futura implementação com NAND's de qualquer número de entradas.

b) Indique se há algum implicado primo essencial, e em caso afirmativo, quais.

a) Para começar preenche-se o mapa de Karnaugh:

ABC DE	000	001	011	010	110	111	101	100
00	1	1	0	0	0	0	1	X
01	0	0	1	0	0	0	0	0
11	1	X	0	0	X	0	0	0
10	0	X	X	X	X	0	1	X

Poderia ter sido preenchido na forma de dois mapas de 4 variáveis "sobreponíveis" mas optou-se aqui por este método sem qualquer justificação nem vantagem ou desvantagem.

Como esta função é dada na forma  $f = \prod M(\dots)$  sabemos que está na 2ª forma canónica, isto é, como produto de maxitermos. Daí que os maxitermos referidos na expressão representem 0s na tabela da função. Marcados os 0s e as indiferenças, as posições não ocupadas são 1s (que mais poderiam ser?).

**Nota:** O facto da função ser dada nesta forma não implica de forma alguma que seja necessário simplificá-la como um produto de somas. A função não está ligada por nenhum laço de obrigatoriedade à forma de a representar.

**Nota:** A numeração típica do Mapa de Karnaugh só "funciona" se a ordem de disposição das variáveis for a que, neste caso, está indicada.

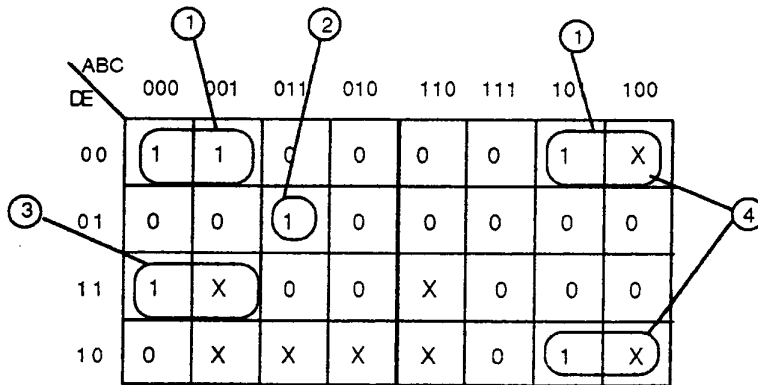
Para futura implementação com nands é, em princípio, preferível simplificar em termos de soma de produtos, uma vez que, por aplicação das leis de Morgan,

$$\dots + XYZ + KLM + \dots = \dots + \overline{XYZ} + \overline{KLM} + \dots = \dots \cdot \overline{XYZ} \cdot \overline{KLM} \cdot \dots$$

se chega a uma expressão em nand de nands.

É claro que, se a simplificação em produto de somas fôr muito mais simples, pode ser compensador avançar por esse caminho, mesmo com o excesso de nands a usar.

A melhor simplificação neste caso é, de facto, usando a soma de produtos conforme se poderá observar do Mapa de Karnaugh. As associações serão as seguintes:



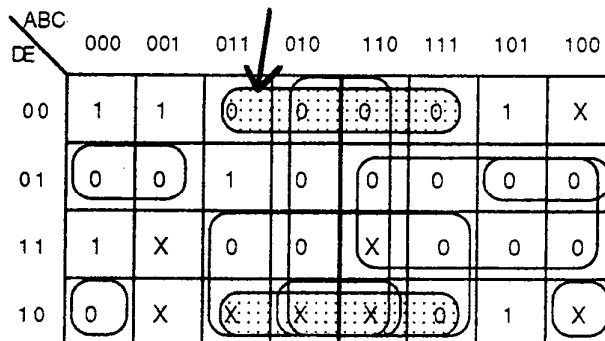
e a função simplificada será:

$$f = B \overline{D} \overline{E} + \overline{A} B C \overline{D} \overline{E} + \overline{A} \overline{B} D E + A \overline{B} \overline{E}$$

A função em nands será, por sua vez:

$$f = \overline{B D E} \cdot \overline{A B C D E} \cdot \overline{A B D E} \cdot \overline{A B E}$$

b) Como se trata de um implicado primo essencial há que procurá-lo entre os implicados (associações de maxitermos).



Só há um implicado primo essencial, o que está assinalado a pontado:

$$B + E$$

Este implicado é primo, uma vez que o maxitermo assinalado por uma seta, M(12), não

Edição de 8 de Julho de 1991

pode ser coberto por nenhum outro implicado **primo**.

Todos os restantes maxitermos podem ser cobertos por, pelo menos dois implicados primos. Sugere-se que os alunos verifiquem...

**Nota:** O implicado primo essencial é a soma e não o maxitermo  $M(12)$ . Este é apenas a causa!

**CAPÍTULO 2**  
**Representação e Simplificação de Funções**

**PROBLEMAS PROPOSTOS**

**Problema 1**

Ponha as seguintes funções na forma de:

a) soma de produtos.

b) produto de somas.

$$I \quad f = A(B + (C \oplus D)(\overline{A + B})) + \overline{A}BC + \overline{B}(C \oplus \overline{D})$$

$$II \quad f = (A + \overline{B})(C + \overline{D})(\overline{A + B})(\overline{A + D})$$

$$III \quad f = (A + \overline{B} + C)(\overline{C + D})(A \oplus D)$$

**Problema 2**

Simplifique a seguinte função:

$$f = \prod (0,2,3,4,5,6,7,8,10,12,13)$$

**Problema 3**

Simplifique a seguinte função:

$$f = \sum (2,3,4,5,8,9,14,15)$$

**Problema 4**

Simplifique a seguinte função:

$$f = \overline{A}CD + B\overline{C}D + \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}\overline{C}D + \overline{A}B\overline{C}D + A\overline{B}\overline{D} + A\overline{B}CD$$

**Problema 5**

Simplifique a seguinte função:

$$f = \sum (0,2,6,8,9,10,12) \text{ com indiferenças nas posições } 1,3,4,11,13 \text{ e } 14.$$

**Problema 6**

Simplifique a seguinte função:

$$f = \prod (0,5,8,9,10,15,16,23,26,29) \text{ com indiferenças nas posições } 2,3,7,13,21,27 \text{ e } 31.$$

**Problema 7**

Simplifique a seguinte função:

$$f = \sum (1,3,5,6,9,12,17,19,22,27,28,30) \text{ com indiferenças nas seguintes posições: } 4,11,14,20,21 \text{ e } 25.$$

**Problema 8**

a) Simplifique a função  $x$  que se apresenta e desenhe o seu logigrama usando apenas NANDs de 2 entradas. Dispõe das variáveis complementadas e não complementadas.

$$x = \prod (7,10,14,15,17,23,24,25,26,30,31) \text{ com indiferenças nas posições } 1,6,8,9,12,20,21 \text{ e } 22.$$

b) Nas posições em que havia indiferenças na função da alínea a) coloque "1". Faça o logigrama desta nova função partindo do logigrama anterior, sem o alterar, excepto por acrescentar outros elementos.

**Problema 9**

a) Usando mapas de Karnaugh simplifique a seguinte função:

$$f = \prod (1,2,4,9,10,12,15,17,24,30,31) \text{ com indiferenças nas posições } 3,5,8,14,18,20,22 \text{ e } 25.$$

b) Simplificando esta função em termos de produtos de somas e de somas de produtos obterá

duas expressões equivalentes? Porquê?

**Problema 10**

a) (Exame 4 de Setembro de 1986)

Simplifique a seguinte função:

$$f = \sum m(0,1,3,5,7,8,9,10,15,18,19,22,25,27,29,31)$$

sabendo que existem indiferenças nas posições 2,11,12,20,30.

A função deve ser simplificada de forma a ser implementada facilmente com NANDs.

b) (1º Teste - 22 de Maio de 1987)

Dada a seguinte função:

$$f = \sum m(0,5,6,8,12,14,22,29)$$

com indiferenças nas posições 1,4,10,11,16,19,20,23,25 e 26

b1) simplifique-a e represente-a sob a forma de uma soma de produtos.

b2) Identifique um implicante primo essencial e um não essencial

**Problema 11**

(Exame 4 de Setembro de 1986)

Uma função de 4 variáveis é dada na forma

$$y = (m_1+m_3+m_5+m_9+m_{10}+m_{11}+m_{12}+m_{14})(M_{10} \cdot M_8)$$

O segundo produto ( $M_{10} \cdot M_8$ ) é necessário para a definição da função ou não fornece qualquer indicação que não esteja já contida no primeiro produto? Responda referindo-se separadamente aos dois termos máximos que constituem B. Justifique **abreviadamente**.

**Problema 12**

(2º Exame - 22 de Fevereiro de 1988)

a) Simplifique a seguinte função:

$$f = \sum m(2,7,9,11,12,14,15,17,23)$$

com indiferenças nas posições 0,4,6,8,10,13,20,22 e 28.

b) Identifique os implicantes primos fundamentais.

**Problema 13**

(Exame - 27 de Julho de 1987)

Dada a seguinte função:

$$f = \prod (1,3,5,8,10,12,13,14,21,23,24,26,31)$$

com indiferenças nas posições 0,4,7,15,17,18,27 e 28.

a) Simplifique-a de modo a facilitar uma futura implementação usando NANDs.

b) Identifique na simplificação anterior os implicantes primos essenciais.

**Problema 14**

(1º Exame - de 1987)

a) Simplifique a seguinte função:

$$f = \sum m(2,5,7,13,15,18,21,23,24,26,29,31) + \sum md(0,1,9,12,16,19,27)$$

Nota: md = indiferenças

b) Identifique na simplificação anterior, os implicantes primos essenciais.

**Problema 15**

(Exame de 2ª Época - 24 de Abril de 1987)

Simplifique a seguinte função usando Mapas de Karnaugh

$$f = A(C \oplus D) + AB + ACD + ACD$$

**Problema 16**

(Exame - 20 de Fevereiro de 1987)

a) Simplifique a seguinte função usando o método de Karnaugh:

$f = \prod(1,7,9,12,14,18,19,21,22,25,28,30,31)$  com indiferenças nas posições 4,15,16,17 e 20.

b) A partir da função  $f$  e **sem a alterar**, usando o mínimo de lógica possível, construir uma função  $g$  com uma tabela semelhante tendo como única diferença a existencia de saída 1 nas posições 1,4 e 21.

c) Indique, na função  $f$  um implicante (ou implicado) primo que não seja essencial e outro que o seja.

**Problema 17**

(1º Teste-13 de Dezembro de 1986)

1. Simplifique, pelo método de Karhaugh a função

$f(A,B,C,D,E) = \prod M(2,4,7,9,10,12,18,24,30,31)$

com indiferenças nas posições 11,15, 26,28 e 29, considerando as convenções habituais, de forma a ser facilmente implementada com NANDs de qualquer número de entradas. **Não** desenhe o logigrama mas determine a expressão da função em NANDs.

2. Considere a função **obtida** em 1. Qual o valor que ela assumirá para a configuração de entrada  $A=B=D=1$  e  $C=E=0$ ? Porquê?

**Problema 18**

(Exame de 2ª Época - 8 de Abril de 1986)

Simplifique a seguinte função usando o método de Karnaugh de forma a poder ser construída com o menor número possível de circuitos NAND (de qualquer número de entradas)

$f = \prod\{1,3,6,9,12,14,15,16,18,22,25,29,30\}$

A função tem indiferenças nas posições 7,13,17,26 e 28.

**Problema 19**

(1º Exame - 6 de Fevereiro de 1987)

a) Simplifique a seguinte função usando o método de Karnaugh:

$f = \prod(1,3,4,5,6,9,10,12,13,14,17,19,20,25,28,30,31)$

com indiferenças nas posições 2,15,18,23 e 24.

b) Assinale um implicante (ou implicado) primo essencial e um outro primo que não seja essencial.

**Problema 20**

(Exame 12 de Julho de 1986)

Dada a função seguinte, e sabendo que na sua implementação é indiferente o valor que é tomado para as combinações de entrada referentes aos minitermos 3, 9, 10, 16, 20 e 30:

$f = \prod (0,1,3,4,7,11,12,16,17,19,26,29,30,31)$

a) Simplifique-a de modo a realizá-la apenas com nors.

b) Se, por acaso, ocorrerem as combinações de entrada 9, 16 e 30, quais os valores que a implementação obtida apresentará?

**Problema 21**

(Exame 28 de Julho de 1986)

a) Simplifique a seguinte função lógica:

$f = \sum m(1,3,6,9,11,17,19,22,25,27,28,30) + \sum md(4,5,8,13,20,23,31)$

Nota:  $md$  = indiferenças

b) Identifique, na simplificação anterior os implicantes primos essenciais.

**Problema 22**

(Exame de 2ª Época - 13 de Abril de 1988)

a) Usando o método de Karnaugh simplifique a seguinte função:

$$f = \sum m(0, 1, 3, 7, 9, 10, 11, 12, 13, 17, 23, 25, 31)$$

com indiferenças nas posições 6, 8, 19, 26 e 28.

b) Indique os implicantes primos essenciais.

**Problema 23**

(1ª Exame - 8 de Julho de 1988)

a) Simplifique tanto quanto puder a função

$$f = \sum m(0, 4, 6, 11, 12, 14, 15, 16, 24, 31)$$

com indiferenças nas posições 2, 8, 27 e 28.

b) Indique um implicante primo.

**Problema 24**

(Exame de 31 de Janeiro de 1989)

Considere a seguinte função:

$$f = \prod M(0, 2, 3, 5, 7, 14, 21, 28, 29, 30, 31) \text{ com indiferenças}$$

nas posições 1, 4, 16, 17, 19 e 22.

a) Simplifique usando o método de Karnaugh

b) Indique um implicante (ou implicado) primo **não essencial**

**Problema 25**

(Exame de 21 de Fevereiro de 1988)

Simplifique, usando o método de Karnaugh a seguinte função:

$$f = \sum m(0, 1, 3, 8, 9, 13, 14, 15, 16, 17, 19, 24, 25, 27, 31)$$

**Problema 26**

(Exame de 17 de Março de 1989)

3. a) Simplifique, usando o método de Karnaugh a seguinte função:

$$f = B\bar{A} + BA\bar{D} + C\bar{D} + ABCD + \bar{C}BD$$

b) Indique um implicante primo essencial e um não essencial

**Problema 27**

(Exame de 7 de Julho de 1989)

a) Simplifique pelo método de Karnaugh a seguinte função:

$f(A, B, C, D, E) = \sum m(0, 2, 8, 10, 13, 17, 20, 24, 28, 29, 30)$  com indiferenças nas posições 3, 4, 15, 22 e 26 em que, na definição do  $n^{\circ}$  dos minitermos A foi tomada como a variável mais significativa.

b) Indique, na função acima, um implicante primo essencial e um não essencial.

c) Na função por si simplificada, qual o valor assumido por  $f$  no caso de sobrevir a configuração de entradas 15? Porquê?

**Problema 28**

(Exame de 17 de Julho de 1989)

Simplifique pelo método de Karnaugh a seguinte função:

$$f = \prod M(1, 3, 4, 6, 7, 9, 11, 12, 15, 18, 21, 24, 25, 29, 31) \text{ com indiferenças nas posições } 0, 17 \text{ e } 22.$$

**Problema 29**

(Exame de 8 de Setembro de 1989)

Considere a seguinte função:

$$f = \sum m(1, 2, 6, 9, 13, 14, 15, 17, 22, 25, 29, 30, 31)$$

com indiferenças nas posições 7, 8, 18 e 23.

Simplifique-a usando o método de Karnaugh.



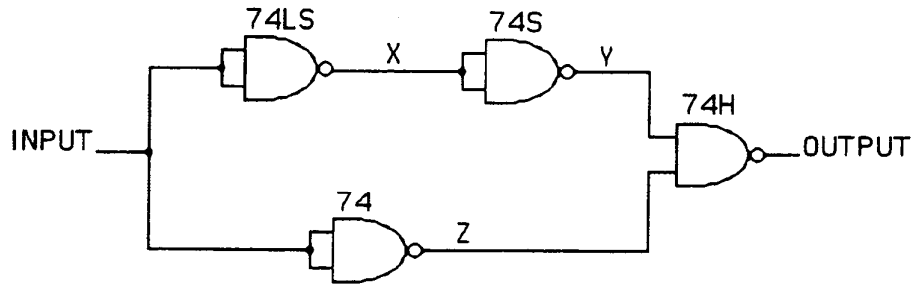
**Capítulo 3**  
**Circuitos Combinatórios**

**PROBLEMAS RESOLVIDOS**

**Problema 1**

Admita que à entrada INPUT do circuito cujo logigrama se indica, se aplica uma transição brusca do nível lógico H para o nível lógico L no instante t=0.

Desenhe na mesma escala de tempos, as transições que ocorrerão nos pontos X,Y,Z e OUTPUT do circuito. Admita como nulos os tempos de crescimento e de decrescimento das transições. Admita que os circuitos têm o tempo de atraso típico das suas famílias.

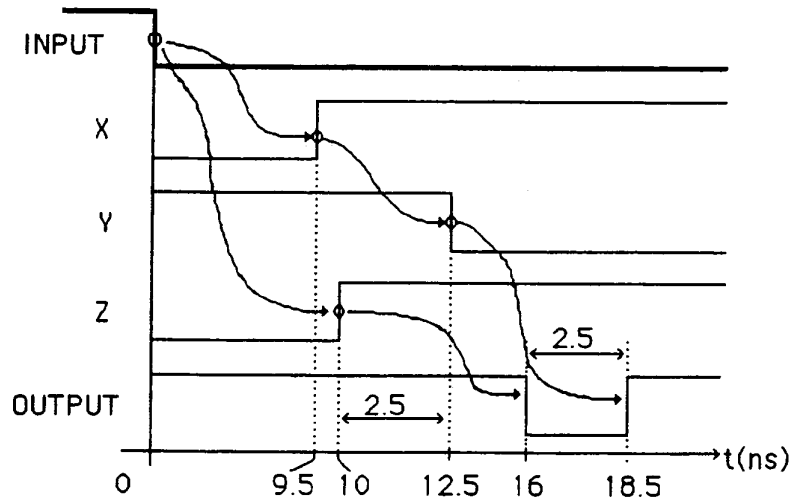


**Resolução:**

Os valores típicos dos atrasos referidos no TAUB (tabela 3.3-1) são os seguintes:

Tpd N =10 ns    Tpd S =3 ns    Tpd LS=9.5 ns    Tpd H =6 ns

O diagrama temporal pedido é, portanto, o seguinte:



As setas indicam relações causa-efeito. Por exemplo, a superior indica que a transição na linha X é uma consequência de uma transição na linha INPUT.

**Problema 2**

Suponha que dispõe das variáveis A e B afirmadas e negadas e das variáveis C e D apenas afirmadas. Mostre como é possível gerar a função

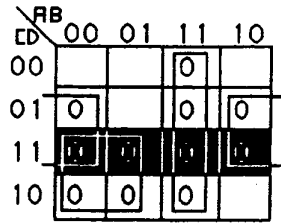
$$Z = (A + \bar{B})(C + D)(A + \bar{C})(B + \bar{D})$$

utilizando um único circuito integrado (dos listados na tabela 3.11-1 do TAUB).

**Resolução:**

É claro que para realizar este circuito o "negócio" é tentar não somente simplificar mas também "encaixar" a função em circuitos integrados.

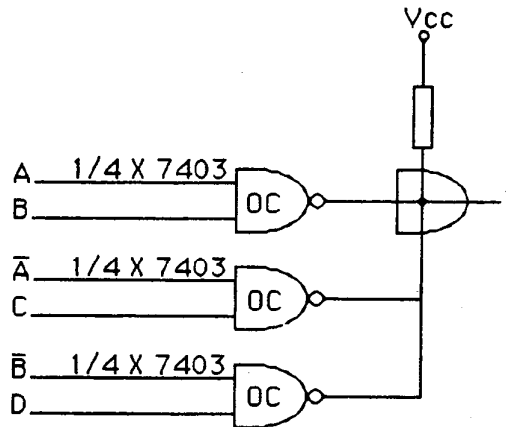
$$f = (\overline{A+B}) \cdot (\overline{C+D}) \cdot (A+C) \cdot (B+D)$$



$$\begin{aligned} f &= (\overline{A+B}) \cdot (\overline{C+D}) \cdot (A+C) \cdot (B+D) \\ &= (\overline{A+B}) \cdot (\overline{A+C}) \cdot (\overline{B+D}) \\ &= \overline{A} \cdot \overline{B} \cdot \overline{A} \cdot \overline{C} \cdot \overline{B} \cdot \overline{D} \end{aligned}$$

Do mapa de Karnaugh se conclui que o minitermo CD representado pela zona a cheio pode ser retirado.

Utilizando um conjunto de 3 gates NAND "Open-collector" (por exemplo um 7403), vem:



**Nota:** Este problema é fundamentalmente uma "curiosidade".

**Problema 3**

Em lógica mista não existe representação elementar para as gates NAND, NOR e INVERSÃO. Existem, somente, gates AND, OR e OU-EXCLUSIVO, indicando-se em contrapartida, quais os níveis de actuação das entradas e das saídas das gates.

A representação dos tipos de gate acima indicado é conseguido por "montagem" a partir de símbolos elementares.

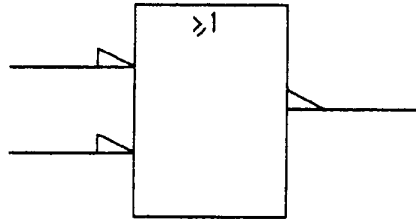
Diga que integrados utilizaria para dar suporte às gates que, em lógica mista, são descritas por:

- A) Uma gate OR com entradas e saída activas a L.
- B) Uma gate AND com entradas e saída activas a L.
- C) Uma gate OR com entradas activas a H e saída activa a L.
- D) Uma gate AND com entradas activas a H e saída activa a L.
- E) Uma gate OR com entradas activas a L e saída activa a H.
- F) Uma gate AND com entradas activas a L e saída activa a H.

**Resolução:**

A) Gate OR com entradas e saída activas a L

O circuito referido é o seguinte:



Nada é dito sobre a interpretação dada pelo utilizador às linhas de entrada e saída. Nomeadamente não sabemos o seu nome, e o nível em que são consideradas activas, nem tal é preciso.

Sabemos sim, neste caso, que do ponto de vista do dispositivo a saída está activa quando, pelo menos uma das entradas está activa e que o nível em que as 3 linhas estão activas é o nível baixo (L).

Temos portanto a seguinte tabela de relação entre as entradas e a saída do ponto de vista de actividade:

1ª entrada	2ª entrada	saída
inactiva	inactiva	inactiva
inactiva	activa	activa
activa	inactiva	activa
activa	activa	activa

Introduzindo agora o conhecimento que temos sobre o nível a que a actividade das linhas é interpretada, que em todos os casos é de que a actividade no terminal da gate é representada por um nível eléctrico L(ow) no fio, teremos, pela mesma ordem:

1ª entrada	2ª entrada	saída
H	H	H
H	L	L
L	H	L
L	L	L

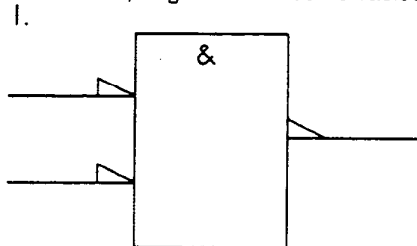
Fazendo a convenção de lógica positiva, isto é, fazendo a seguinte correspondência entre níveis de tensão e níveis lógicos:

Procurando no catálogo um circuito com esta tabela de funcionamento, encontra-se um 7408 que é tradicionalmente referido por AND se, em lógica positiva nos colocarmos.

No entanto, segundo esta nova perspectiva, a representação eléctrica do circuito deverá ser a que acima se ilustra, de modo a não perder a informação lógica associada com o circuito, isto é, de forma a perceber que o circuito faz um OR em termos das variáveis lógicas (que não conhecemos neste exemplo) e que são suportadas pelos "fios".

B) Gate AND com entradas e saída activas a L

Abreviadamente, seguindo o mesmo raciocínio, vem:



II.

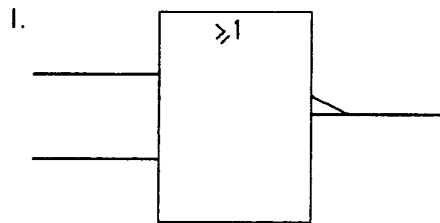
1ª entrada	2ª entrada	saída
inactiva	inactiva	inactiva
inactiva	activa	inactiva
activa	inactiva	inactiva
activa	activa	activa

III.

1ª entrada	2ª entrada	saída
H	H	H
H	L	H
L	H	H
L	L	L

IV. circuito 7432

C) Gate OR com entradas activas a H e saída activa a L



II.

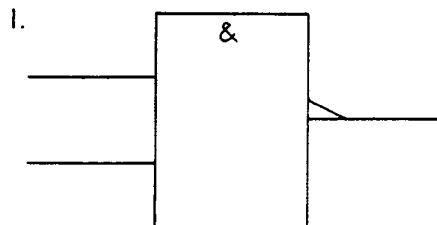
1ª entrada	2ª entrada	saída
inactiva	inactiva	inactiva
inactiva	activa	activa
activa	inactiva	activa
activa	activa	activa

III.

1ª entrada	2ª entrada	saída
L	L	H
L	H	L
H	L	L
H	H	L

IV. circuito 7402

D) Gate AND com entradas activas a H e saída activa a L



II.

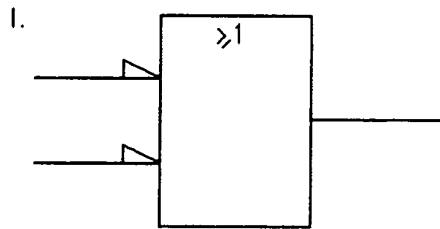
1ª entrada	2ª entrada	saída
inactiva	inactiva	inactiva
inactiva	activa	inactiva
activa	inactiva	inactiva
activa	activa	activa

III.

1ª entrada	2ª entrada	saída
L	L	H
L	H	H
H	L	H
H	H	L

IV. circuito 7400

E) Gate OR com entradas activas a L e saída activa a H



II.

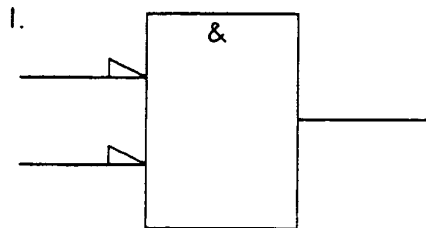
1ª entrada	2ª entrada	saída
inactiva	inactiva	inactiva
inactiva	activa	activa
activa	inactiva	activa
activa	activa	activa

III.

1ª entrada	2ª entrada	saída
H	H	L
H	L	H
L	H	H
L	L	H

IV. circuito 7400

F) Gate AND com entradas activas a L e saída activa a H.



II.	1ª entrada	2ª entrada	saída
	inactiva	inactiva	inactiva
	inactiva	activa	inactiva
	activa	inactiva	inactiva
	activa	activa	activa

III.	1ª entrada	2ª entrada	saída
	H	H	L
	H	L	L
	L	H	L
	L	L	H

IV. circuito 7402

**Problema 4**

Pretende-se implementar uma função Z de quatro entradas A, B, C e D, que seja activada quando uma ou outra mas não ambas as condições que se requerem forem satisfeitas:

- 1) As entradas A e B estão activadas.
- 2) C ou D ou ambas estão activadas.

A) Admita que A e B são activas a H, e C, D e Z são activas a L.

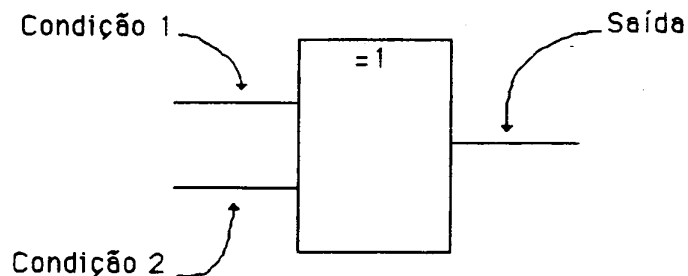
B) Admita que todas as entradas e a saída são activas a H.

Em ambos os casos, desenhe os logigramas utilizando circuitos integrados disponíveis comercialmente.

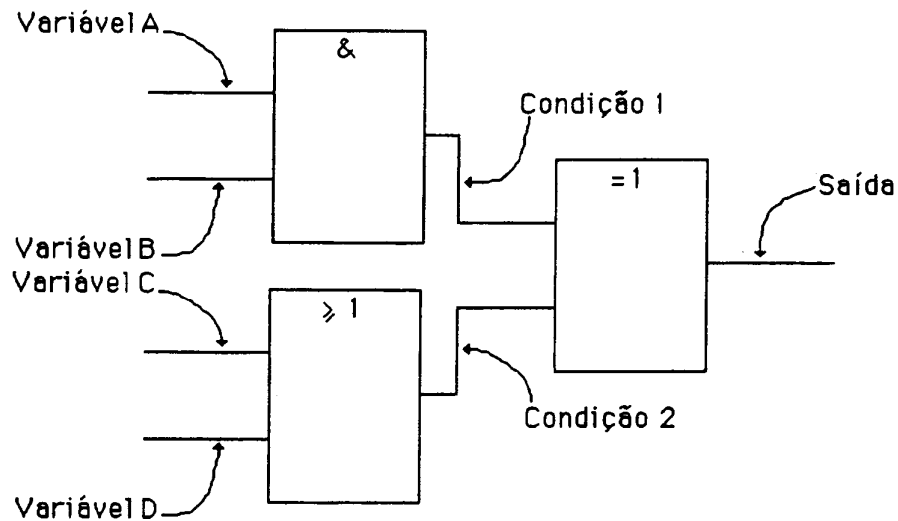
Resolução:

A saída estará activa quando uma das condições e só uma estiver activa. Portanto, logicamente, a saída será um OU\_EXCLUSIVO das duas condições. Nesta fase não nos interessa considerar a que nível se dá a actividade das condições e da saída.

Portanto teremos:



A condição 1 é um E lógico das entradas A e B e a condição 2 é um OU lógico das variáveis de entrada C e D. Continuando sem nos preocupar com os níveis a que se dão as actividades das variáveis, **uma vez que estamos apenas a desenhar o logigrama, que se refere apenas à estrutura lógica da questão sem entrara em detalhes de implementação eléctrica, teremos:**



Note-se que a representação não está terminada. Desenhámos apenas o logigrama das funções lógicas. O que sabemos é que a condição 1 estará activa quando as variáveis A e B estiverem ambas activas, que a condição 2 estará activa quando pelo menos uma das variáveis C e D estiver activa e que a saída estará activa quando uma e só uma das condições 1 e 2 estiver activa.

A) Sabemos agora que as linhas que representam as variáveis A e B estão no nível alto (H) quando essas variáveis estão activas e que as linhas que representam C e D e a saída Z estão no nível baixo (L) quando essas variáveis estão activas.

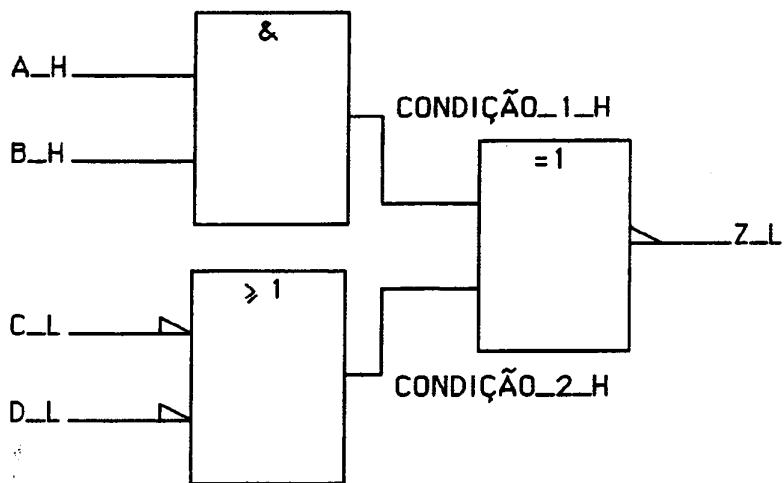
Podemos, portanto representar a linha que, representando a variável A, entra no E por A\_H significando "quando esta linha está H a variável A está activa". O mesmo se passa em relação à variável B. Por outro lado o circuito E "interpreta" as suas linhas de entrada como activas quando estas estão no nível alto se lá não existirem os símbolos de inversão de polaridade.

Em relação às variáveis C e D as linhas que as representam terão as designações C\_L e D\_L e as entradas respectivas no OU terão de ter o símbolo de inversão de polaridade para que o OU "possa saber" que deve interpretar aquelas linhas como representando uma variável activa quando estiver no nível baixo (L).

Recorde-se que o E e o OU como todos os circuitos referentes a este tipo de representação processam as suas entradas e fabricam as suas saídas apenas em termos de actividade lógica interna.

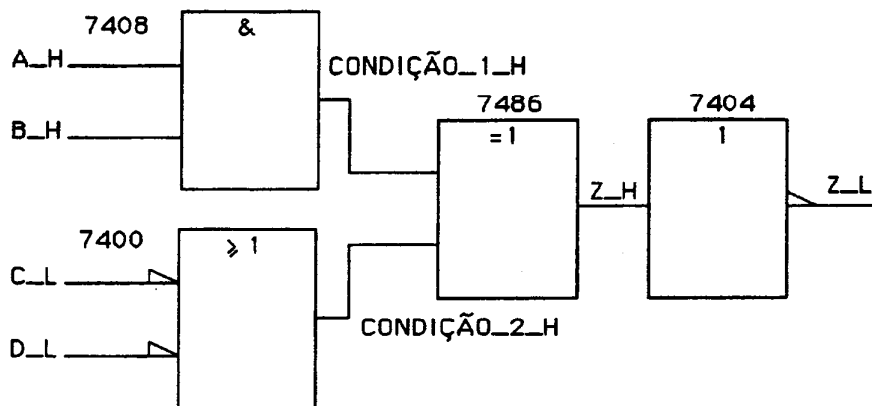
Da mesma forma, a saída será representada por Z\_L e, por outro lado, o OU-EXCLUSIVO terá um símbolo inversor de polaridade para "saber" que quando "quiser" fazer a saída activa deve pôr a respectiva linha ao nível baixo (L).

Com o que foi dito é fácil verificar que o circuito terá a seguinte representação:

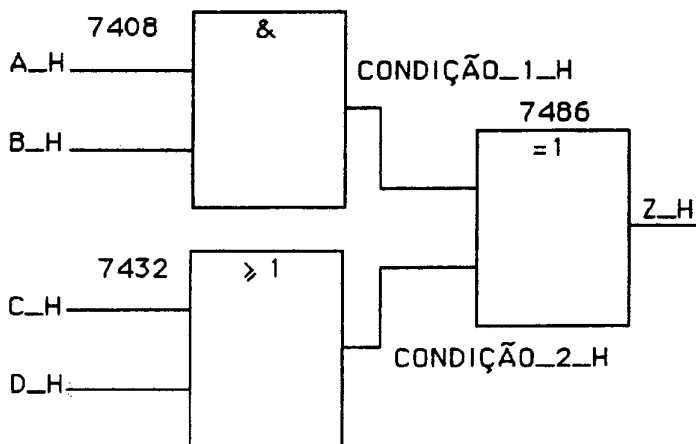


Repare-se que as linhas que representam as condições 1 e 2 têm uma representação coerente. De acordo com o esquema, a linha estará a H quando a saída de E está activa. Como a entrada respectiva do OU-EXCLUSIVO tem a mesma convenção essa entrada do OU-EXCLUSIVO será por ele considerada activa quando a CONDIÇÃO\_1 se verificar, colocando o E a sua saída activa. O mesmo se pode verificar para a condição 2.

Para representar o circuito com integrados correntes podemos recorrer à metodologia usada no problema anterior.



B) Como é fácil de ver será:





**Problema 5**

São fornecidas as entradas A\_L, B\_H, C\_L e D\_H.

Utilizando os circuitos integrados da tabela 3.11-1, desenhe os logigramas das seguintes funções:

A)  $Z = \overline{(A+B+C)} \cdot (\overline{B}+D)$

B)  $Z = (A+\overline{B}+C) \cdot (C \odot D)$

C)  $Z = A+B+C+D$

Sendo Z activa ao nível baixo.

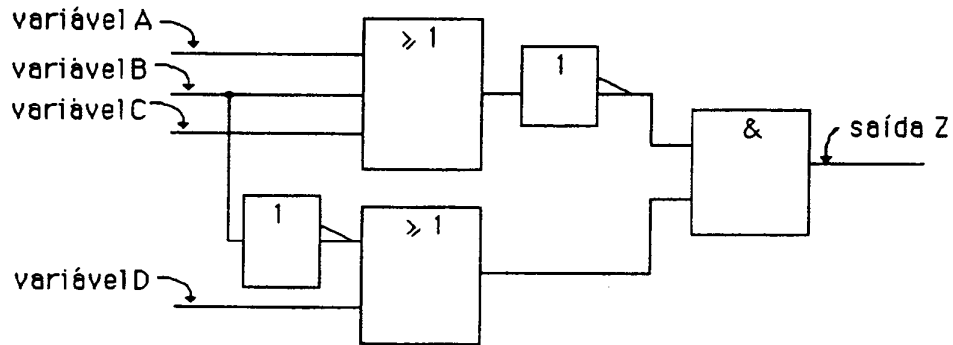
Resolução:

Há formas várias de resolver este problema. Segue-se uma possível:

A) A variável Z estará activa quando o primeiro factor estiver activo e o segundo factor também estiver activo.

Por seu lado o primeiro factor estará activo quando a soma entre parêntesis (A+B+C) NÃO ESTIVER. O segundo factor estará activo quando a soma entre parêntesis estiver.

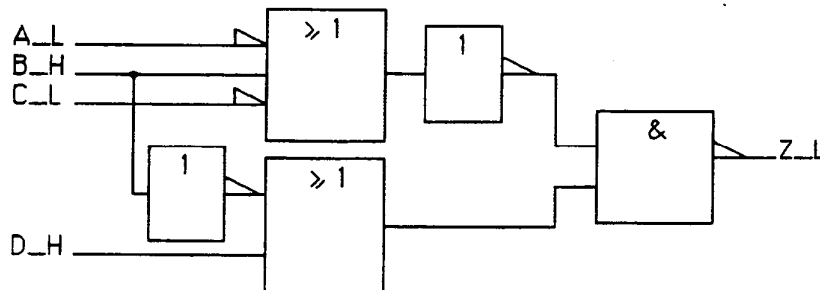
Daí que, não entrando em linha de conta com os níveis de actividade das variáveis A, B, C, D e Z, o esqueleto lógico da função será:



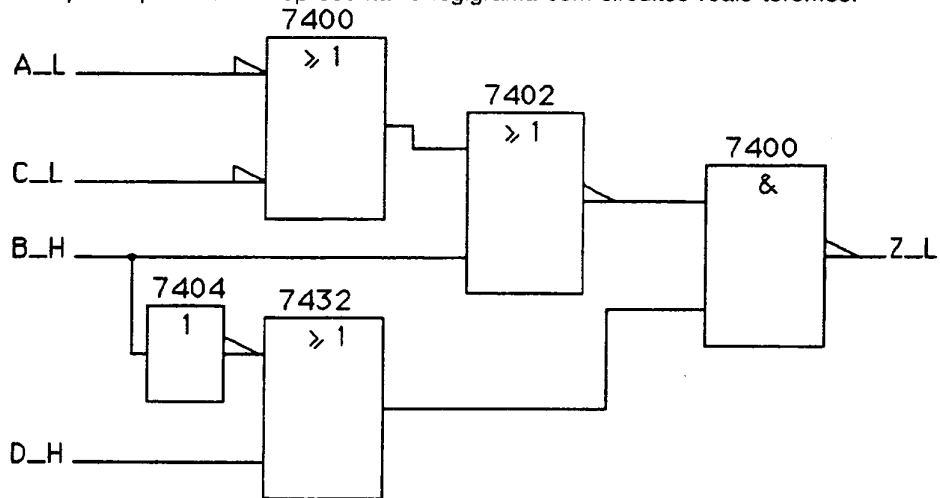
A negação entre a saída do OU superior e a entrada do E resulta de que o E terá nessa entrada actividade quando a saída do OU estiver não activa e vice-versa, como se infere da lógica do problema.

Da mesma forma a entrada superior do segundo OU tem uma negação pela lógica do problema.

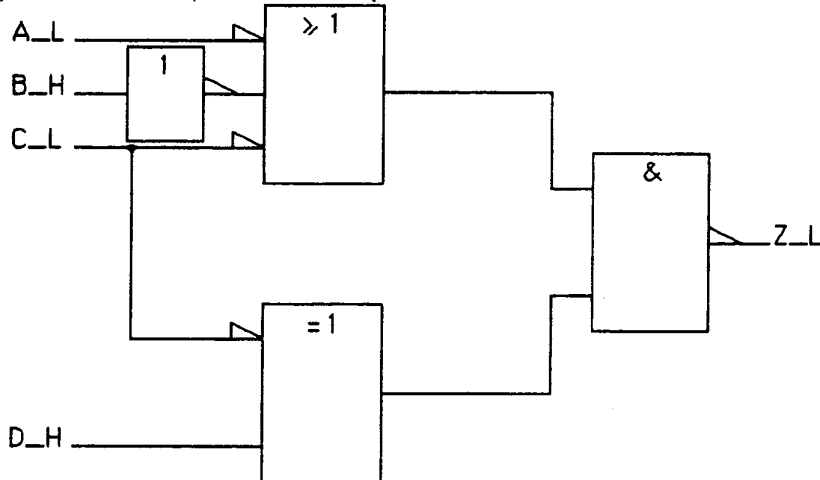
Entrando agora em conta com os níveis das linhas a que as variáveis estão activas, há que introduzir símbolos de inversão de polaridade nas entradas dos circuitos ligados às variáveis activas a L e há que colocar um símbolo de inversão de polaridade na saída do E, pelos mesmos motivos.



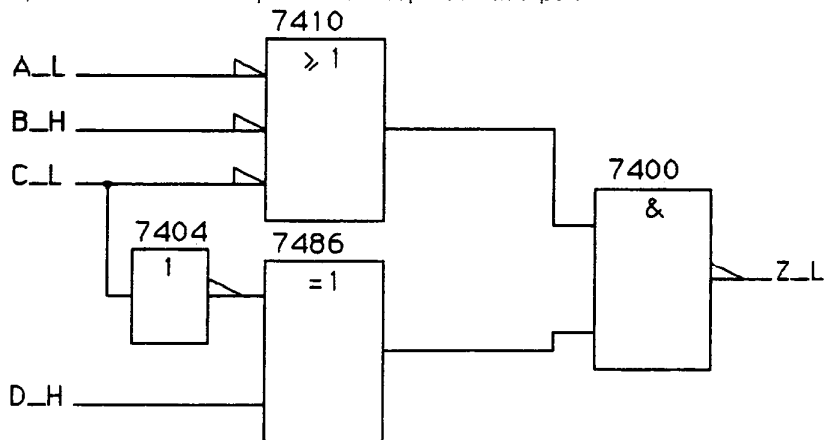
Se nos preocuparmos em representar o logigrama com circuitos reais teremos:



B) Com o mesmo tipo de considerações obtinha-se:



que, com circuitos reais poderá ser representado por:

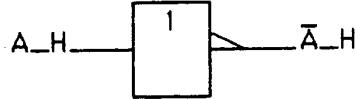


Repare-se que a negação da linha B desaparece para dar lugar a um sinal de inversão de polaridade na entrada respectiva do OU e que, ao contrário, o sinal de inversão de polaridade

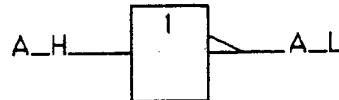
desaparece em baixo para dar lugar a uma negação.

Estas alterações resultam do duplo significado que é possível atribuir à negação:

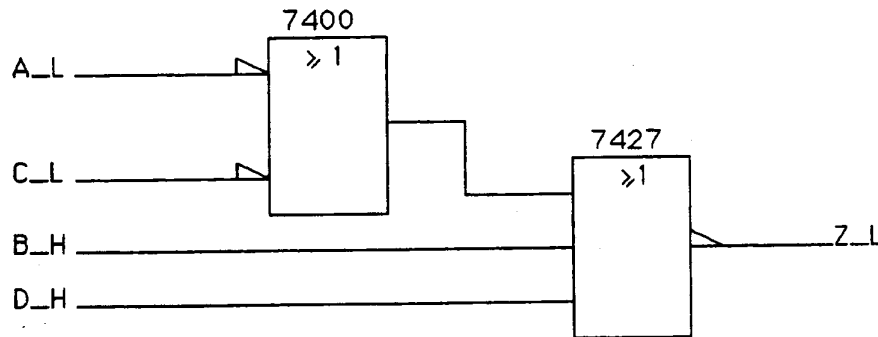
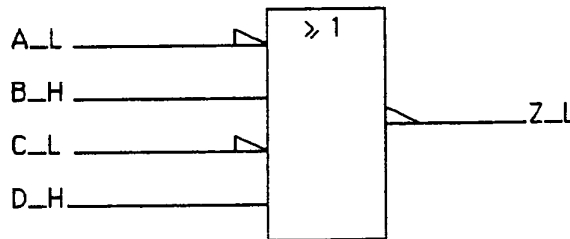
Por um lado, função lógica sobre uma variável A que a transforma numa outra variável B tal que  $B = \bar{A}$ . Repare-se que se A está representada por A\_H numa linha, virá também  $\bar{A}_H$



Por outro lado a negação pode ser encarada como um simples inversor de polaridade que "transforma" uma linha que representa uma variável activa quando se encontra num determinado nível numa outra que representa a mesma variável activa quando se encontra no outro nível



C)



### Problema 6

Pretende-se implementar um circuito que acenda uma luz sob comando de terminais IN\_L e TOL\_H. A função que vai permitir acender a luz deverá ser activa a L e será comandada pelos seguintes sinais:

- (1) Ligar a luz (TOL\_H);
- (2) Inibir (IN\_L);
- (3) Emergência (EMERG\_L) e;
- (4) A ocasião não é adequada (TNR\_H).

A luz dever-se-á acender desde que a ocasião seja adequada, o comando da luz não seja inibido pelo sinal IN e seja dada ordem para ligar a luz. Se, contudo, se verificar uma emergência, a luz dever-se-á acender independentemente dos outros comandos. Desenhe um logigrama para o circuito, em lógica mista e em lógica positiva.

### Resolução:

A luz acende-se se se der uma de duas situações. Portanto

$$\text{LUZ} = \text{CONDIÇÃO 1} + \text{CONDIÇÃO 2}$$

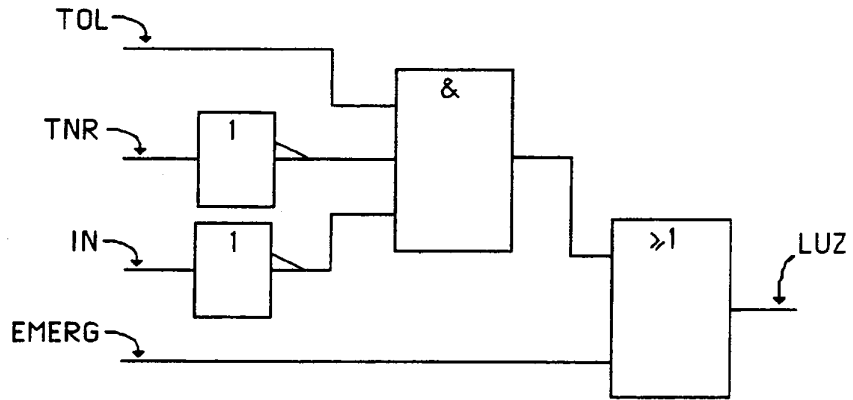
A condição 1 é dada por

$$\text{CONDIÇÃO 1} = \overline{\text{TOL}} \cdot \overline{\text{IN}} \cdot \overline{\text{TNR}}$$

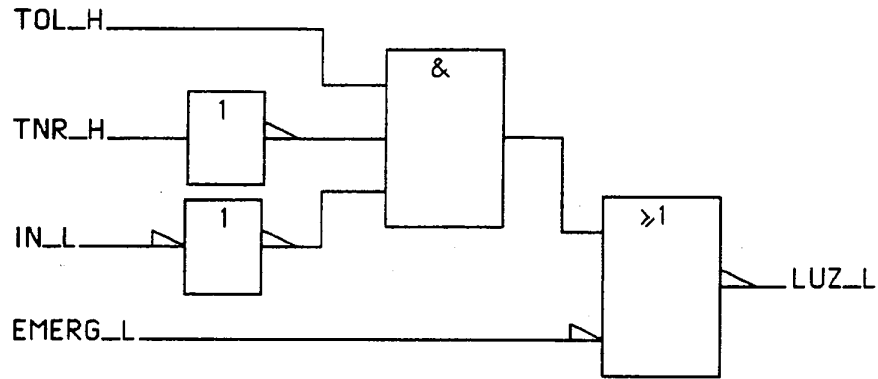
A condição 2 é dada por

$$\text{CONDIÇÃO 2} = \text{EMERG}$$

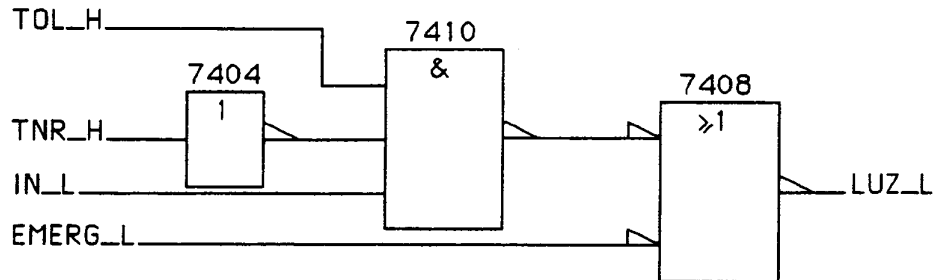
Logo o esquema considerando apenas a estrutura lógica será:



Levando agora em conta os níveis em que as variáveis são activas virá:



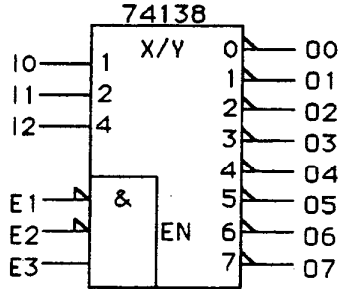
ou



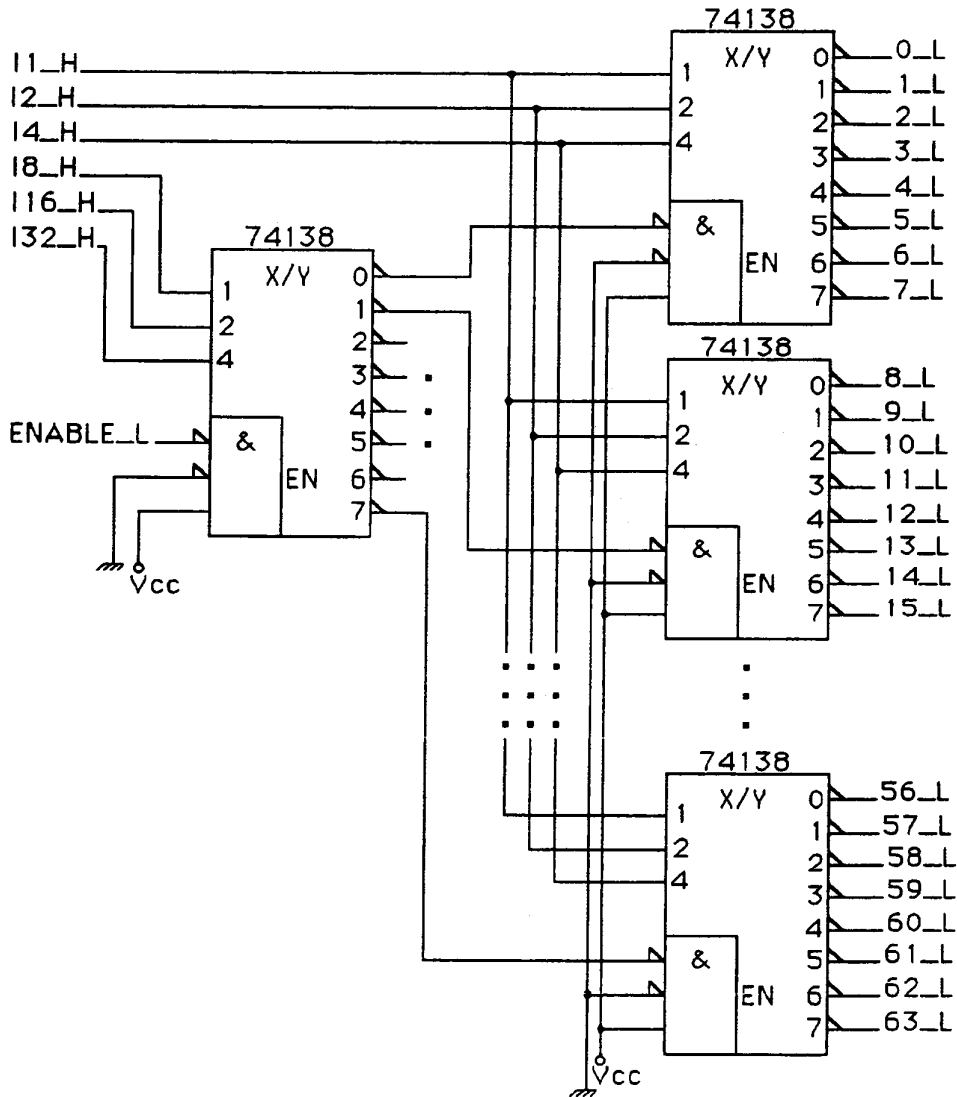
**Problema 7**

Diga como poderá utilizar nove descodificadores do tipo 74138 para implementar um descodificador com 6 linhas de endereço e 64 linhas de saída.

nota: O descodificador do tipo 74138 tem o seguinte símbolo:



Resolução:



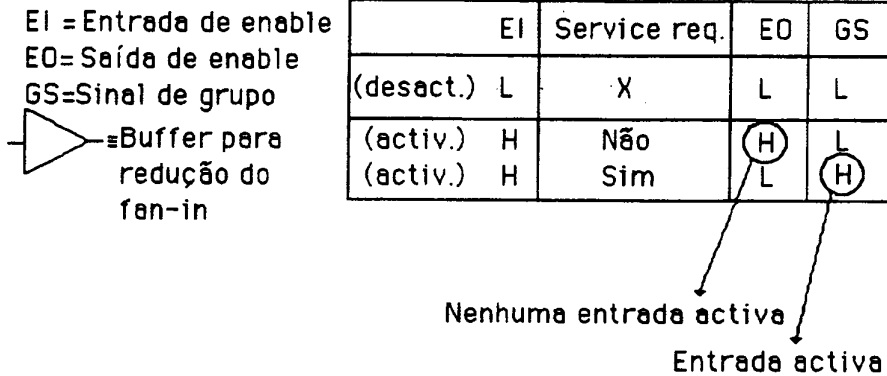
Esta solução não requer inversores.

**Problema 8**

Trace o logograma de um codificador de prioridades com 4 entradas, I0 a I3, e duas saídas A1 e A0. I3 deverá ter prioridade sobre I2 que por sua vez, deverá ter prioridade sobre I1, etc. Preveja, ainda, a existência de uma entrada de enable e de duas saídas, uma de enable e outra de grupo em que esta última indica se, estando o codificador activo, há pelo menos uma entrada activa. Todas as entradas e saídas deverão ser activas a H.

Resolução:

Começemos por considerar uma tabela que defina o funcionamento global do dispositivo:



Como se pode ver quando a entrada de EI está LOW (não activa, portanto) todas as saídas estão inactivas (e portanto a LOW). O dispositivo está, nessas condições inibido.

Quando EI está activa, as saídas podem ser activadas.

A saída EO serve para ligar vários codificadores em cadeia, por forma a aumentar o número de entradas tratáveis. Nessas circunstâncias, a presença de uma entrada activa (na tabela service req.), inibe o codificador seguinte (porque foi encontrada a entrada mais prioritária) e a sua ausência "passa a bola" ao codificador seguinte na cadeia.

A saída GS indica se, estando o codificador "enabled", há alguma (ou mais) entrada activa. Isso permite validar a configuração de saídas e, nomeadamente, separar o LL relativo a não haver entrada activa do que corresponde a haver a entrada 0 activa.

Com base nestes dados produz-se a tabela detalhada:

EI	I3	I2	I1	I0	A1	A0	EO	GS
L	X	X	X	X	L	L	L	L
H	L	L	L	L	L	L	H	L
H	L	L	L	H	L	L	L	H
H	L	L	H	L	L	H	L	H
H	L	L	H	H	L	H	L	H
H	L	H	L	L	H	L	L	H
H	L	H	L	H	H	L	L	H
H	L	H	H	L	H	L	L	H
H	L	H	H	H	H	L	L	H
H	H	L	L	L	H	H	L	H
H	H	L	L	H	H	H	L	H
H	H	L	H	L	H	H	L	H
H	H	L	H	H	H	H	L	H
H	H	H	L	L	H	H	L	H
H	H	H	L	H	H	H	L	H
H	H	H	H	L	H	H	L	H
H	H	H	H	H	H	H	L	H

Com base nesta tabela constroem-se os mapas de Karnaugh:

	$i_3$	$i_2$	00	01	11	10
$i_1$	0	0	0	1	1	1
0	0	1	0	1	1	1
1	0	1	0	1	1	1
1	0	1	0	1	1	1

A1  
(EI=1)

$$A1 = EI \cdot (i_3 + i_2)$$

$$EO = EI \cdot (\bar{i}_3 \cdot \bar{i}_2 \cdot \bar{i}_1 \cdot \bar{i}_0)$$

	$i_3$	$i_2$	00	01	11	10
$i_1$	0	0	0	0	1	1
0	0	0	0	0	1	1
1	1	0	1	1	1	1
1	1	0	1	1	1	1

A0  
(EI=1)

$$A0 = EI \cdot (i_3 + \bar{i}_2 \cdot i_1)$$

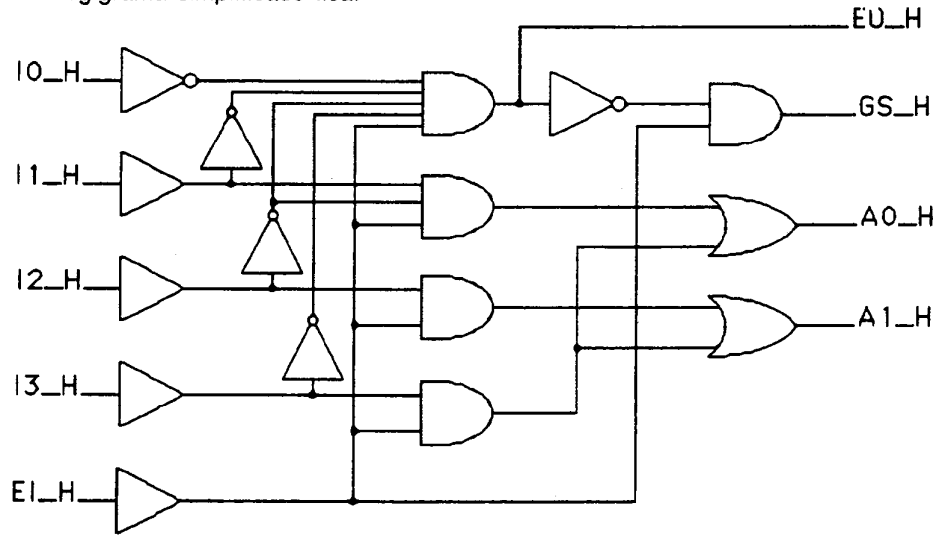
$$GS = EI \cdot (i_3 + i_2 + i_1 + i_0)$$

$$= EI \cdot (\bar{i}_3 \cdot \bar{i}_2 \cdot \bar{i}_1 \cdot \bar{i}_0)$$

$$= EI \cdot \bar{EO}$$

Para a obtenção das funções com lógica mínima usaram-se alguns truques que os alunos são desafiados a descobrir.

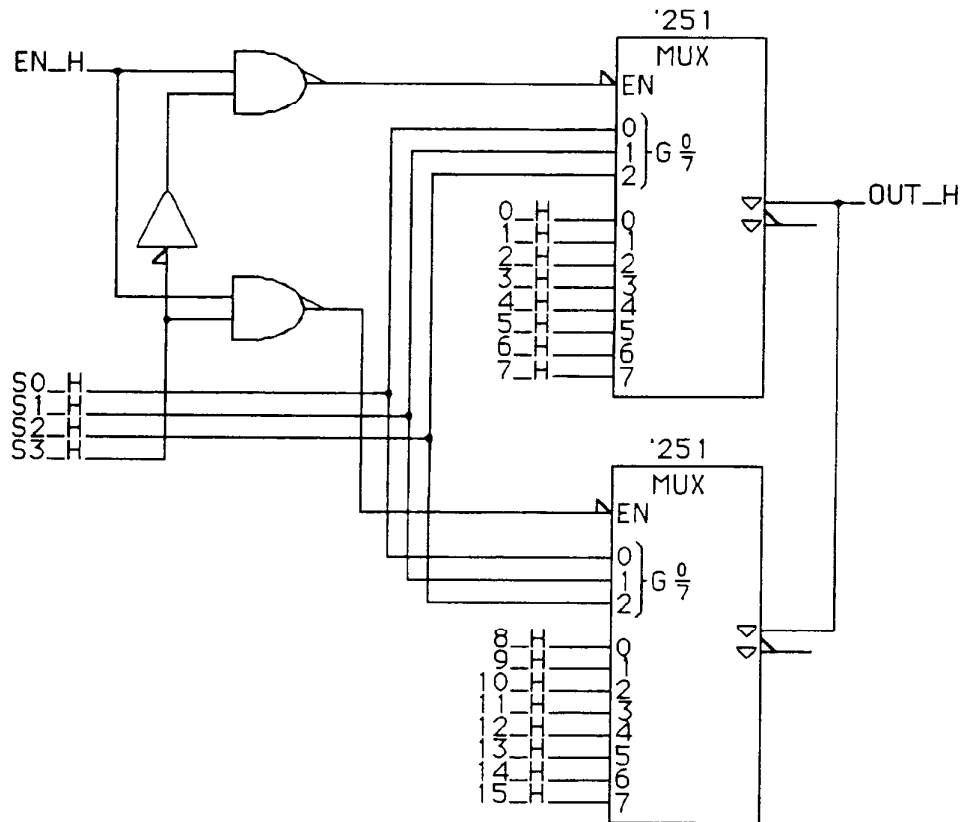
E o logograma simplificado fica:



**Problema 9**

Como deverá ligar dois multiplexers como os da fig.3.18.4 do texto teórico, de modo a construir um multiplexer com 16 entradas e uma saída? Use as gates suplementares que entender necessárias.

Resolução:



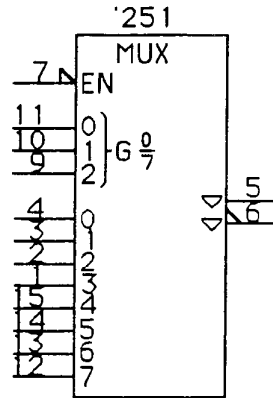
Quando S3\_H estiver activado (a H), é escolhido (enabled), o multiplexer de baixo. Quando S3 estiver desactivado (a L), a gate NAND de cima faz o enable do multiplexer de cima. Os multiplexers têm saída tri-state.

**Problema 10**

Suponha dado o multiplexer da fig. 3.18.4 do texto teórico. Pretende-se obter numa das suas saídas o complemento do nível lógico do pino 14. Quais os níveis de tensão nas várias entradas, e qual a saída pretendida?



Resolução:



São necessários:

- Entradas:
- Pino 14, com o valor a selecionar para a saída.
  - Pino 7 = L.
  - Pino 11 = H.
  - Pino 10 = L.
  - Pino 9 = H.

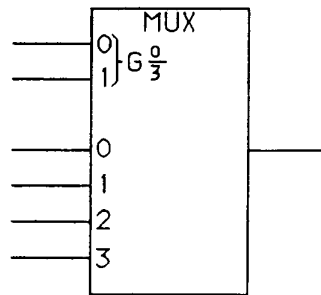
As três últimas condições dizem respeito à seleção do pino 14.

- Saída:
- Pino 6, com o complemento do valor aplicado ao pino 14.

**Problema 11**

Utilize o multiplexer da figura seguinte para gerar a função:

$$Z = S_1 S_0 + S_0 V + \bar{S}_1 \bar{S}_0 V$$



Resolução:

Função a gerar:

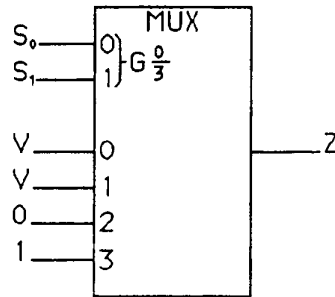
$$Z = S_1 S_0 + S_0 V + \bar{S}_1 \bar{S}_0 V = f(S_1, S_0, V)$$

Tabela de verdade da função Z:

$S_1$	$S_0$	$V$	$Z$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

$Z=V$  para  $S_1 S_0=0$   
 $Z=V$  para  $S_1 S_0=1$   
 $Z=0$  para  $S_1 S_0=2$   
 $Z=1$  para  $S_1 S_0=3$

Correspondendo as variáveis S1 e S0 da função às variáveis de selecção do multiplexer. Logo dever-se-ão aplicar ao multiplexer as seguintes entradas e saídas:



**Problema 12**

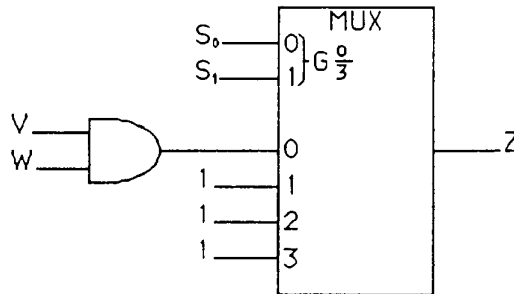
Diga como pode utilizar o multiplexer da figura 3.18-2 do texto teórico para gerar a função

$$Z = S_1 \bar{S}_0 + S_0 W + VW + S_0 \bar{W}$$

(Sugestão: considere que às entradas de dados do multiplexer pode aplicar funções lógicas para além de constantes e variáveis).

Resolução:

$$\begin{aligned} Z &= \bar{S}_0 S_1 + S_0 W + VW + S_0 \bar{W} \\ &= \bar{S}_0 S_1 + \frac{S_0 \bar{S}_1 W + S_0 S_1 W + S_0 S_1 \bar{W} + S_0 \bar{S}_1 \bar{W}}{S_0 \bar{W}} + \frac{\bar{S}_0 \bar{S}_1 VW + \bar{S}_0 S_1 VW + S_0 \bar{S}_1 VW + S_0 S_1 VW}{VW} \\ &= \bar{S}_0 \bar{S}_1 (VW) + \bar{S}_0 S_1 (1 + VW) + S_0 \bar{S}_1 (W + \bar{W} + VW) + S_0 S_1 (W + \bar{W} + VW) \\ &= \bar{S}_0 \bar{S}_1 (VW) + \bar{S}_0 S_1 (1) + S_0 \bar{S}_1 (1) + S_0 S_1 (1) \end{aligned}$$



**Problema 13**

(A) Utilize um multiplexer de 8 entradas para gerar a função

$$Z = \sum m(0, 3, 5, 6, 9, 10, 12, 15).$$

(B) Trace um logigrama só com NAND'S que implemente a mesma função.

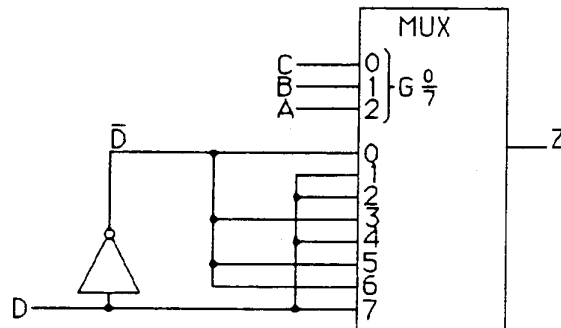
(C) Se só utilizar circuitos integrados contendo cada um duas NAND'S de quatro entradas, compare as duas soluções anteriores contabilizando, em cada caso, o número total de integrados.

Resolução:

$$Z = \sum m(0, 3, 5, 6, 9, 10, 12, 15) = f(A, B, C, D)$$

(A)

A	B	C	D	Z
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1



(B)

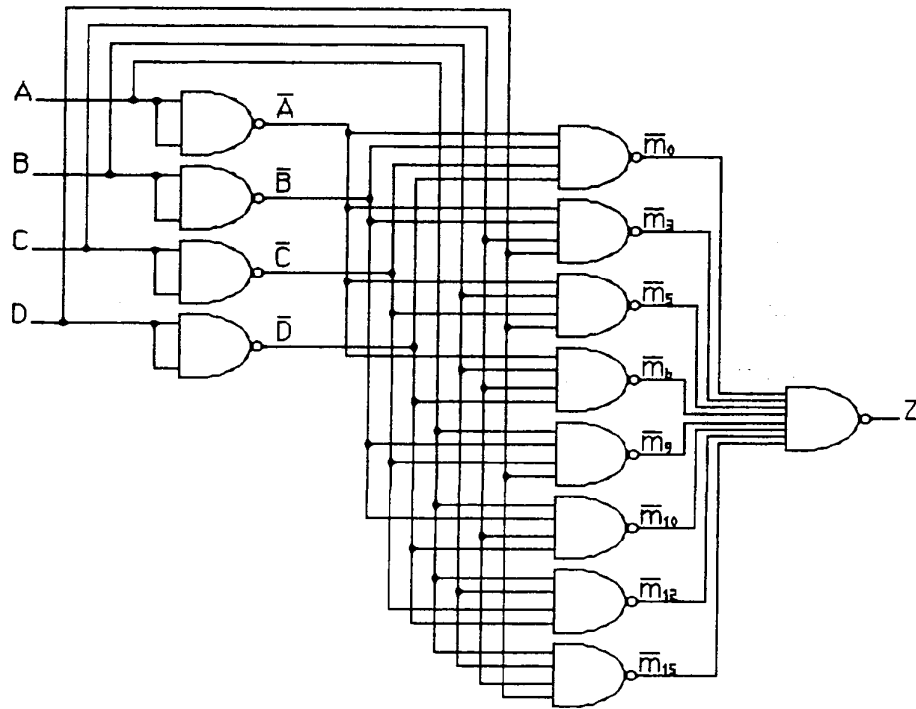
CD \ AB	AB			
	00	01	11	10
00	0 1	4	12 1	8
01	1	5 1	13	9 1
11	3 1	7	15 1	11
10	2	6 1	14	10 1

A função não é simplificável, logo terá de ser construída como uma soma dos mintermos dados:

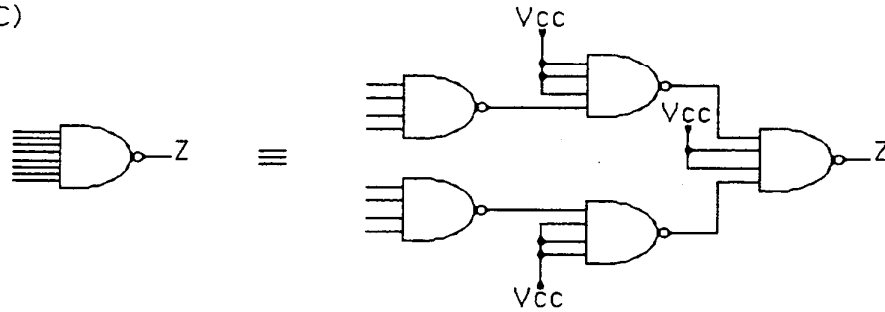
$$Z = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}\bar{D} + \bar{A}B\bar{C}D + \bar{A}B\bar{C}D + \bar{A}B\bar{C}\bar{D} + \bar{A}B\bar{C}D + \bar{A}B\bar{C}D$$

Para esta função são então precisos:

- 8 NAND'S de 4 entradas que geram os complementos dos mintermos.
- 1 NAND de 8 entradas.
- 4 NAND'S a funcionar como inversores.



(C)



Portanto:

- (i) Sendo dados A, B, C, D e  $\bar{A}$ ,  $\bar{B}$ ,  $\bar{C}$  e  $\bar{D}$ 
  - A solução (A) requer um CI (mux).
  - A solução (B) requer 13 gates NAND de 4 entradas, ou seja 7 CI's.
- (ii) Não sendo dados A, B, C e D
  - A solução (A) requer 2 CI's, (um mux e um inversor que pode ser NAND).
  - A solução (B) requer 17 gates NAND de 4 entradas (os únicos admitidos pelo problema), ou seja, 9 CI's.

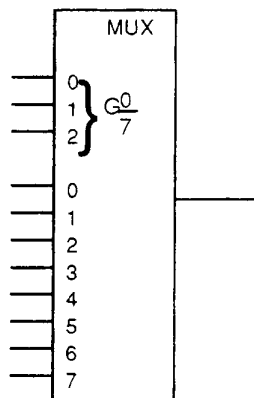
**Problema 14**

Utilize um multiplexer de 8 entradas para gerar a função  
 $f(A,B,C,D,E) = \sum m(0-5, 10, 13, 20-25, 30, 31)$

Para resolver este tipo de problema há que começar por construir a tabela da função:

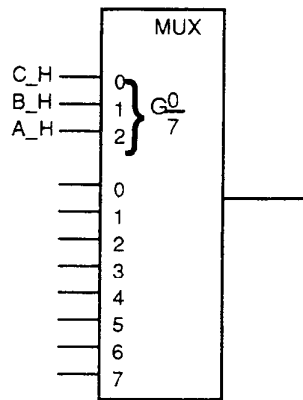
ABCDE	F
00000	1
00001	1
00010	1
00011	1
00100	1
00101	1
00110	0
00111	0
01000	0
01001	0
01010	1
01011	0
01100	0
01101	1
01110	0
01111	0
10000	0
10001	0
10010	0
10011	0
10100	1
10101	1
10110	1
10111	1
11000	1
11001	1
11010	0
11011	0
11100	0
11101	0
11110	1
11111	1

O multiplexer que se pretende utilizar é um multiplexer de 3 entradas de controlo:



Não temos entradas suficientes no multiplexer para uma aplicação clássica do problema. A solução consiste em fazer uma extensão dos conceitos mais clássicos:

Desta forma começamos por escolher quaisquer 3 das 5 variáveis da função e colocamo-las nas entradas de selecção do multiplexer. Por comodidade usamos as 3 de maior peso e ligamo-las por ordem de peso às entradas de selecção correspondentes do multiplexer.



Quando  $A=0$ ,  $B=0$  e  $C=0$  estamos numa das primeiras quatro linhas da tabela da função. Nessas 4 linhas a função vale 1. Como, nesta situação o multiplexer coloca à saída o valor da entrada 0, correspondente à configuração 000 das variáveis de controlo, se fizermos essa entrada permanentemente igual a 1, o multiplexer, para  $A=0$ ,  $B=0$  e  $C=0$  tem na sua saída o valor da função.

O caso de  $A=0$ ,  $B=0$  e  $C=1$  corresponde às linhas da tabela de 4 a 7. O valor da função nessa situação não é igual em todas as linhas. A única coisa que distingue essas 4 linhas é a configuração das variáveis D e E. Verifica-se, por observação, que a função vale 1 quando  $D=0$  e vale 0 quando  $D=1$ . Conclui-se que, na situação  $A=0$ ,  $B=0$  e  $C=1$  a função é

$$f = \bar{D}$$

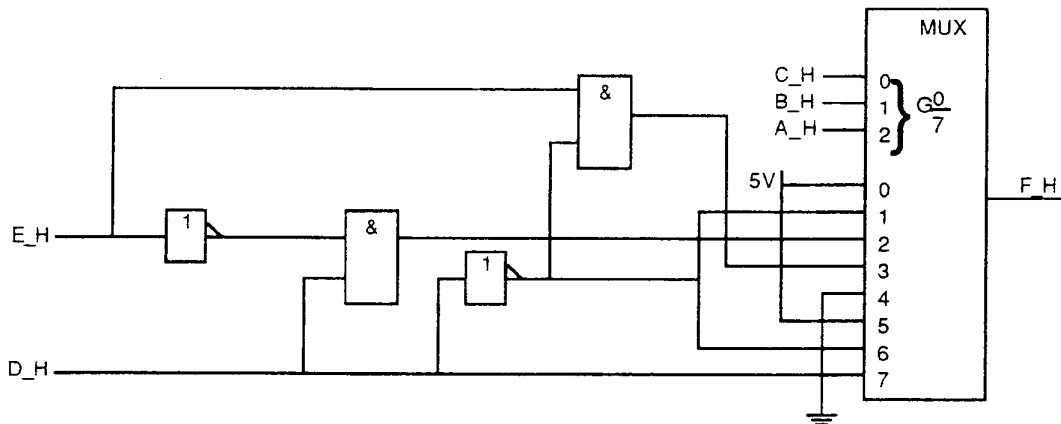
Por conseguinte coloca-se esse valor na entrada 1 do multiplexer.

No grupo seguinte de 4 linhas da tabela ( $A=0$ ,  $B=1$  e  $C=0$ ) verifica-se que a função também é dependente de D e E. No caso concreto temos:

$$f = D\bar{E}$$

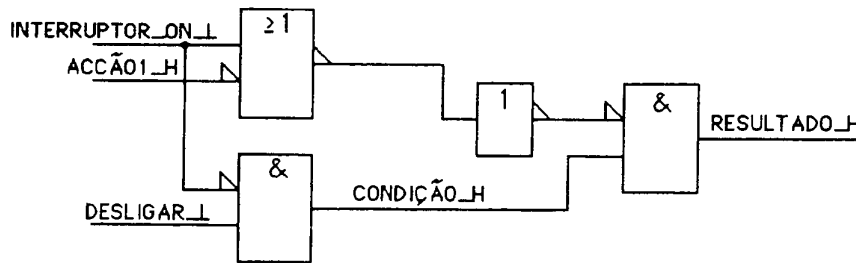
Daí que, na entrada 2 do Multiplexer se coloque este valor de f o que obriga ao uso de lógica exterior ao multiplexer.

Por repetição deste raciocínio chega-se ao esquema final:



**Problema 15**

Considere o seguinte circuito representado em lógica mista:

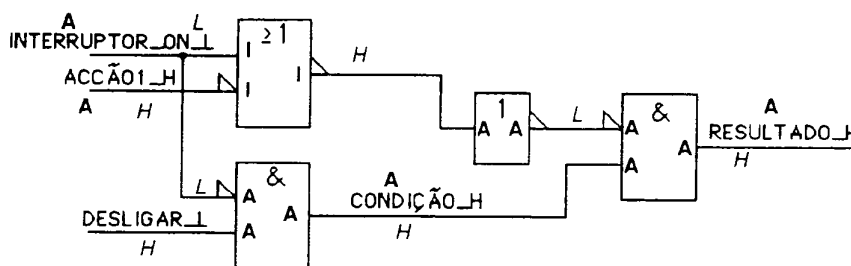


Sabendo que as variáveis INTERRUPTOR\_ON e ACCÃO1 estão activas e que a linha DESLIGAR\_L está ao nível H,

- Em que nível está a linha CONDIÇÃO\_H? Porquê?
- A variável RESULTADO está ou não activa? Porquê?

*A solução esperada era a seguinte:*

Marcamos no esquema o nível eléctrico dos diversos sinais e o estado de actividade das diversas variáveis presentes no esquema e dos terminais das gates:



- Como se pode ver no esquema a linha CONDIÇÃO\_H está ao nível HIGH.
- Como se pode ver no esquema a linha RESULTADO\_H está ao nível HIGH, pelo que a variável RESULTADO está ACTIVA.

Expliquemos agora um pouco melhor alguns pontos para tentar desfazer confusões que aparentemente existem:

Consideremos, por exemplo, para começar, a zona superior esquerda do esquema.

É afirmado que as duas variáveis de entrada estão activas.

É totalmente errado concluir que as entradas da gate também estão.

Não existe uma relação imediata entre as entradas das gates e o valor das variáveis que são entidades abstractas. Existe um sinal eléctrico que dá suporte físico a esse conceito abstracto e que, de alguma forma, serve de interface entre o mundo das variáveis e da lógica e o mundo dos dispositivos eléctricos e das tensões.

Para conhecer o valor da entrada da gate há que realizar 2 passos:

1º A partir do valor da variável, determinar o nível eléctrico do sinal.

2º A partir daquele nível determinar o estado de actividade das entradas.

É um dado do problema que a variável INTERRUPTOR\_ON está activa. (Neste contexto, as variáveis lógicas estão activa ou inactivas mas não a 0 ou a 1. Por outro lado não tem qualquer sentido referir que estão a HIGH ou a LOW.

Como o sinal que suporta essa variável (INTERRUPTOR\_ON\_L) está, de acordo com o seu nome a LOW quando a variável está activa, conclui-se que o fio está a LOW.

A partir deste momento o nosso raciocínio prossegue sem qualquer referência directa à

variável INTERRUPTOR\_ON.

Como o fio está em LOW, a entrada superior da gate OR está a LOW. Como essa entrada é, do ponto de vista da gate, activa a HIGH, a entrada é considerada inactiva.

A variável ACÇÃO1 está activa, o que significa que o sinal ACÇÃO1\_H está a HIGH.

Por conseguinte, a entrada inferior da gate está a HIGH. Como a entrada é activa a LOW, a gate considera-a inactiva.

Com as duas entradas inactivas o OR terá a sua saída inactiva. Como essa saída é activa a LOW, o fio de saída será colocado a HIGH.

Como esse fio está a HIGH, a entrada da gate 1 está activa, pelo que a sua saída também está activa. Como a saída é activa a LOW o fio de saída fica a LOW.

Portanto a entrada superior da gate da direita está a LOW.

O ramo inferior do circuito poderá ser analisado da seguinte forma:

Como o sinal INTERRUPTOR\_ON\_L está a LOW a entrada superior da gate & está activa.

Como o sinal DESLIGAR\_L está a HIGH, a entrada inferior também está activa.

Portanto a saída do AND estará activa e como esta é activa a HIGH, o fio CONDIÇÃO\_H estará a HIGH.

Logo, a entrada inferior da gate da direita está a HIGH.

As duas entrada do AND da direita estão, portanto, activas, pelo que a saída está activa e o sinal RESULTADO\_H está a HIGH.

Como RESULTADO\_H está a HIGH, a variável RESULTADO está activa.

**NOTA:** Repare-se que nunca se passou directamente, no raciocínio, de uma variável para a entrada de uma gate, nem da saída de uma gate para uma variável. Passa-se sempre tendo em consideração os sinais ou fios de ligação.

### Problema 16

Dispõe de 4 multiplexeres de 3 entradas de control (e 8 de dados) e de um descodificador de 2 entradas (1 de 4).

Projecte, usando o material referido, um multiplexer com 5 entradas de control (32 de dados). Especifique as suposições feitas em relação ao material de que dispõe. Se necessitar pode usar "gates" simples suplementares.

Sabemos que a tática a usar para expandir multiplexeres é a de associar várias "camadas" de multiplexeres pequenos para realizar um "grande" com o número de entradas adequadas.

No caso em estudo, dispomos de 4 circuitos de 8 entradas de dados o que garante, desde logo, a existência de material para realizar a primeira camada que receberá directamente as 32 entradas de dados (Ver esquema 1).

O problema surge na segunda camada.

Por falta de um novo multiplexer, terá de ser implementado um.

Sabemos da existência de um descodificador de 2 entradas. Como se sabe, um mux tem na sua estrutura um descodificador...

É possível realizar duas soluções: Na primeira, vamos supor que os muxes têm saída TTL totem-pole normal. Na segunda usaremos circuitos de saída tri-state.

#### 1ª solução:

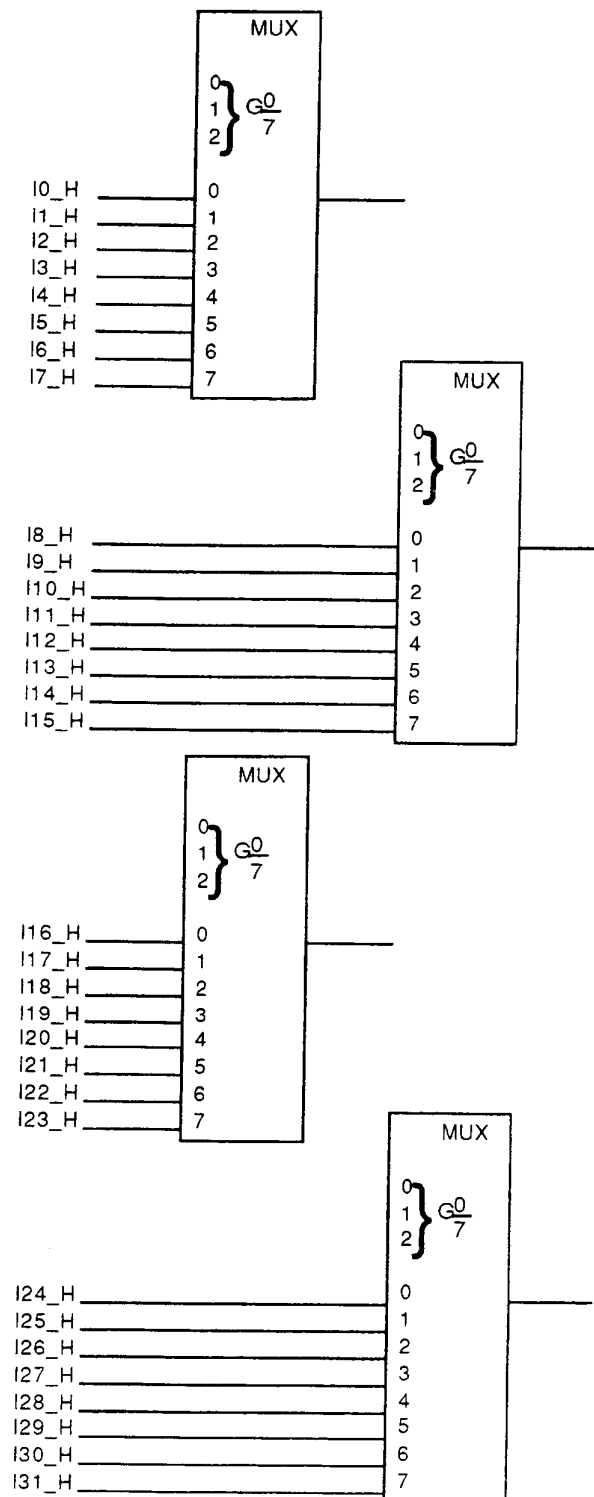
Temos de multiplexar as 4 saídas dos 4 multiplexeres da primeira camada.

A solução mais imediata seria a de realizar uma estrutura clássica de multiplexer (Ver esquema 2):

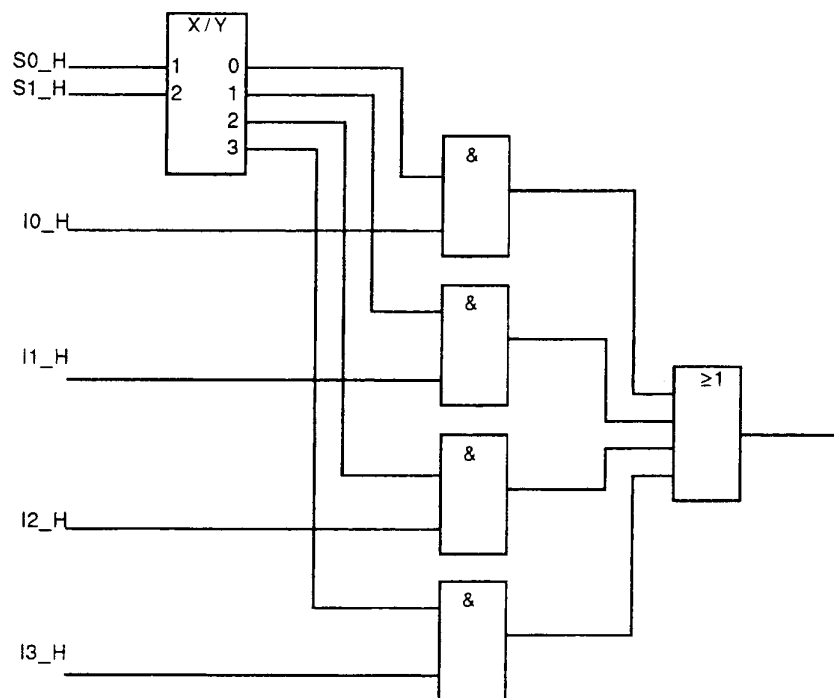
No entanto, podemos simplificar um pouco se impusermos que os muxes de 8 entradas tenham uma entrada de Enable. Nesse caso a função de autorização ou bloqueio da passagem de dados no mux da 2ª camada pode passar a ser desempenhada pelo sinal de Enable dos 4 muxes da primeira camada.

A solução final virá então como ilustrado no esquema 3.





Esquema 1

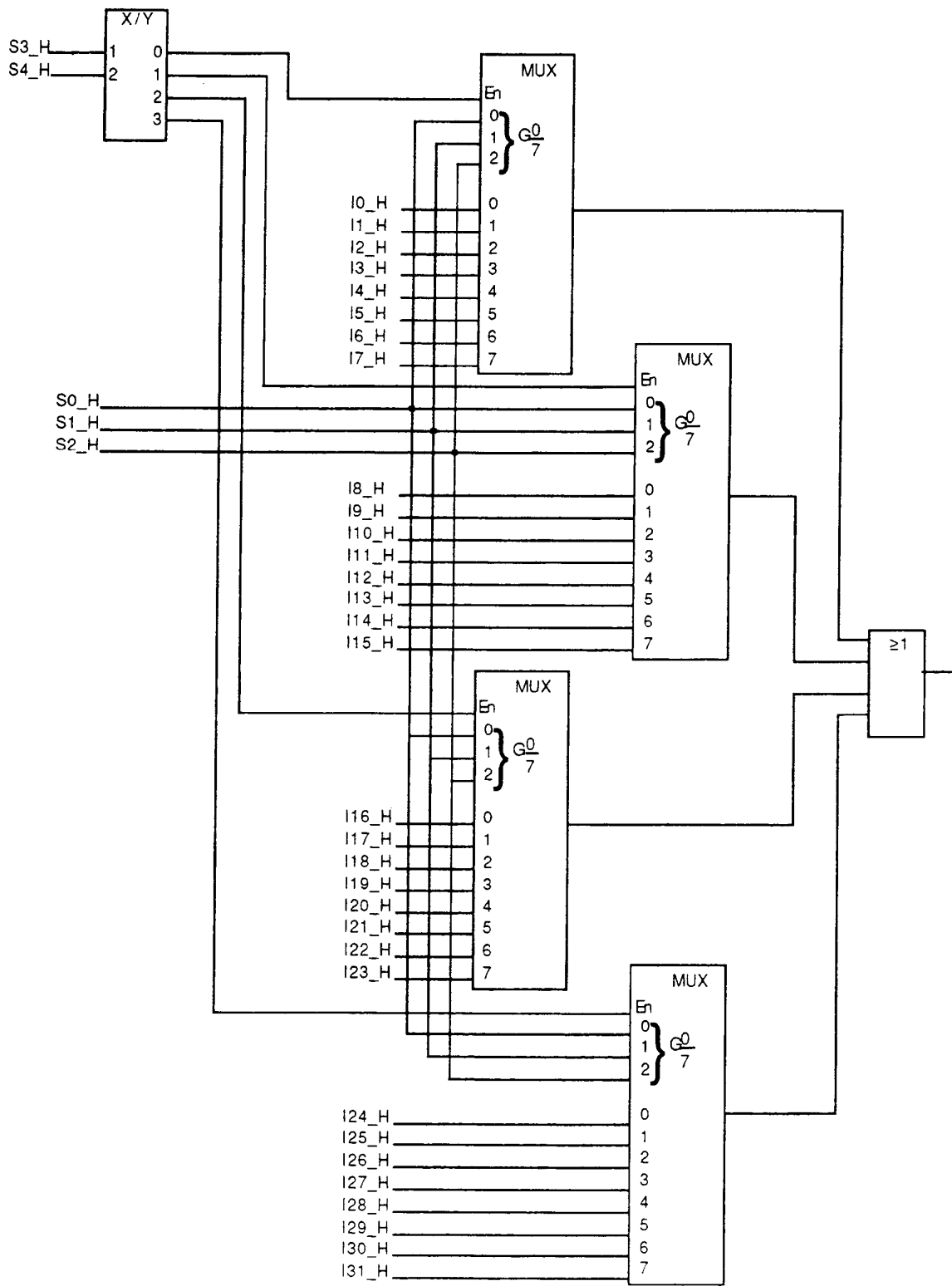


Esquema 2

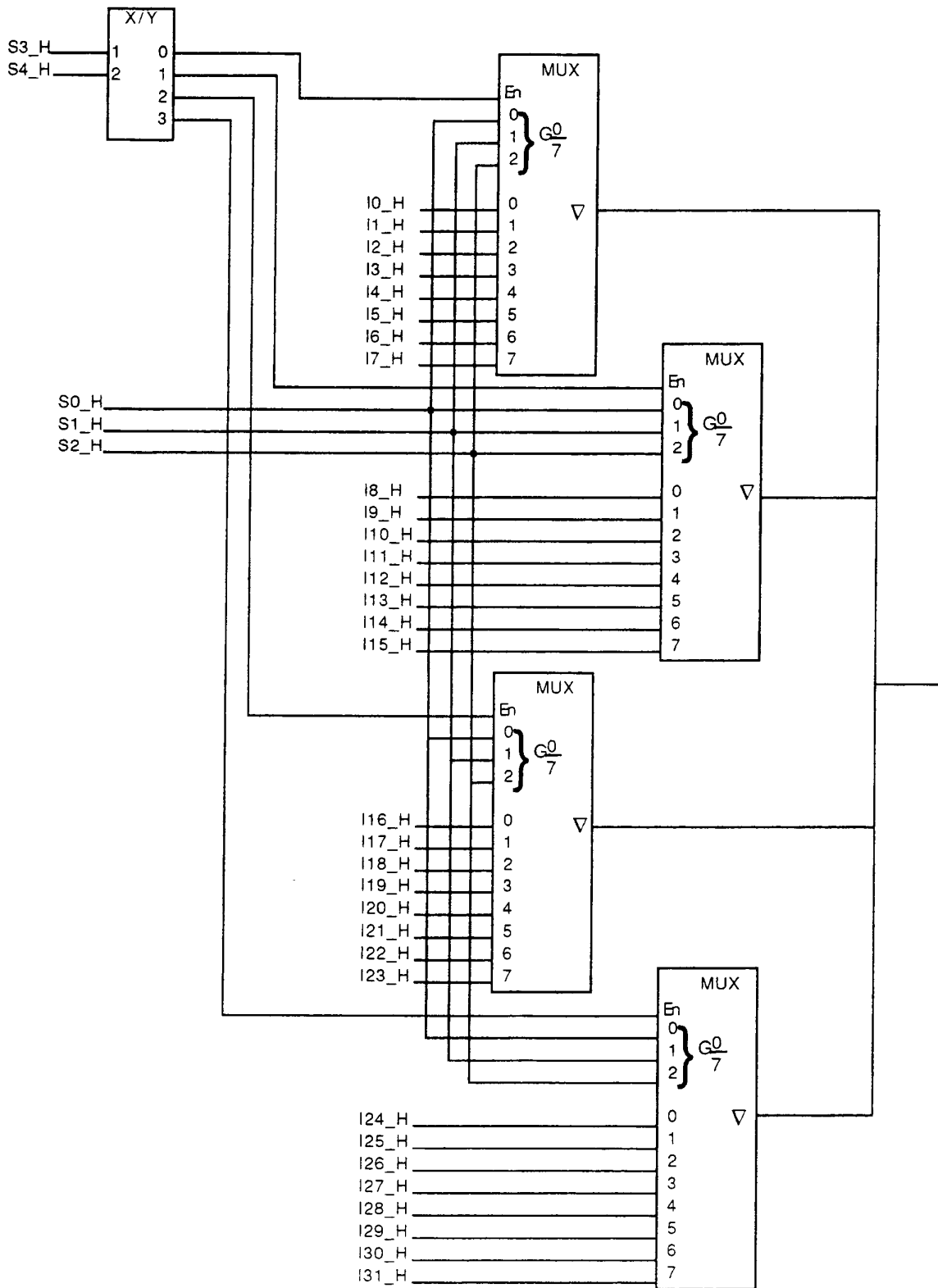
2ª Solução:

Se usarmos muxes de saída tri-state podemos ir um pouco mais longe na simplificação suprimindo a gate de saída, como se pode ver no esquema 4.

Neste caso a função multiplexagem é transferida para os buffers tri-state internos dos muxes.



Esquema 3



**Problema 16**

Projecte, usando lógica mista, um circuito com 3 entradas, ACÇÃO1, ACÇÃO2 e ACÇÃO3 e uma saída RESULTADO.

RESULTADO estará activa quando ACÇÃO1 estiver activa e uma e só uma das outras duas estiver activa, ou quando apenas a ACÇÃO3 estiver activa.

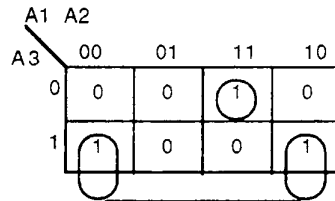
ACÇÃO1, ACÇÃO3 e RESULTADO são activas a L e ACÇÃO2 é activa a H.

Comecemos por fazer uma tabela da função RESULTADO.

Convém referir que há várias hipóteses de entender a especificação informal do enunciado e, portanto, não é esta a única solução:

ACÇÃO1	ACÇÃO2	ACÇÃO3	RESULTADO
Inactivo	Inactivo	Inactivo	Inactivo
Inactivo	Inactivo	Activo	Activo
Inactivo	Activo	Inactivo	Inactivo
Inactivo	Activo	Activo	Inactivo
Activo	Inactivo	Inactivo	Inactivo
Activo	Inactivo	Activo	Activo
Activo	Activo	Inactivo	Activo
Activo	Activo	Activo	Inactivo

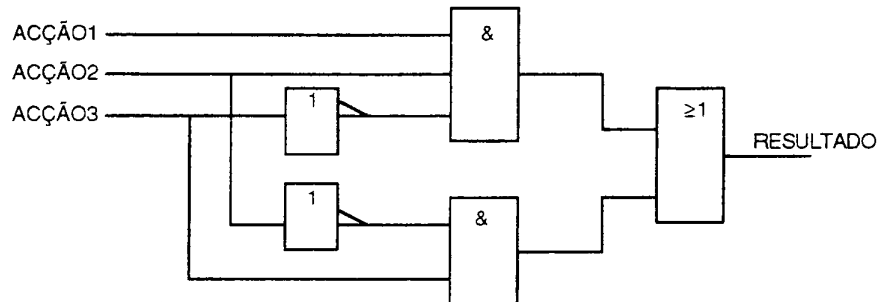
Daqui o seguinte mapa de Karnaugh:



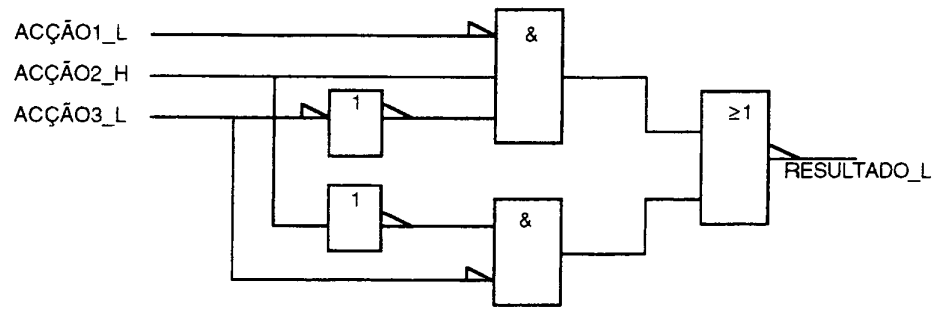
e a seguinte função:

$$f = \overline{ACÇÃO1} \cdot ACÇÃO2 \cdot ACÇÃO3 + ACÇÃO1 \cdot \overline{ACÇÃO2} \cdot ACÇÃO3$$

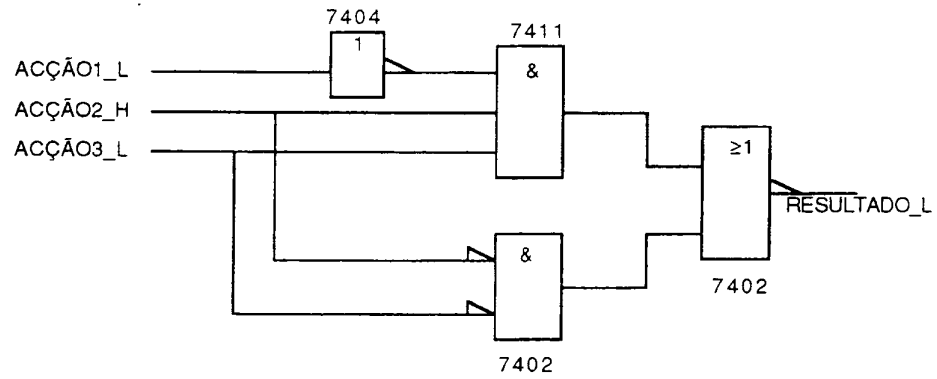
A implementação em lógica mista será, portanto, para começar um simples logigrama:



Se considerarmos o nível dos sinais de suporte o esquema evolui para:



Transformando, por fim, o circuito para obter integrados comerciais, obtém-se o seguinte esquema final:



**Capítulo 3**  
**Circuitos Combinatórios**

**PROBLEMAS PROPOSTOS**

**Problema 1**

Sabendo que as características de corrente das gates TTL das séries LS e Normal são as indicadas na tabela que se segue (em valores máximos),

	Normal	LS
$I_{OH}$	-400 $\mu$ A	-400 $\mu$ A
$I_{OL}$	16mA	8mA
$I_{IH}$	40 $\mu$ A	20 $\mu$ A
$I_{IL}$	-1,6mA	-0,4mA

em que

$I_{OH}$  = Corrente de saída da gate no nível H

$I_{OL}$  = Corrente de saída da gate no nível L

$I_{IH}$  = Corrente de entrada na gate no nível H

$I_{IL}$  = Corrente de entrada na gate no nível L,

e em que se adoptou a convenção de utilizar o sinal ( - ) para designar correntes que saem da gate, não se utilizando sinal para as correntes que entram na gate, diga qual o fan-out de uma gate TTL série Normal que ataque gates TTL série LS. Qual o nível de tensão na ligação entre as gates que constitui o factor limitativo do fan-out? Porquê?

**Problema 2**

A descrição de uma função OU-EXCLUSIVO em lógica mista pode ser feita à custa da seguinte tabela de verdade:

A	B	$A \oplus B$
In	In	In
Ac	In	Ac
In	Ac	Ac
Ac	Ac	In

com In= Inactivo

Ac= Activo

(A) Desenhe o símbolo desta gate, em lógica mista, de modo a aceitar as entradas activas a L e a gerar a saída activa a H.

(B) Identicamente à alínea (A), para o caso de A ser activa a L, B activa a H, e a saída activa a L.

(C) Mostre que as gates das alíneas (A) e (B) são fisicamente a mesma e ainda que são idênticas a um OU-EXCLUSIVO com entradas activas a H e a saída activa a H.

**Problema 3**

São dados  $A_L$ ,  $B_H$ ,  $C_L$  e  $D_H$ . Utilizando os circuitos integrados da tabela 3.11-1, desenhe os logigramas das seguintes funções, estabelecendo o paralelo entre esses logigramas e os que obtém em lógica mista directamente da expressão das funções (Z: activo a H):

a)  $Z = (A + D)(\overline{B} + C)$

b)  $Z = A \overline{B} \overline{C} + B D$

c) Repita (A) e (B) para o caso de se ter  $Z_L$ .

**Problema 4**

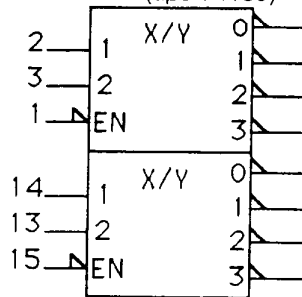
Desenhe o logigrama de um decodificador capaz de aceitar na entrada um único dígito BCD.

**Problema 5**

Desenhe um transcodificador que aceita nas suas entradas um dígito BCD e fornece nas suas saídas o código requerido para acender um display de 7 segmentos representativo do dígito de entrada.

**Problema 6**

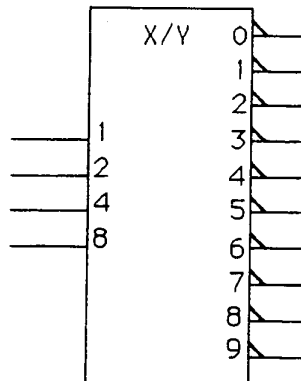
Sendo dado o seguinte decodificador (tipo 74139)



diga como o pode utilizar para desmultiplexar 2 bits de dados,  $A_L$  e  $B_L$ .

**Problema 7**

Dado o decodificador 7442:



diga como faria para gerar à custa dele (e, eventualmente, de gates suplementares) a função

$$f(A,B,C,D) = \sum m(0,1,2,4,8)$$

É possível, com este decodificador, gerar qualquer função de 4 variáveis? Porquê?



**Problema 8**

( Exame 4 de Setembro de 1986)

Utilizando descodificadores BCD (um de dez) e o **mínimo de lógica adicional**, projecte um descodificador binário (um de 16).

**Problema 9**

Utilizando um multiplexer com 3 variáveis de control e alguma lógica adicional, sintetize a seguinte função:

a) ( Exame 4 de Setembro de 1986)

$$f = (A \oplus B) \oplus (C \oplus D)$$

b) ( 1º Teste - 22 de Maio de 1987)

$$f = (A \oplus B) \cdot (C \oplus D)$$

c) (Teste - 27 de Julho de 1987)

$$f = A B + A \bar{C} D + A \bar{B} \bar{C} D$$

d) (1º Teste-13 de Dezembro de 1986)

$f = \sum m(0,2,3,5,7,12,13,14)$  com indiferenças nas posições 1, 10 e 15.

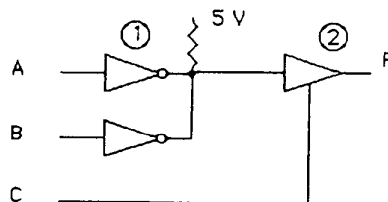
e) (Exame de 2ª Época - 13 de Abril de 1988)

$$f = AB (\bar{C} \oplus D) + ABC + \bar{A} \bar{C} D + \bar{B} C D$$

**Problema 10**

( 1º Teste - 22 de Maio de 1987)

Considere o seguinte circuito em que a porta 2 é um buffer tri-state:



a) Que características deve ter a gate marcada com 1?

b) Faça a tabela da função F

**Problema 11**

(1º Teste - 22 de Maio de 1987)

Considere que dispõe de multiplexeres de 3 entradas de controlo, e de descodificadores 1 de 8. Especificando em pormenor os circuitos que usar, construir um multiplexer de 6 entradas de controlo.

**Problema 12**

(1º Teste - 22 de Maio de 1987)

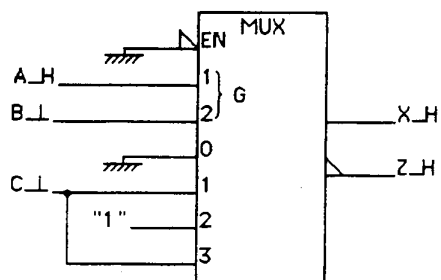
Usando um descodificador e a lógica suplementar que achar conveniente, construa a função

$$f = A B + B \bar{C}$$

**Problema 13**

(2º Exame - 22 de Fevereiro de 1988)

Considere o seguinte circuito:

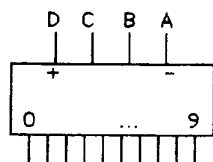


- Qual é a expressão da função booleana X expressa nas variáveis A, B e C?
- Se as variáveis A, B e C estiverem activas, qual é o nível de tensão da linha Z\_H?

**Problema 14**

(Exame - 27 de Julho de 1987)

Utilizando descodificadores do tipo apresentado na figura, projecte um descodificador binário de 6 variáveis, isto é, um descodificador 1 de 64.

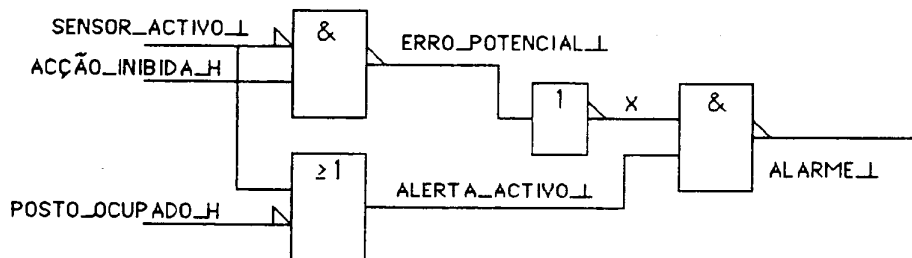


Descodificador BCD, isto é,  
1 de 10.

**Problema 15**

(Exame - 27 de Julho de 1987)

Considere o seguinte circuito representado em lógica mista:



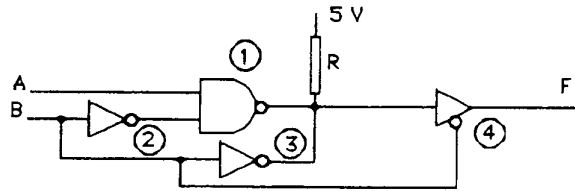
Supondo que as variáveis SENSOR\_ACTIVADO e ACÇÃO\_INIBIDA estão activas e que a linha POSTO\_OCUPADO\_H está no nível LOW, indique, justificando:

- A variável ERRO\_POTENCIAL está activa ou não activa?
- A linha ALARME\_L está a que nível?
- Um nome razoável para a linha indicada com um X.

**Problema 16**

(Teste - 27 de Julho de 1987)

Considere o seguinte circuito:



- Caracterize cada um dos circuitos envolvidos quanto ao tipo de saída.
- "Funcionalmente os circuitos 2 e 3 desempenham a mesma tarefa, pelo que um deles pode ser retirado." Esta afirmação está correcta? Porquê?
- Determinar a tabela da função F representada.

**Problema 17**

(1º Teste - 16 de Maio de 1987)

Considere as características de saída e entrada das séries TTL LS e da TTL normal:

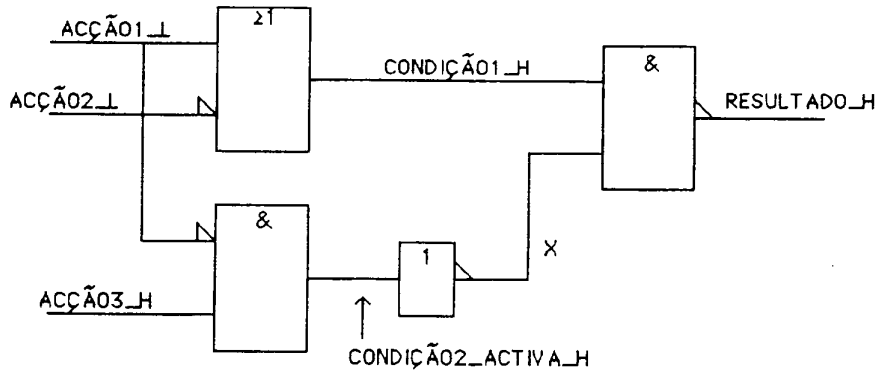
correntes	TTL/LS	TTL N	unidades
$I_{OH}$	-400	-400	$\mu A$
$I_{OL}$	8	16	mA
$I_{IH}$	20	40	$\mu A$
$I_{IL}$	-0,4	-1,6	mA

- Calcule quantas gates TTL normal podem ser atacadas pela saída de uma TTL LS.
- Calcule quantas gates TTL LS podem ser atacadas pela saída de uma TTL normal.
- Que significam as siglas  $I_{OH}$  e  $I_{IL}$ ?

**Problema 18**

(1º Teste - 16 de Maio de 1987)

Considere o seguinte circuito representado em lógica mista:



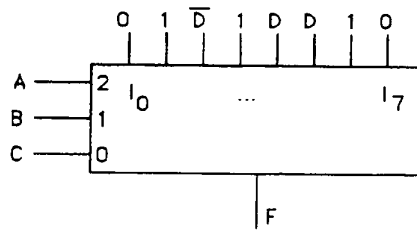
Sabendo que as variáveis ACÇÃO1 e ACÇÃO3 estão activas, que a linha ACÇÃO2\_L está no valor H,

- Em que nível está a linha CONDIÇÃO1\_H? Porquê?
- A variável RESULTADO está ou não activa?
- Indique um nome razoável para a linha que está referenciada como X.

**Problema 19**

(1º Teste - 16 de Maio de 1987)

Considere o esquema da figura:



a) Sendo A a variável de maior peso e D a de menor, diga qual a função  $f(A,B,C,D)$  sintetizada pelo multiplexer da figura. Simplifique-a pelo processo que entender.

b) Considere agora que dispõe de um multiplexer semelhante, mas com a saída negada. Como construiria a função?

**Problema 20**

(1º Teste - 16 de Maio de 1987)

Implemente um transcodificador código reflectido - 7 segmentos utilizando o menor número possível de componentes.

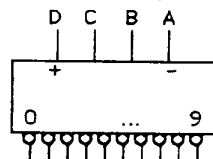
Na implementação deste circuito pode utilizar todos os circuitos conhecidos das aulas.

Sugestão: Use, entre outro material, um transcodificador BCD - 7 segmentos.

**Problema 21**

(Exame de 2ª Época - 24 de Abril de 1987)

a) Sintetize e desenhe o logigrama da função  $f = \sum m(1,3,4,6,7)$  utilizando o descodificador da figura e o mínimo possível de lógica adicional.



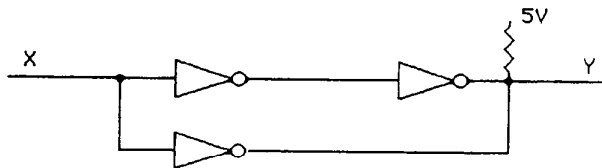
b) Poderia com a saída obtida atacar o clock de um flip-flop? Justifique. *So saberá responder a esta alínea depois de estudar a matéria de assíncronos...*

c) Pode sintetizar qualquer função de 4 variáveis com este descodificador? Justifique.

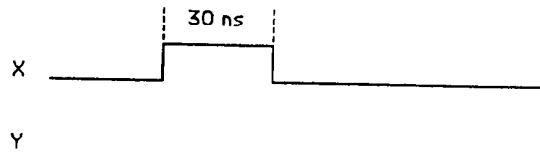
**Problema 22**

(Exame - 20 de Fevereiro de 1987)

Considere o seguinte circuito:



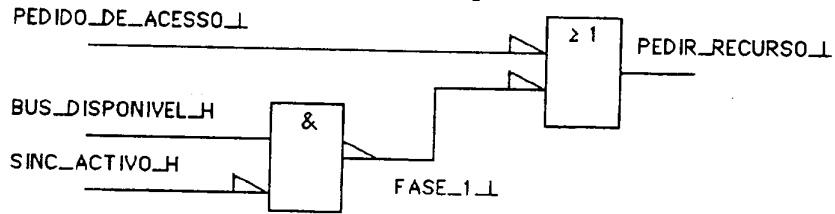
Os dois circuitos que têm a resistencia à saída são circuitos de colector aberto. O tempo de atraso de cada circuito é de 10 ns. Complete o diagrama temporal:



**Problema 23**

(Exame - 20 de Fevereiro de 1987)

Considere o seguinte circuito representado em lógica mista:



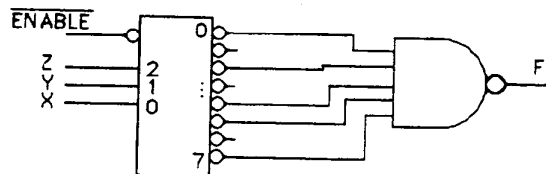
Considere que a variável PEDIDO\_DE\_ACESSO está activa, e as linhas BUS\_DISPONIVEL\_H e SINC\_ACTIVIVO\_H estão ambas ao nível H.

- A linha FASE\_1\_L está ao nível H ou L?
- A variável PEDIR\_RECORSO está activa ou não activa?

**Problema 24**

(Exame - 20 de Fevereiro de 1987)

Considere o seguinte circuito que utiliza um decodificador com saídas activas a LOW e um NAND de 5 entradas:

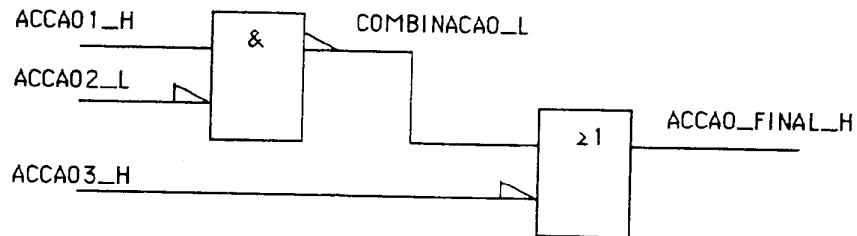


Usando um multiplexer de 3 entradas de control construa um circuito que realize a mesma função.

**Problema 25**

(1º Teste-13 de Dezembro de 1986)

Considere o seguinte circuito representado em lógica mista:



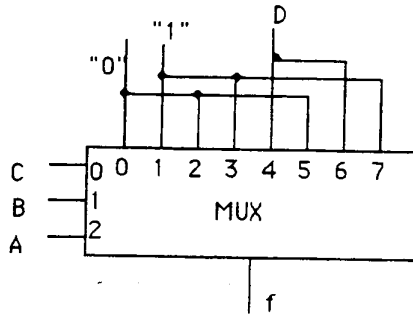
Admitindo que a variável ACCA01 está activa, a variável ACCA03 não está activa e a linha ACCA02\_L está no nível H, indique, justificando com brevidade:

- se a variável COMBINACAO está activa ou não activa.
- O nível (H ou L) da linha ACCAO\_FINAL\_H.

**Problema 26**

(Exame de 2ª Época - 8 de Abril de 1986)

Considere o seguinte circuito em que MUX é um multiplexer de 8 entradas de dados.

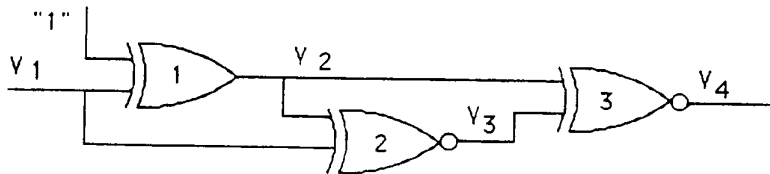


Qual a expressão simplificada da função implementada por este circuito?

**Problema 27**

(Exame 12 de Julho de 1986)

Considere a figura seguinte:



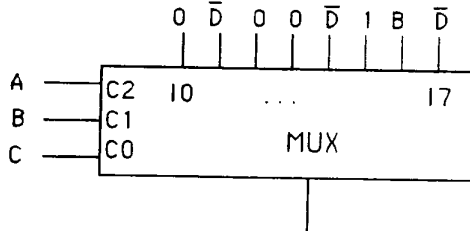
A entrada  $V_1$  tem uma transição abrupta de "0" para "1". A "gate" 1 tem um tempo de atraso de 5 ns e as "gates" 2 e 3 têm um tempo de atraso de 10 ns.

Desenhe o diagrama temporal das 4 formas de onda  $V_1$  a  $V_4$ , indicando no diagrama os respectivos tempos.

**Problema 28**

(Exame 12 de Julho de 1986)

Considere a figura seguinte:



- Qual é a função sintetizada pelo multiplexer. Simplifique-a.
- Quando ocorrer uma mudança na configuração das variáveis de control poderão ocorrer picos nas de saída? Porquê?

**Problema 29**

(Repescagem do 1º Teste - 27 de Julho de 1987)

Projecte um circuito de 5 entradas que exhibe saída 1 quando a maioria das entradas for 1, e 0 nos casos restantes.

**Problema 30**

(1º Exame - de 1987)

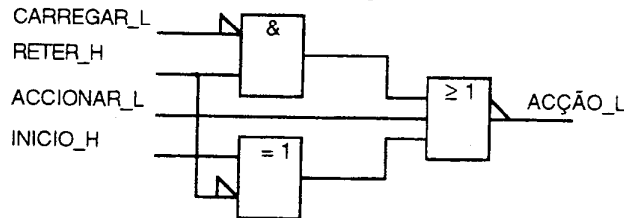
Utilizando o mínimo de lógica possível, projecte um decodificador com 3 linhas de entrada, 8 saídas e uma entrada de "enable" activa a LOW.

Qual o fan-in de cada uma das entradas e como faria para melhorar a situação?

**Problema 31**

(Exame de 2ª Época - 13 de Abril de 1988)

Considere o seguinte circuito representado em lógica mista:

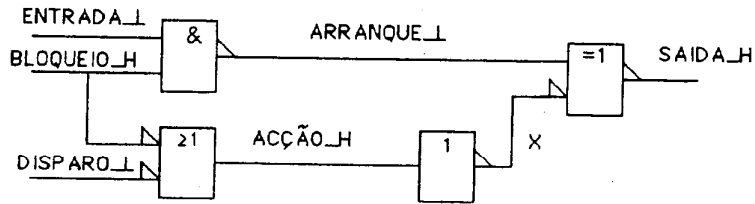


Se as variáveis de entrada CARREGAR e ACCIONAR estiverem activas e as restantes não activas, a variável ACÇÃO está activa ou não activa? Explique o seu raciocínio.

**Problema 32**

(1º Exame - 8 de Julho de 1988)

Considere o seguinte circuito:



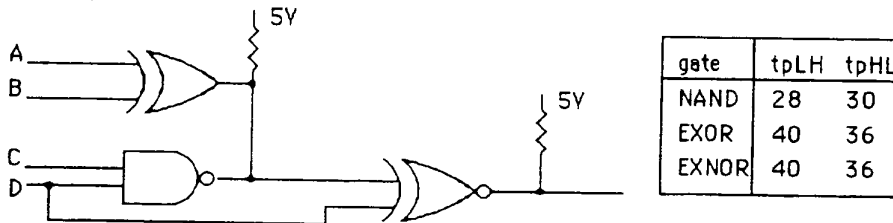
a) Se todas as variáveis de entrada estiverem activas, a variável SAIDA está activa ou inactiva?

b) Indique um nome adequado para a linha assinalada com um X.

**Problema 33**

(1º Exame - 8 de Julho de 1988)

Considere o seguinte circuito em que todas as gates são de saída em colector aberto (open-collector).



a) Qual a função lógica desempenhada por este circuito?

b) Considere as características temporais das portas (em nanosegundos). Qual é o caso de maior atraso de propagação e qual é esse atraso?

**Problema 34**

(1º Exame - 8 de Julho de 1988)

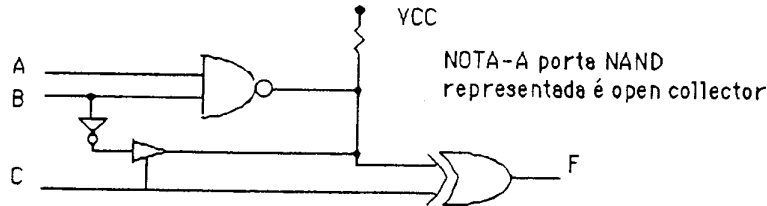
1. Dada a seguinte função:  $f = AB + BC + \bar{C}A + AB\bar{C}$

- a) implemente-a usando um multiplexer de 4 entradas (2 entradas de controlo).  
 b) usando o multiplexer anterior quantas implementações diferentes da função poderia fazer? Porquê?

**Problema 35**

(1º Teste - 12 de Dezembro de 1987)

Considere o seguinte circuito:



- a) Qual a função lógica desempenhada por este circuito?  
 b) Suponha que substitui a porta NAND, no circuito acima, por um NOR. Como se comportaria o circuito neste caso? Justifique.  
 c) Em relação à montagem da figura, considere os seguintes tempos de atraso para as várias portas, em nanosegundos:

	NAND	NOT	BUFFER	EXOR
tpLH	32	15	15	26
tpHL	28	15	18	20

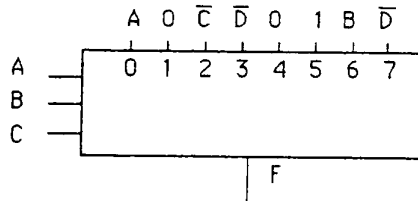
Considere ainda, que o tempo para o buffer tri-state passar do estado de alta impedância para um estado de condução ou vice-versa é de 25ns.

Qual o caso de maior atraso de propagação? Quanto é esse atraso?

**Problema 36**

(1º Teste - 12 de Dezembro de 1987)

Considere a seguinte figura em que o circuito representado é um MULTIPLEXER.



Supondo que A é a variável com maior peso e D a de menor peso, escreva a expressão lógica de  $f(A,B,C,D)$ . Simplifique-a, pelo processo que entender.

**Problema 37**

(1º Teste - 12 de Dezembro de 1987)

Usando o formalismo da lógica mista projecte o circuito combinatório de controle de um elevador entre dois pisos.

O circuito terá as seguintes entradas:

Elevador\_no\_piso\_inferior\_L, Elevador\_no\_piso\_superior\_L, Elevador\_a\_subir\_H, Elevador\_a\_descer\_H, Pedido\_de\_subida\_L, Pedido\_de\_descida\_L e Porta\_aberta\_H.

e as seguintes saídas:

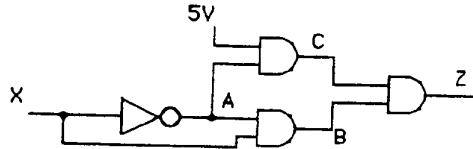
Marcha\_ascendente\_H, Marcha\_descendente\_H, Porta\_superior\_bloqueada\_L e Porta\_inferior\_bloqueada\_L.



**Problema 38**

(Exame de 31 de Janeiro de 1989)

Considere o seguinte circuito:



Sabendo que para a **negação**  $t_{pHL}=t_{pLH}=5$  ns e para o **AND**  $t_{pHL}=t_{pLH}=10$  ns, faça o diagrama temporal que mostre a variação da saída Z quando a entrada X tem uma variação de Low para High e, após estabilização, de High para Low.

**Problema 39**

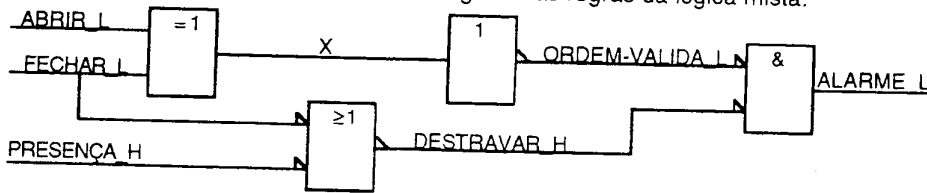
(Exame de 31 de Janeiro de 1989)

Utilizando um multiplexer com 3 variáveis de controlo e o mínimo de lógica adicional, implemente a função  $f=\sum m(0,3,4,5,9,15,17,18,25,26,28)$

**Problema 40**

(Exame de 31 de Janeiro de 1989)

Considere o seguinte circuito desenhado segundo as regras da lógica mista:



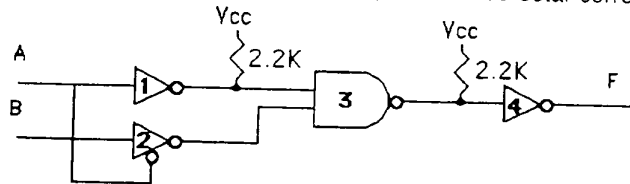
- a) Indique (e justifique) uma configuração de actividade/não actividade das variáveis de entrada que torne ALARME inactivo.
- b) Indique um nome razoável para a linha X.

**Problema 41**

(Exame de 21 de Fevereiro de 1988)

No circuito que a seguir se indica, o circuito 1 tem uma saída "open-collector", o circuito 2 tem uma saída "tri-state" e os restantes têm saída "totem-pole" normal.

A montagem está correcta? Que faz o circuito, no caso de estar correcto?



**Problema 42**

(Exame de 21 de Fevereiro de 1988)

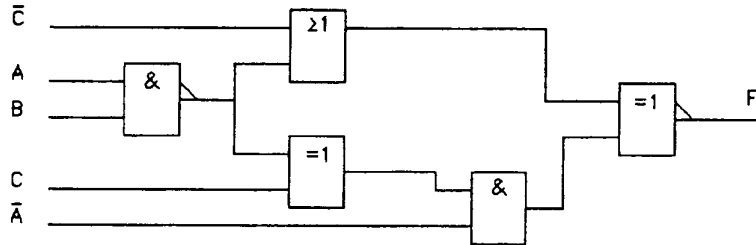
Projecte, usando como base um multiplexer com 2 entradas de selecção, um circuito que implemente a função:

$$f=ABC+\bar{A}C+\bar{B}\bar{C}$$

**Problema 43**

(Exame de 17 de Março de 1989)

Projecte a realização da função F gerada pelo circuito seguinte, usando como base um decodificador.

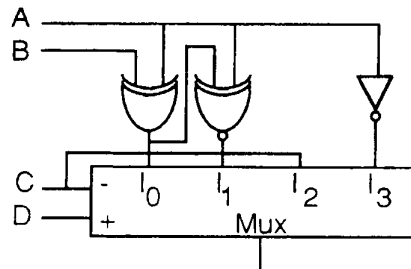


Nota: o circuito **não** está representado em lógica mista.

**Problema 44**

(Exame de 7 de Julho de 1989)

Considere o seguinte circuito:



- Qual a função concretizada pelo circuito?
- Sintetize de novo a função usando o mínimo de lógica possível.

**Problema 45**

(Exame de 17 de Julho de 1989)

Considere a função seguinte:

$$f = A\bar{B} + AC + BC$$

Sabendo que a linha que dá suporte a f é activa a H, e que as linhas de entrada são activas a L com excepção da B que é activa a H, faça, em lógica mista o esquema da função procurando gastar o menor número possível de integrados. (não se preocupe com as referências deles).

**Problema 46**

(Exame de 8 de Setembro de 1989)

2. Considere a seguinte função:

$$f = (A + B) \cdot (\bar{A}C + B)$$

Sem a simplificar, desenhe, usando lógica mista, o esquema eléctrico da função, usando o número mínimo de integrados comerciais. As variáveis A, C são suportadas por fios que estão a L quando as variáveis estão activas e f e B são suportadas por fios que estão a H quando as variáveis estão activas.

**Problema 47**

(Exame de 8 de Setembro de 1989)

Considere que dispõe de multiplexeres de 8 linhas de entrada, 3 de controlo e uma linha de enable activa a L. A saída do multiplexer é activa a L, também, e é do tipo TTL convencional (totem-pole).

Usando o mínimo de lógica adicional, construa um multiplexer de 16 entradas.

**CAPITULO 4**  
**Circuitos Sequenciais Básicos**

**PROBLEMAS RESOLVIDOS**

**Problema 1**

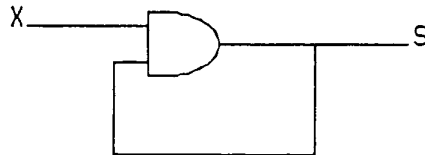
Para cada um dos circuitos representados nas figuras seguintes, responda às questões:

(A) Trata-se de um circuito combinatório ou sequencial?

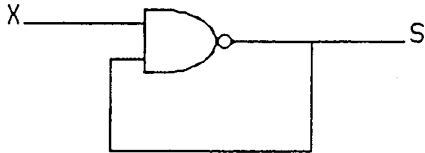
(B) Poderá servir como elemento de memória?

(C) Será um latch ou um flip-flop?

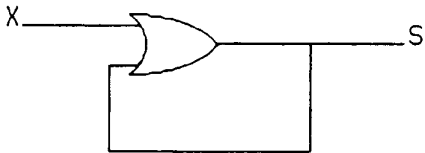
Circuito 1



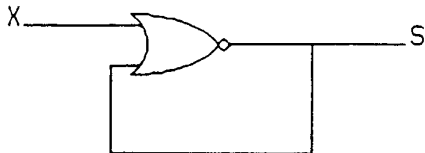
Circuito 2



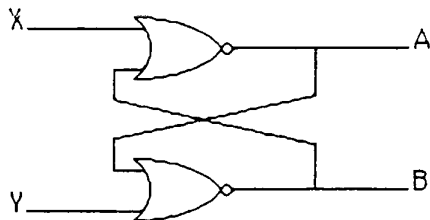
Circuito 3



Circuito 4



Circuito 5



**Resolução:**

**Circuito 1**

(A) Trata-se de um circuito sequencial, porque as saídas num dado instante não dependem unicamente do valor das entradas nesse instante. dependem também de acontecimentos anteriores (estado do circuito).

(B) Para ser um elemento de memória é necessário que possa memorizar todas as ocorrências verificadas na entrada X.

Se tivermos por exemplo  $X=0$ , teremos  $S=0$  (independentemente do valor anterior de S), o

que irá provocar que a saída fique estavelmente com o valor  $S=0$ . A partir de agora qualquer variação no valor da entrada  $X$ , não provocará alteração na saída  $S$ .

Com os pressupostos anteriores, conclui-se que o circuito não pode servir como elemento de memória.

(C) Atendendo a que não é elemento de memória, o circuito não pode ser consequentemente latch ou flip-flop, que são dois tipos de memórias.

#### Circuito 2

(A) Pelas mesmas razões referidas para o circuito 1, trata-se de um circuito sequencial.

(B) Numa análise equivalente à feita para o circuito anterior, constata-se que quando se atingir uma situação em que se tenha  $X=0$  e  $S=1$ , o circuito ficará estavelmente com o valor  $S=1$ . Se em seguida o valor de  $X$  variar para 1, o circuito entrará em oscilação, com o valor de  $S$  a alternar entre 0 e 1. Nestas condições não se trata portanto de um elemento de memória.

(C) Pelas mesmas razões invocadas no circuito 1, não é um latch ou um flip-flop.

#### Circuito 3

(A) Pelas mesmas razões referidas para o circuito 1, trata-se de um circuito sequencial.

(B) Pela análise deste circuito constata-se que desde que a entrada  $X$  assumia alguma vez o valor "1", a saída  $S$  assume este valor, nunca mais deixando de o ter. Qualquer posterior variação no valor da entrada  $X$ , não tem efeito na saída  $S$ . Constata-se assim que o circuito 3 não é um elemento de memória.

(C) Pelas mesmas razões já invocadas para os circuitos anteriores, este circuito não é igualmente um latch ou um flip-flop.

#### Circuito 4

(A) Pelas mesmas razões referidas para o circuito 1, trata-se de um circuito sequencial.

(B) Quando se atingir uma situação em que se tenha  $X="1"$  e  $S="0"$ , o circuito ficará estavelmente no estado  $S="0"$ . Se em seguida o valor de  $X$  mudar para "0", o circuito entrará em oscilação, com o valor de  $S$  a alternar entre "1" e "0". Nestas condições, constata-se que este circuito não é um elemento de memória.

(C) Pelas razões atrás invocadas para o circuito 1, este circuito não é igualmente um latch ou um flip-flop.

#### Circuito 5

(A) Pelas mesmas razões referidas para o circuito 1, trata-se de um circuito sequencial.

(B) Para fazer a análise do comportamento vamos procurar uma configuração dos valores das entradas  $X$  e  $Y$  que faça o circuito evoluir independentemente dos valores assumidos nessa altura por  $A$  e  $B$ .

Vejamos então o que acontece quando  $X="0"$  e  $Y="1"$ . O circuito assume os valores  $A="1"$  e  $B="0"$ . Se em seguida tivermos  $X="0"$  e  $Y="0"$ , o circuito mantém o estado  $A="1"$  e  $B="0"$  e se tivermos  $X="1"$  e  $Y="0"$ , teremos  $A="0"$  e  $B="1"$ . Por último se a configuração na entrada for  $X=Y="1"$ , teremos para as saídas os valores  $A=B="0"$ .

Constata-se que, com excepção desta última configuração de entrada, para todas as outras os valores das saídas são complementares.

Designando por estado 1, o assumido pelo circuito quando  $A="1"$  e  $B="0"$ , e por estado 0, o assumido pelo circuito quando  $A="0"$  e  $B="1"$ , teremos em síntese para o circuito 5:

Se  $X=Y="0"$ , o circuito mantém o estado.

Se  $X="1"$  e  $Y="0"$ , o circuito passa para o estado 0.

Se  $X="0"$  e  $Y="1"$ , o circuito passa para o estado 1.

Se  $X=Y="1"$ , obtém-se  $A=B="0"$ .

Vejamos agora o que se passa quando o circuito está na última situação apresentada  $X=Y="1"$ . Se a seguir a esta situação, a configuração das entradas passar a  $X=Y="0"$ , não é possível prever o que irá acontecer, isto é, para que estado é que o circuito evoluirá. Dependendo

de qual a entrada X ou Y que assuma o valor "0", ou de qual a gate NOR que conduza mais rapidamente, assim o circuito passará 0 ou para o estado 1.

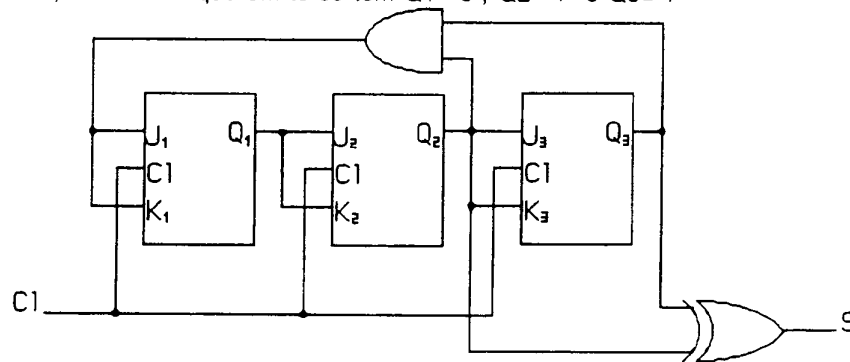
Desta análise constata-se que o circuito 5 apresenta dois estados estáveis, que podem ser alcançados através de adequada actuação sobre as entradas. Podendo memorizar de modo estável tanto o valor "0", como o valor "1", conclui-se que é um elemento de memória.

(C) Como a variação das saídas não depende de qualquer entrada de temporização, mas unicamente das entradas X e Y, trata-se de um latch e não de um flip-flop.

Na realidade trata-se de um latch R-S com R (Reset) correspondente à entrada X e S (Set) na entrada Y. O facto da complementaridade das saídas não se verificar para  $R=S="1"$ , é precisamente característica do latch R-S.

### Problema 2

Para o circuito representado na figura seguinte, estabeleça o diagrama temporal da saída S entre  $t_0$  e  $t_1$ , assumindo que em  $t_0$  se tem  $Q_1="0"$ ,  $Q_2="1"$  e  $Q_3="1"$



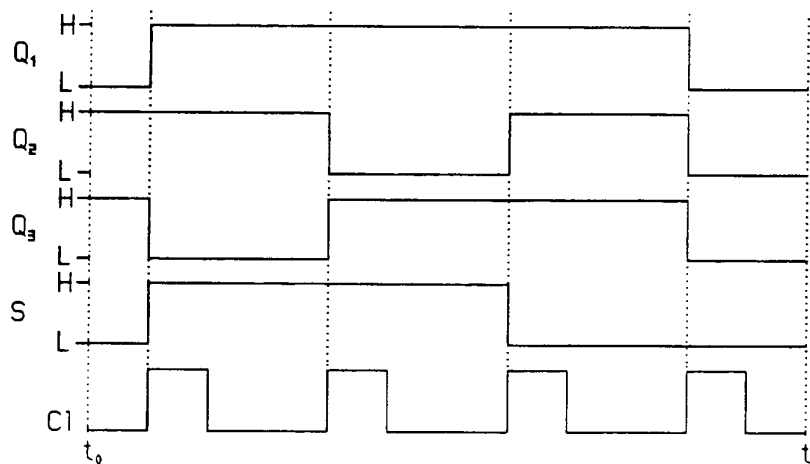
Considere que o período do impulso de relógio C1 é tal, que se tem o seguinte diagrama temporal em relação ao intervalo de tempo  $t_1-t_0$ :



### Resolução:

Começamos por analisar a situação:

Afirma-se que

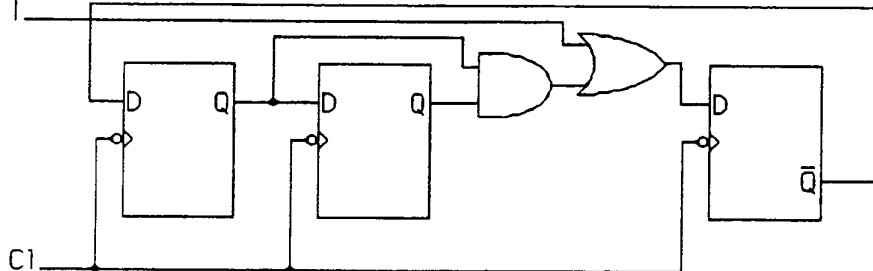


Nota: No diagrama temporal apresentado, considerou-se que todos os flip-flops reagem ao

flanco ascendente do impulso de relógio (Cl) e não se tomou em consideração os tempos de atraso provenientes da reacção dos flip-flops.

**Problema 3**

Considere o seguinte circuito:



Os flip-flop utilizados têm as seguintes características:

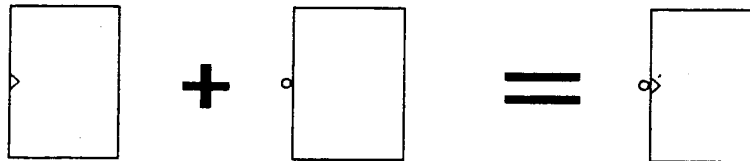
- T hold time= 5 ns
- T set-up time= 4 ns
- T atraso gate= 10 ns

Analisando o circuito apresentado e tendo em consideração as características indicadas para os flip-flop, diga:

- a) Qual o tipo de flip-flop usado?
- b) Qual o tempo de atraso mínimo de um flip-flop para que o circuito funcione correctamente? Qual a frequência máxima nessas circunstâncias?

Resolução:

a) Atendendo à simbologia utilizada no diagrama do circuito, conclui-se que os flip-flop utilizados são do tipo edge-triggered, reagindo no flanco descendente do relógio.



Símbolo de edge-triggered + Símbolo de reacção no flanco descendente = Símbolo de edge-triggered reagindo no flanco descendente

b) O tempo de atraso mínimo é igual ao hold time dos flip-flop porque se fosse maior não poderíamos garantir que, por exemplo o flip-flop do meio funcionasse bem. Com efeito se o tempo de atraso do flip-flop da esquerda fosse maior que o hold time do do meio, isso significaria que, quando o do meio ainda precisava da sua entrada estável ela mudava porque é assaída do da esquerda que reagiria ao fim do seu tempo de atraso.

Façamos então  $t_{pd} FF$  igual a  $t_{hold} = 5$  ns. Nessas circunstâncias a frequência máxima, isto é, o período mínimo do relógio é igual ao somatório do tempo de set-up dos flip-flop, com o tempo de propagação e com o tempo mais crítico de propagação de gates entre flip-flop. No caso deste circuito teremos então:

$$T_m = 4 + 5 + \underset{\substack{\uparrow \\ 2 \text{ gates}}}{20} = 29 \text{ ns}$$

Pelo que a frequência máxima será:

$$F_M = 1/29 = 33,3 \text{ MHz}$$

**Problema 4**

Construa um flip-flop JK Master-slave a partir de:

- (A) Um flip-flop D Master-slave.
- (B) Um "strobed latch" tipo D.

Resolução:

(A) Como se trata de construir um flip-flop a partir de outro que possui uma lógica de funcionamento diferente, comecemos por estabelecer as tabelas de verdade para os dois flip-flop:

J-K		
$J_t$	$K_t$	$Q_{t+1}$
0	0	$Q_t$
0	1	0
1	0	1
1	1	$\bar{Q}_t$

D	
$D_t$	$Q_{t+1}$
0	0
1	1

O problema consiste em determinar quais os valores que D tem de assumir para que o flip-flop se comporte como J-K, isto é, realize as transições características daquele tipo de flip-flop.

Escrevendo todas as configurações possíveis que um flip-flop J-K pode ter para as entradas  $J_t$ ,  $K_t$  e saída  $Q_t$ , determina-se (a partir da tabela de verdade) qual o valor correspondente a  $Q_{t+1}$ , e conseqüentemente o valor que D terá de assumir:

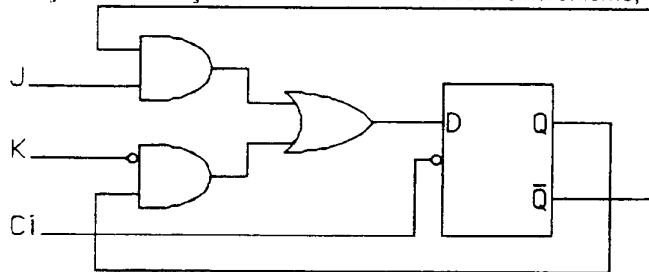
$$\begin{array}{r}
 J \quad 01010101 \\
 K \quad 00110011 \\
 Q_t \quad 00001111 \\
 \hline
 Q_{t+1} \quad 01011100 \\
 \hline
 D \quad 01011100
 \end{array}$$

Pelo que se obterá para a função D o seguinte valor:

$$D = J \bar{Q}_t + \bar{K} Q_t$$

Falta agora implementar a parte correspondente ao modo de sincronização do flip-flop. Como o flip-flop D desta alínea é também master-slave, não precisamos de ter qualquer preocupação com o aspecto de sincronismo para construirmos o flip-flop J-K também master-slave.

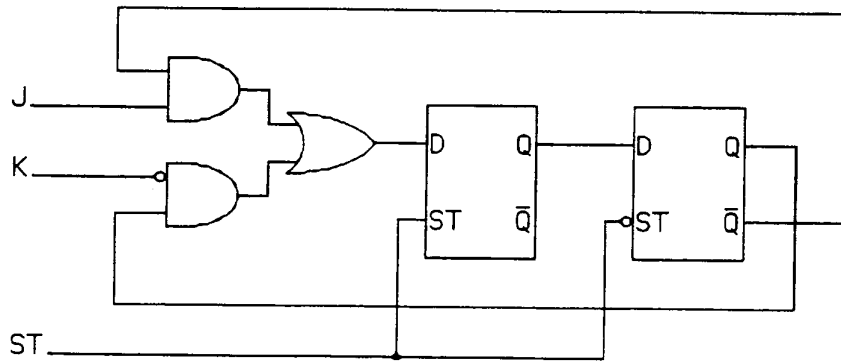
Atendendo à função de excitação de D e ao referido sobre sincronismo, teremos:



(B) Neste caso, a resolução no que se refere à função de excitação do flip-flop é idêntica à anterior. No entanto, para que o flip-flop tenha um comportamento master-slave é necessário que a variação das saídas se dê num flanco do impulso do relógio diferente do que é responsável pela excitação do flip-flop (interpretação das entradas).

Para obter este comportamento a partir de flip-flop "strobed", é necessário considerar dois flip-flop, em que um reage a um flanco e o outro, reage ao outro flanco.

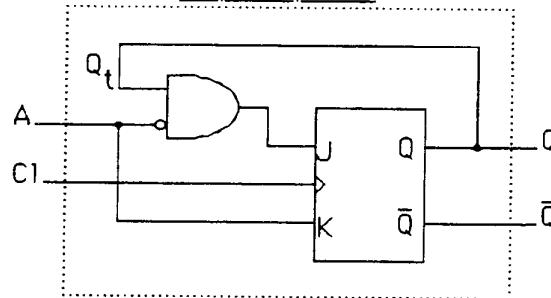




**Problema 5**

O flip-flop A, obtido por transformação de um flip-flop J-K, tal como representado na figura, será facilmente utilizável na prática ou apresenta problemas?

Flip-Flop A



Resolução:

Vamos construir a tabela de verdade deste flip-flop A, para o que teremos de recorrer à tabela de verdade do flip-flop J-K:

A	$Q_t$	J	K	$Q_{t+1}$
0	0	0	0	0
0	1	1	0	1
1	0	0	1	0
1	1	0	1	0

A partir da tabela de verdade do flip-flop A, pode-se obter a sua tabela de excitação:

$Q_t \rightarrow Q_{t+1}$	A
0 $\rightarrow$ 0	X
0 $\rightarrow$ 1	Impossível
1 $\rightarrow$ 0	1
1 $\rightarrow$ 1	0

Verifica-se que o flip-flop A não permite a transição de 0 para 1, pelo que se alguma vez ficar no estado 0, nunca mais abandonará este estado. Nestas circunstâncias este flip-flop dificilmente poderá ser utilizado na prática, só o podendo em casos particulares em que a transição de 0 para 1 não seja necessária.

**Problema 6**

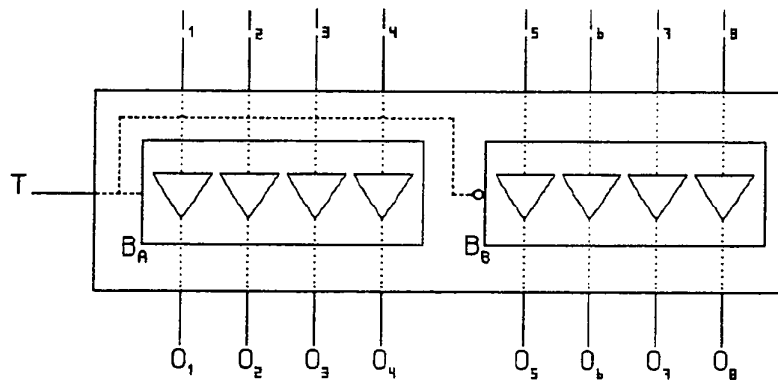
Dispondo de dois registos A e B de quatro bit cada, que permitem a memorização em paralelo dos valores que se lhes apresentem às entradas, por cada impulso de relógio:

(A) Ligue-os sobre um "bus" comum, de modo a que a informação possa passar de A para B ou de B para A;

(B) Ligue-os sobre um terceiro registo intermédio ("buffer"), também de quatro bit. A informação a ser transferida de um registo para o outro, será memorizada temporariamente no "buffer". Neste caso, a transferência de informação de A para B, ou vice-versa, desenvolver-se-á em dois impulsos de relógio.

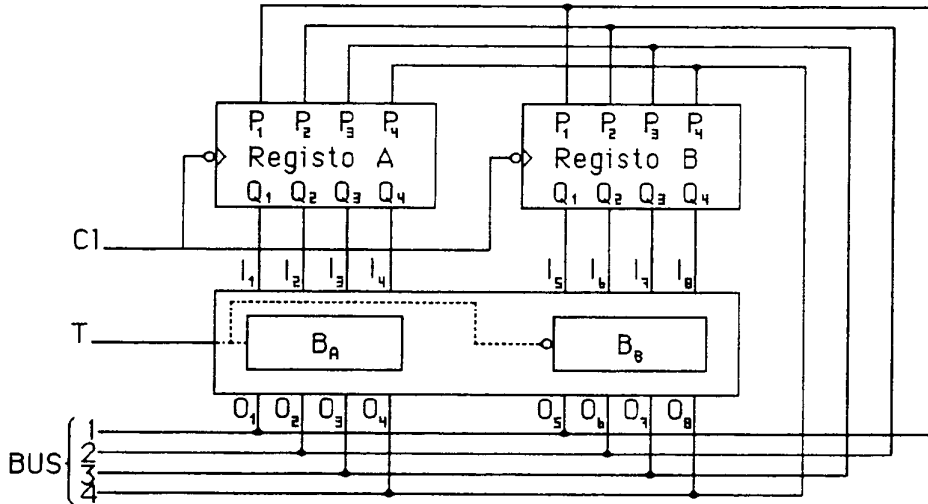
Resolução:

(A) Para resolver este problema necessitaremos de um módulo adicional que funcione como interruptor, com saídas tri-state, e que permita a partir de um sinal de comando ligar alternadamente o registo A ou o registo B ao bus



Modo de operação  
 $T=0 \implies B_B \rightarrow \text{Saídas}$   
 $T=1 \implies B_A \rightarrow \text{Saídas}$

Recorrendo a este módulo para a interligação, teremos:

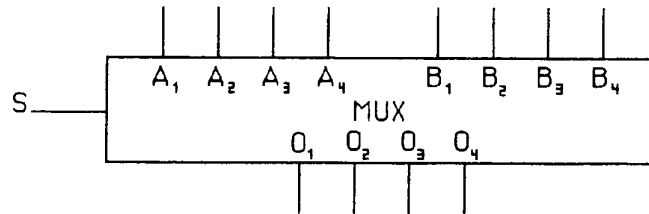


Modo de operação  
 $T=0 \implies \text{Registo B} \rightarrow \text{Registo A}$   
 $\bar{T}=1 \implies \text{Registo A} \rightarrow \text{Registo B}$

A transferência dá-se num único impulso de relógio.

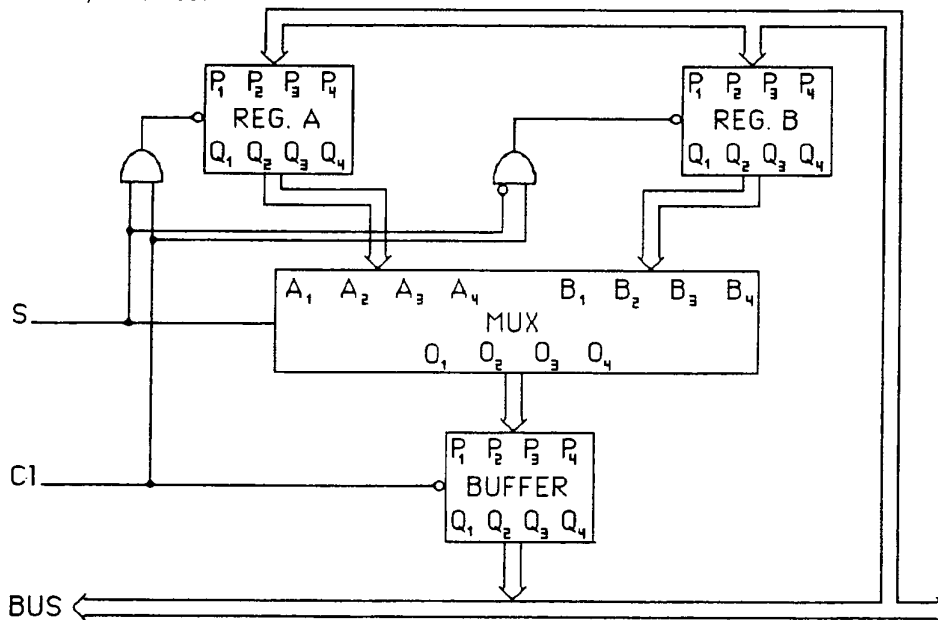
(B) Neste caso como se recorre a um "buffer" para armazenar temporariamente os 4 bit a transferir, bastar-nos-á encaminhar para este "buffer" alternativamente o valor armazenado no registo A ou no registo B. Esta função pode ser desempenhada por quatro multiplexers de duas

entradas que podem ser representados conjuntamente da seguinte forma:



Modo de funcionamento  
 $S=0 \Rightarrow (A) \rightarrow (O)$   
 $S=1 \Rightarrow (B) \rightarrow (O)$

Recorrendo a este bloco para a realização da interligação entre os registos e o buffer intermediário, teremos:



Com este esquema o modo de funcionamento será:

$S=0 \Rightarrow$  Registo A  $\rightarrow$  Buffer; Buffer  $\rightarrow$  Registo B

$S=1 \Rightarrow$  Registo B  $\rightarrow$  Buffer; Buffer  $\rightarrow$  Registo A

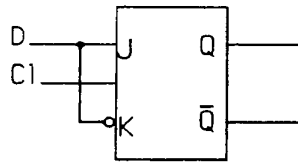
A transferência entre A e B ou vice-versa realiza-se em dois impulsos de relógio.

**Problema 7**

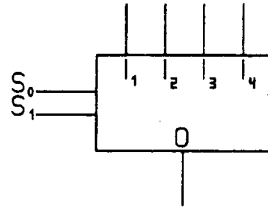
Recorrendo a quatro flip-flop J-K, implemente um registo de quatro andares (4 bit), que permita fazer deslocamento à direita, deslocamento à esquerda, deslocamento circular à direita e memorizar em paralelo.

Resolução:

Como se trata de implementar um registo, o tipo de flip-flop mais adequado é o tipo D, que se pode obter a partir de um flip-flop J-K da seguinte forma:



Para implementar um registo que realize múltiplas funções é muito adequado recorrer-se a um multiplexer que a partir de ligações adequadas às entradas e saídas dos registos realize as funções requeridas. Como se exige que o registo realize 4 funções distintas, basta que o MUX tenha 4 entradas distintas, pelo que bastam duas entradas de controlo. Teremos então:



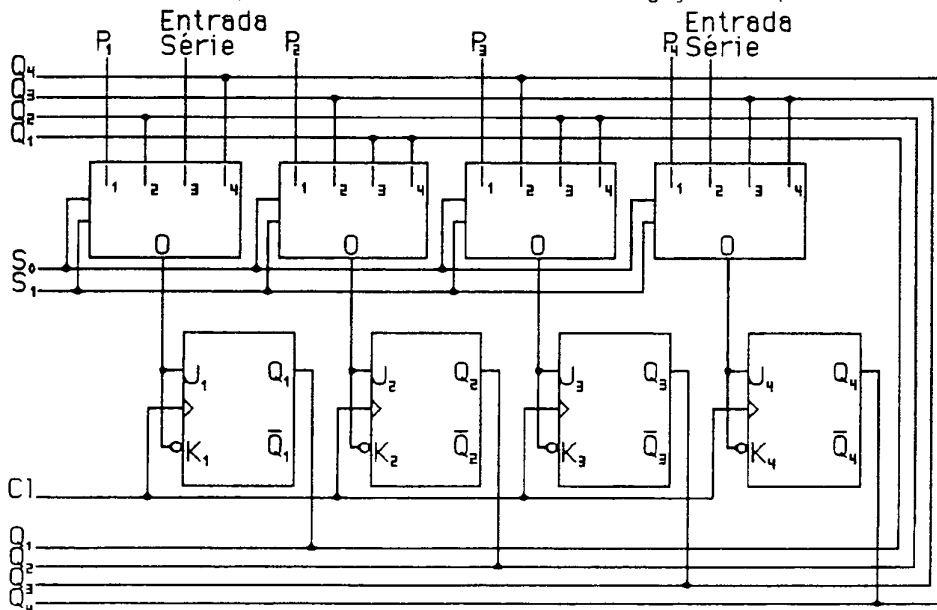
Com o seguinte modo de funcionamento:

$S_0$	$S_1$	Operação
0	0	$I_1 \rightarrow O$
0	1	$I_2 \rightarrow O$
1	0	$I_3 \rightarrow O$
1	1	$I_4 \rightarrow O$

Associamos a cada entrada do MUX uma das funções que se pretende que o registo realize. Por exemplo:

- $I_1$  — Carregamento em paralelo
- $I_2$  — Deslocamento à esquerda
- $I_3$  — Deslocamento à direita
- $I_4$  — Deslocamento circular à direita

Com estes elementos poderemos finalmente estabelecer as ligações adequadas:



**Problema 8**

(A) Construa um registo capaz de memorizar em paralelo do exterior, efectuar a divisão (inteira) do conteúdo por dois e duplicar o conteúdo (desde que o resultado da duplicação continue a ser representável pelo registo). O registo deverá ser constituído por 4 flip-flop tipo D.

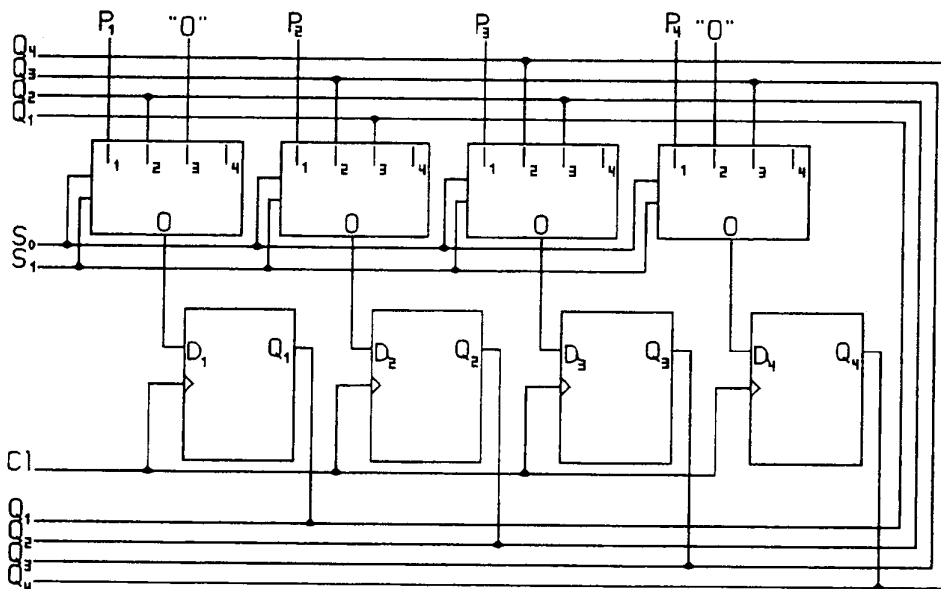
(B) Amplie o sistema anterior de forma a ligar quatro registos idênticos ao pedido na alínea anterior a um "bus" comum.

Resolução:

(A) A resolução é idêntica à do problema anterior, recorrendo-se a um MUX para implementar as diversas operações que se pretende efectuar sobre o registo.

É necessário ter em conta que uma divisão por dois é obtida pelo deslocamento do número que se pretende dividir no sentido dos pesos menores, assim como uma multiplicação por dois se poderá conseguir a partir do deslocamento do número em causa no sentido do bit de maior peso.

Com estas considerações e tendo em conta o já desenvolvido no problema anterior, ter-se-á:



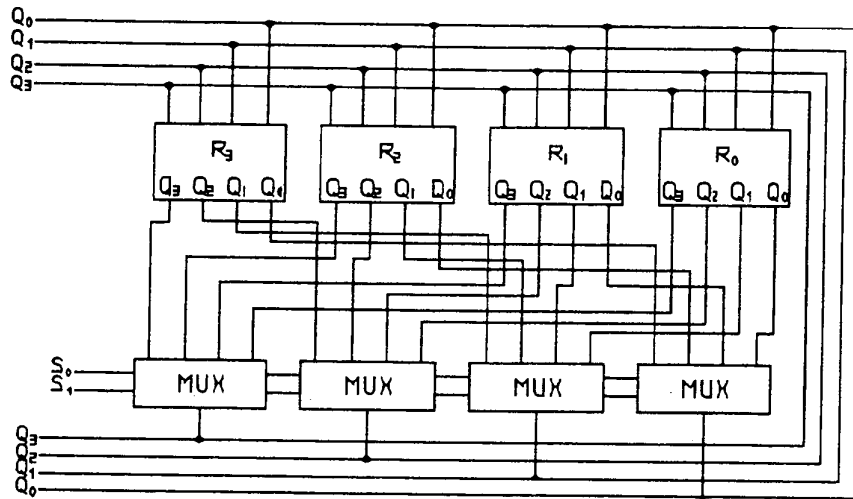
O modo de operação é:

$S_1$	$S_0$	Operação
0	0	Memorização em paralelo do exterior
0	1	Divisão inteira por dois
1	0	Multiplicação do conteúdo por dois

**nota 1:** o bit de maior peso é o  $Q_4$ .

**nota 2:** um dos estados dos multiplexers é desprezado.

(B) Para resolver este problema vamos recorrer igualmente a MUX's que desempenharão a função de interruptores lógicos que alternativamente encaminharão cada um dos quatro registos para o "bus". Como se trata de transferência de quatro registos com um comprimento de quatro bit serão necessários quatro MUX com capacidade de seleccionar quatro entradas, exigindo consequentemente duas variáveis de controlo.



**Problema 9**

(A) Utilizando flip-flop J-K edge-triggered negativos, desenhe o logigrama de um contador síncrono módulo 8 ou 6, conforme o valor de uma variável de controlo C for "1" ou "0" respectivamente.

(B) Modifique o circuito da alínea anterior de forma a que para além do funcionamento ali descrito possa também passar a aceitar carregamento paralelo do exterior, quando uma segunda variável de controlo PE for "1".

Resolução:

(A) Pretende-se que o contador realize os seguintes dois ciclos de contagem, dependentes do valor da variável de controlo C. A tabela seguinte traduz a dependência do estado seguinte em função do anterior e da variável de controlo C.

EP		ES	
		C=0	C=1
Q <sub>2</sub>	Q <sub>1</sub> Q <sub>0</sub>	Q <sub>2</sub> Q <sub>1</sub> Q <sub>0</sub>	Q <sub>2</sub> Q <sub>1</sub> Q <sub>0</sub>
0	0 0	0 0 1	0 0 1
0	0 1	0 1 0	0 1 0
0	1 0	0 1 1	0 1 1
0	1 1	1 0 0	1 0 0
1	0 0	1 0 1	1 0 1
1	0 1	0 0 0	1 1 0
1	1 0	0 X X	1 1 1
1	1 1	0 X X	0 0 0

EP=estado presente; ES=estado seguinte;

Uma vez que existem oito estados utilizam-se três variáveis para os codificar. São elas Q<sub>2</sub>, Q<sub>1</sub>, Q<sub>0</sub> que são as saídas dos três flip-flops necessários para construir o contador.

Note-se que, quando CQ<sub>2</sub>Q<sub>1</sub>=011 ( sem sentido em módulo 6 ) , os próximos estados são indefinidos. Basta Q<sub>2</sub>=0 para garantir que, caso o contador ao ser ligado apresente os dois referidos estados, possa saltar para um estado com significado em módulo 6.

A tabela de excitação dos flip-flops JK é a seguinte:

$Q_t \rightarrow Q_{t+1}$	J	K
0 $\rightarrow$ 0	0	X
0 $\rightarrow$ 1	1	X
1 $\rightarrow$ 0	X	1
1 $\rightarrow$ 1	X	0

Da última tabela e da tabela de estados pode-se construir uma outra chamada de tabela de transições. A particularidade da tabela de transições é que representa, em função do estado presente, os valores lógicos das entradas dos flip-flops de modo que estes gerem o estado seguinte.

A tabela seguinte é precisamente a tabela de transições:

C	$Q_2$	$Q_1$	$Q_0$	$J_2$	$K_2$	$J_1$	$K_1$	$J_0$	$K_0$
0	0	0	0	0	X	0	X	1	X
0	0	0	1	0	X	1	X	X	1
0	0	1	0	0	X	X	0	1	X
0	0	1	1	1	X	X	1	X	1
0	1	0	0	X	0	0	X	1	X
0	1	0	1	X	1	0	X	X	1
0	1	1	0	X	1	X	X	X	X
0	1	1	1	X	1	X	X	X	X
1	0	0	0	0	X	0	X	1	X
1	0	0	1	0	X	1	X	X	1
1	0	1	0	0	X	X	0	1	X
1	0	1	1	1	X	X	1	X	1
1	1	0	0	X	0	0	X	1	X
1	1	0	1	X	0	1	X	X	1
1	1	1	0	X	0	X	0	1	X
1	1	1	1	X	1	X	1	X	1

Passando a tabela de transições a mapas de Karnaugh, obtêm-se as expressões lógicas simplificadas necessárias para implementar o contador pretendido.

$J_2$	00	01	11	10	$CQ_2$	
00	0	X	X	0		
01	0	X	X	0		
11	1	X	X	1		$J_2 = Q_1 Q_0$
10	0	X	X	0		
	$Q_1 Q_0$					

$K_2$		00	01	11	10	$CQ_2$
00		X	0	0	X	
01		X	1	0	X	
11		X	1	1	X	
10		X	1	0	X	
$Q_1Q_0$						

$$K_2 = Q_1Q_0 + \bar{C}Q_0 + \bar{C}Q_1$$
  

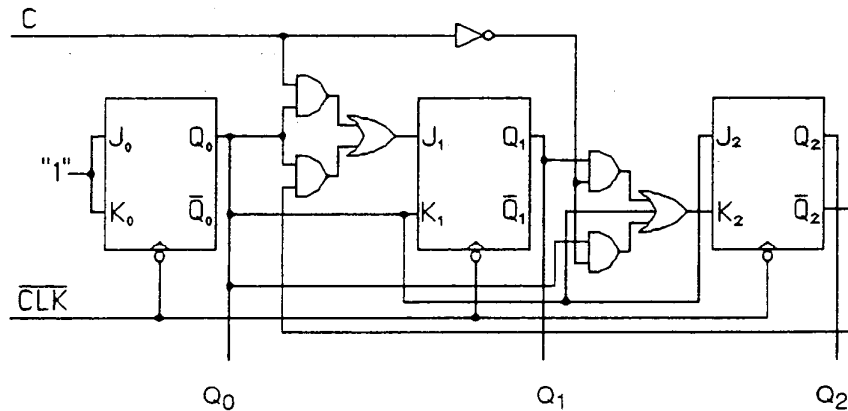
$J_1$		00	01	11	10	$CQ_2$
00		0	0	0	0	
01		1	0	1	1	
11		X	X	X	X	
10		X	X	X	X	
$Q_1Q_0$						

$$J_1 = CQ_0 + \bar{Q}_2Q_0$$
  

$K_1$		00	01	11	10	$CQ_2$
00		X	X	X	X	
01		X	X	X	X	
11		1	X	1	1	
10		0	X	0	0	
$Q_1Q_0$						

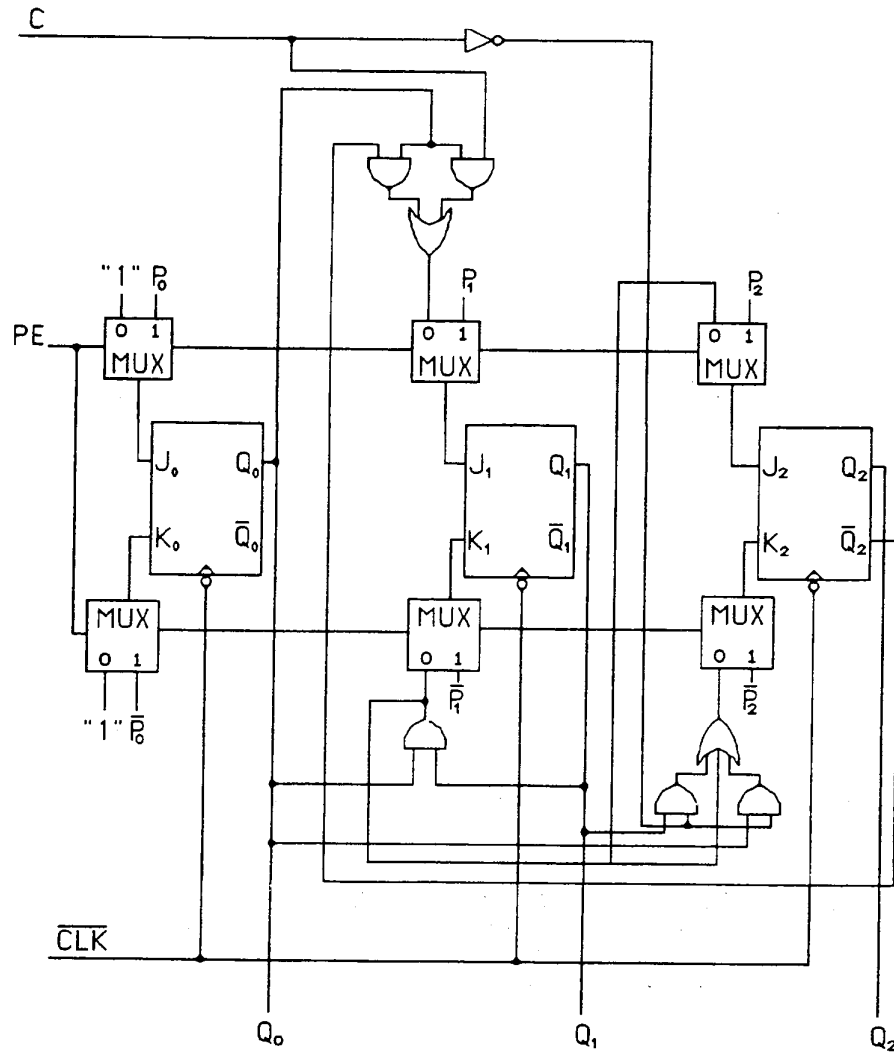
$$K_1 = Q_0$$

Da tabela de transições conclui-se por inspeção que  $J_0$  e  $K_0$  tomam sempre o valor lógico "1".  
 Finalmente pode-se desenhar o logigrama do contador:



(B) Tem-se unicamente que modificar as malhas de excitação dos flip-flops, para que de acordo com o valor de PE o circuito aja como contador (se PE=0) ou receba dados em paralelo (se PE=1).





**Problema 10**

Desenhe o logograma de um contador síncrono que possa contar em módulo 16, módulo 8 ou memorizar em paralelo do exterior. Dispõe para o efeito de flip-flop D edge-triggered positivo e o modo de operação será controlado pelas variáveis C1 e C0 da seguinte maneira:

C <sub>1</sub>	C <sub>0</sub>	Operação
0	0	Memoriza em paralelo do exterior
0	1	Conta módulo 8
1	0	Conta módulo 16

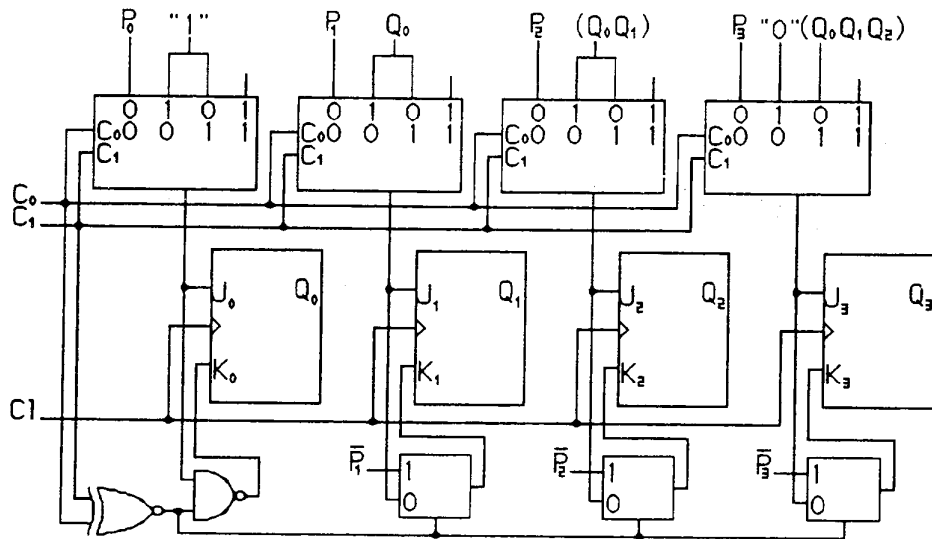
Resolução:

Mais uma vez para este tipo de problema se torna adequado, pela facilidade de implementação, recorrer a MUX. Como se necessita de relacionar entre três operações diferentes, necessitaremos de MUX com duas variáveis de controlo.

Pretende-se que o contador, para além de poder ser carregado em paralelo, execute os ciclos de contagem:

0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1

É de notar que a contagem módulo 8 pode ser implantada como contagem módulo 16 desde que só se considerem os 3 bits menos significativos.



Explicação do logigrama.

O logigrama anterior representa um circuito que, uma vez implementado conta em módulo 8, em módulo 16 ou admite carregamento paralelo de dados, conforme os valores lógicos das variáveis de controlo dos multiplexers.

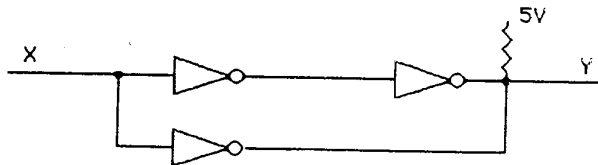
Pela maneira como as variáveis de controlo C1 e C2 seleccionam o modo de funcionamento do circuito, sempre que se pretenda que este conte, uma e uma só delas tem o valor lógico 1. Isso implica que à saída da porta EXNOR esteja o valor lógico 0. Como 0 é o elemento absorvente da operação lógica NAND, obriga a que a sua saída apresente o valor lógico 1. Por outro lado sempre que uma e uma só das variáveis de controlo tenha o valor lógico 1, a saída do primeiro multiplexer estará a 1. Sendo assim o flip-flop JK agirá como um Toggle e desencadeará o processo de contagem. De notar que se queremos que o circuito aja como um contador temos que garantir que ambas as entradas dos flip-flops têm o mesmo valor lógico. Isso é garantido pelo

facto de que no modo de contagem as entradas de selecção dos multiplexers que controlam a entrada K apresentam o valor 0; ora a entrada 0 do multiplexer está ligada ao J correspondente.

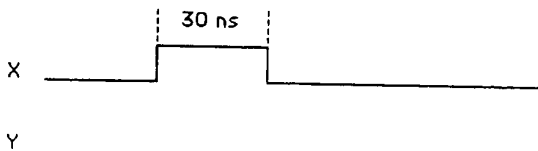
No caso de querermos que o circuito receba em paralelo as duas variáveis de controlo estão a 0 o que implica que a saída do EXNOR apresente o valor lógico 1. Por sua vez este facto implica que os multiplexers que controlam as entradas K seleccionem a entrada 1. Como queremos que o circuito receba em paralelo convém-nos que os JK's se comportem como D's. Para isso basta que as entradas J e K do mesmo flip-flop sejam complementares. É por isso que se na entrada J entra o valor P, na K entra o valor P negado.

**Problema 11**

Considere o seguinte circuito:



Os dois circuitos que têm a resistencia à saída são circuitos de colector aberto.  
O tempo de atraso de cada circuito é de 10 ns. Complete o diagrama temporal:



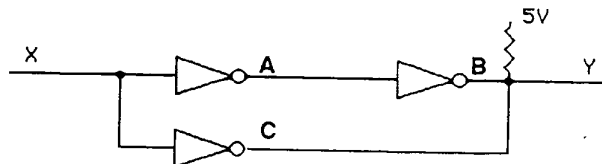
Para obter o diagrama temporal das saídas de um circuito em função das suas entradas o método mais eficaz consiste em ir obtendo as formas de onda ao longo de todos os pontos relevantes do circuito.

No caso em estudo tal é dificultado pelo facto de existir no circuito um "e-cablado" ("wired-and") entre duas saídas open-collector

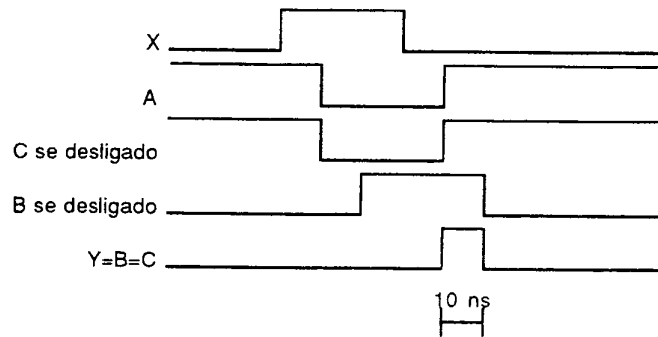
Como se sabe, esse curto-circuito entre as saídas open-collector, funciona como se de um AND se tratasse. No entanto, não podemos, neste caso, na realidade, traçar as formas de onda independentes, das duas entradas do pseudo-AND precisamente porque elas estão curto-circuitadas e, portanto, nunca podem ser diferentes.

Por isso ilustramos as formas de onda *que se obteriam à saída das referidas gates se elas não estivessem ligadas*. Daí infere-se a sua situação real.

Chamemos, então, nomes a vários pontos do circuito:



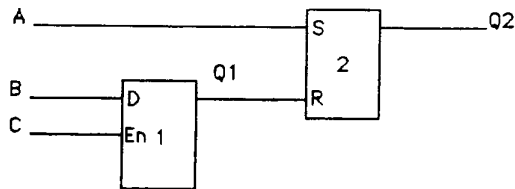
O diagrama temporal será, então:



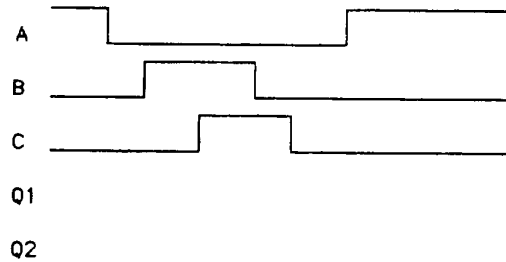
**Nota:** Na realidade não podemos garantir a forma de onda como está desenhado, uma vez que os atrasos das gates não são especificados por um valor e sim por um intervalo. Nessas circunstâncias, existe uma incerteza (quantificável) em relação a cada um dos sinais representados no diagrama temporal. Essa incerteza pode inclusivamente conduzir à incerteza sobre a existência do impulso em Y.

**Problema 12**

Considere o seguinte circuito em que 1 é um latch D controlado e 2 é um latch SR simples:



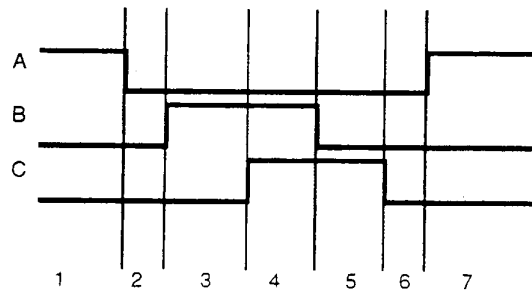
a) Complete o seguinte diagrama temporal:



b) Desenhe um possível esquema de implementação do latch 2.

Este problema é curioso.

Vamos dividir o diagrama temporal em várias zonas a fim de poder discutir o assunto:



Zona 1:

Na primeira zona o valor de  $Q_1$  é indeterminado. De facto, o Enable do latch D está inactivo pelo que o latch está a fornecer na sua saída  $Q_1$  o valor memorizado que não temos dados para calcular.

No que respeita ao valor de  $Q_2$ , porém, tudo depende da alínea b)! De facto, se o latch SR for construído com NANDs e negações como veremos adiante, basta S estar em HIGH para que  $Q_2$  esteja também em HIGH. No caso do latch ser construído com NORs, porém, o valor de  $Q_2$  depende do valor de R, isto é de  $Q_1$  que não conhecemos; não conhecemos, portanto,  $Q_2$ .

Zona 2:

$Q_1$  continua imprevisível.

Para  $Q_2$ , neste caso, para qualquer tipo de latch o valor é indeterminável.

Zona 3:

Nada se altera uma vez que o latch D cuja entrada está ligada a B, tem o Enable inactivo.

Zona 4:

Aqui, como Enable passou a activo, o valor de  $Q_1$  passou a ser igual ao da entrada D, isto é, à variável B, isto é a HIGH.

Com  $S=L$  e  $R=H$  o latch SR coloca LOW na saída  $Q_2$ .

Zona 5:

Aqui a entrada D do latch passa a LOW pelo que  $Q_1$  também assume esse valor.

Com  $R=S=L$ ,  $Q_2$  não se altera e continua LOW.

Zona 6:

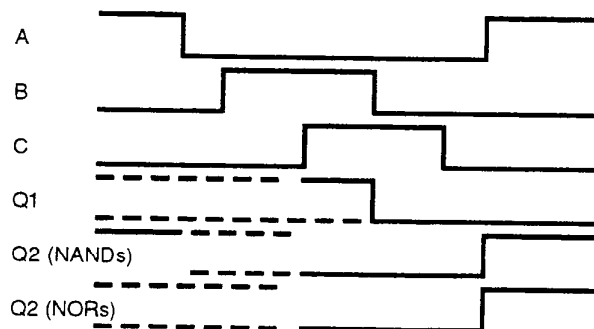
O Enable passa a LOW, pelo que  $Q_1$  permanece LOW.

Como S continua a LOW, o valor de  $Q_2$  não se altera.

Zona 7:

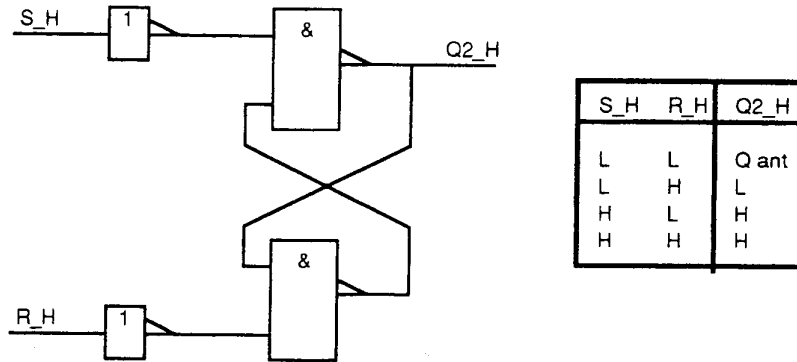
A subida de S, mantendo-se R a LOW, provoca a passagem de  $Q_2$  para HIGH.

O diagrama temporal será, portanto:



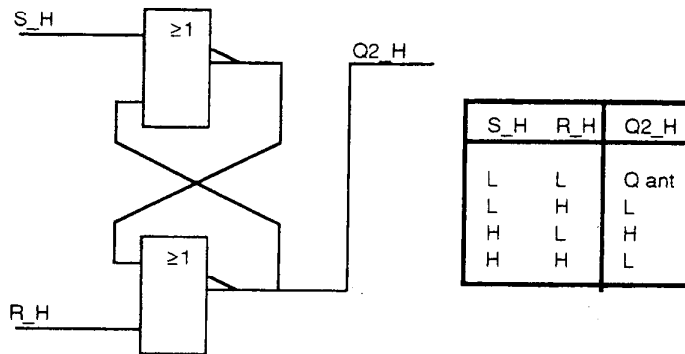
b) Como se disse já, há duas hipóteses:

Construção com NANDs



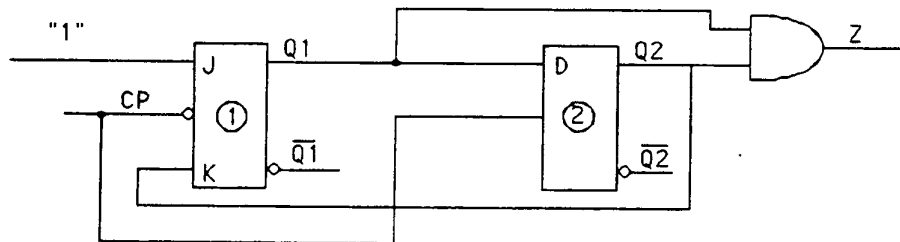
As negações podem ser substituídas por nands de 2 entradas a simularem negações.

Construção com NORs



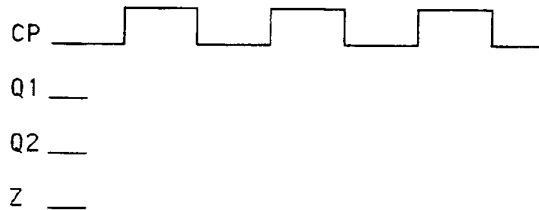
**Problema 13**

Considere o seguinte circuito:



em que 1 é um flip-flop JK edge-triggered disparado no flanco descendente e 2 é um flip-flop D edge-triggered disparado no flanco ascendente.

a) Complete o seguinte diagrama temporal:



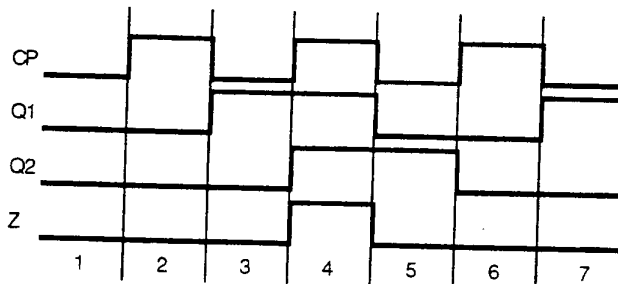
b) Sabendo que, para ambos os flip-flops se tem  $t_{atraso} = 15 \text{ ns}$  e  $t_{preparação} = 10 \text{ ns}$ .

qual a frequência máxima admissível na linha CP?

Este é também um circuito curioso:

Embora os Relógios (CP) dos dois flip-flops estejam ligados entre si, o circuito não é síncrono, uma vez que os dois flip-flops reagem em flancos opostos do impulso de relógio.

a) O diagrama temporal é o seguinte:



Vamos comentar por zonas:

Na zona 1 nada acontece uma vez que não há flancos de relógio.

A zona 2 inicia-se com um flanco ascendente do impulso de relógio. Nessas circunstâncias o flip-flop 2 vai reagir.

Como a entrada D está directamente ligada à saída Q<sub>1</sub>, e esta está a LOW, o flip-flop, após o flanco continuará a LOW.

O flip-flop 1 não é afectado.

O flanco que inicia a zona 3 provoca uma reacção do flip-flop 1. Este tem J permanentemente a HIGH e K ligado a Q<sub>2</sub>, isto é, LOW. Em consequência, Q<sub>1</sub> passará para HIGH. Nesta zona o flip-flop 2 não tem razões para mudar.

A zona 4 inicia-se com um flanco ascendente na linha de relógio. Haverá, portanto, uma possível reacção do flip-flop 2. Como D=Q<sub>1</sub> e Q<sub>1</sub>=HIGH, Q<sub>2</sub> passará para HIGH.

O flip-flop 1 mantém o seu estado e como Q<sub>1</sub> e Q<sub>2</sub> estão em HIGH, Z passa a HIGH.

A zona 5 verá o flip-flop 1 alterar a sua saída no flanco descendente do CP que a inicia. De facto como K=Q<sub>2</sub> e Q<sub>2</sub>=HIGH, para além de J=HIGH, o flip-flop muda de estado passando Q<sub>1</sub> de HIGH para LOW e arrastando também a linha Z para LOW.

Na zona 6 o flip-flop 2 copia o valor de Q<sub>1</sub>.

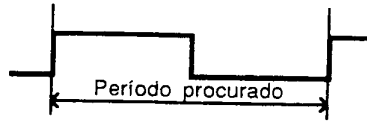
Na zona 7, como Q<sub>2</sub>=0, vem J=HIGH e K=LOW, donde Q<sub>1</sub> passará a HIGH.

b) O cálculo da frequência máxima de funcionamento de um circuito exige uma análise da situação centrada no bom senso!

A técnica mais aconselhável é a de identificar os instantes desencadeadores de reacção no circuito e, após isso, verificar qual o intervalo mínimo a garantir entre eles.

Por este processo determina-se a direcção mínima do período do sinal de relógio. Como é óbvio, a frequência máxima é o inverso daquele período.

Para determinar o período mínimo do relógio é preciso contar o tempo entre dois flancos no mesmo sentido, por exemplo, dois flancos ascendentes.

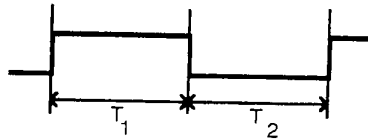


No nosso caso existe um flip-flop que reage no flanco ascendente e outro que reage no flanco descendente do sinal de relógio.

Teremos, então, de ver qual o tempo mínimo entre cada dois flancos consecutivos da linha CP.

Começemos por verificar qual o tempo mínimo entre o flanco ascendente e o descendente. O flanco ascendente provoca uma reacção do flip-flop 2 cujos efeitos devem ser completamente estabilizados antes de ser aplicado o flanco descendente, uma vez que o outro flip-flop vai ter uma reacção que depende deste.

Após o flanco ascendente, o flip-flop 2 reage. Essa reacção levará, no máximo,  $t_{dFF2}$ . Após essa reacção a saída  $Q_2$  fica actualizada. Essa saída é também a entrada K do flip-flop 1. Admitindo que a saída acabou de estabilizar, não pode o flip-flop 1 receber imediatamente o flanco activo do CP. Existe um tempo de guarda que é o  $t_{suFF1}$ . Após esse tempo, pode surgir o flanco ascendente.



Portanto

$$T_1 = t_{dFF2} + t_{suFF1}$$

Pode-se concluir por um raciocínio semelhante que

$$T_2 = t_{dFF1} + t_{suFF2}$$

Donde

$$T_{min} = T_1 + T_2 = 2 t_{dFF} + 2t_{suFF}$$

uma vez que

$$t_{dFF1} = t_{dFF2}$$

e

$$t_{suFF1} = t_{suFF2}$$

Portanto vem

$$T_{min} = 50ns$$

e

$$f_{max} = 20 \text{ MHz}$$

#### Problema 14

Suponha que dispõe de um registo de deslocamento com 4 bits e carregamento paralelo síncrono. Construa, usando o material que achar necessário e que especificará como achar conveniente, um circuito com as seguintes hipóteses de funcionamento:

- deslocar um bit à direita.
- deslocar um bit à esquerda.
- carregar dados em paralelo.
- complementar o conteúdo.
- não realizar qualquer operação (apesar de receber impulsos de relógio)



A resolução que a esmagadora maioria dos alunos deu a este problema demonstra uma grave e generalizada crise de uma das seguintes coisas (são todas más!):

- 1- Analfabetismo funcional.
- 2- Criação de mecanismos de reflexo condicionado à presença de certas palavras no enunciado.
- 3- Medo pânico dos docentes com o convencimento de que "mesmo que pareça o contrário, eles estão sempre a querer o mais difícil".
- 4- Ignorância da matéria.
- 5- Sei lá...

De facto, o enunciado diz : " Suponha que dispõe de um registo de deslocamento com 4 bits e carregamento paralelo síncrono". A maior parte dos alunos não viu ou não foi capaz de entender esta frase!

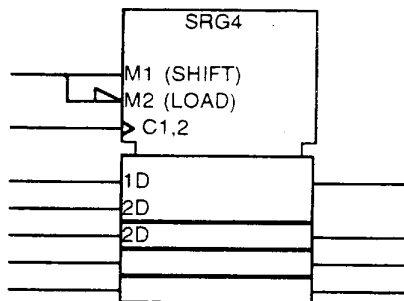
O que o texto diz é que se dispõe de um componente (já feito, e não interessa saber como) que tem um certo comportamento funcional. A partir desse componente e por interligação com outros componentes por vós escolhidos, haveria que produzir o sistema pedido.

Dispomos, portanto de um registo de deslocamento de 4 bits com carregamento paralelo síncrono.

Esse registo, como é de 4 bits, terá quatro saídas ( $Q_0$  a  $Q_3$ ); como é registo, terá uma linha de relógio (CP) que podemos escolher como reagindo em qualquer flanco (escolhamos ascendente, sem qualquer razão especial); se tem dois modos de funcionamento (carregamento paralelo e deslocamento) tem de ter uma linha de controlo que permita especificar o modo pretendido; (SH/LD)

se tem carregamento paralelo, terá de ter 4 linhas de entrada ( $I_0$  a  $I_3$ ); se tem deslocamento terá de ter uma linha de entrada série (D).

Como componente terá, portanto, o seguinte símbolo:



A entrada 1D no primeiro módulo refere-se, como se pode perceber do símbolo, à entrada série do registo.

O processo geral de aumentar a funcionalidade de um registo é multiplexar várias fontes de informação para as entradas dos flip-flops.

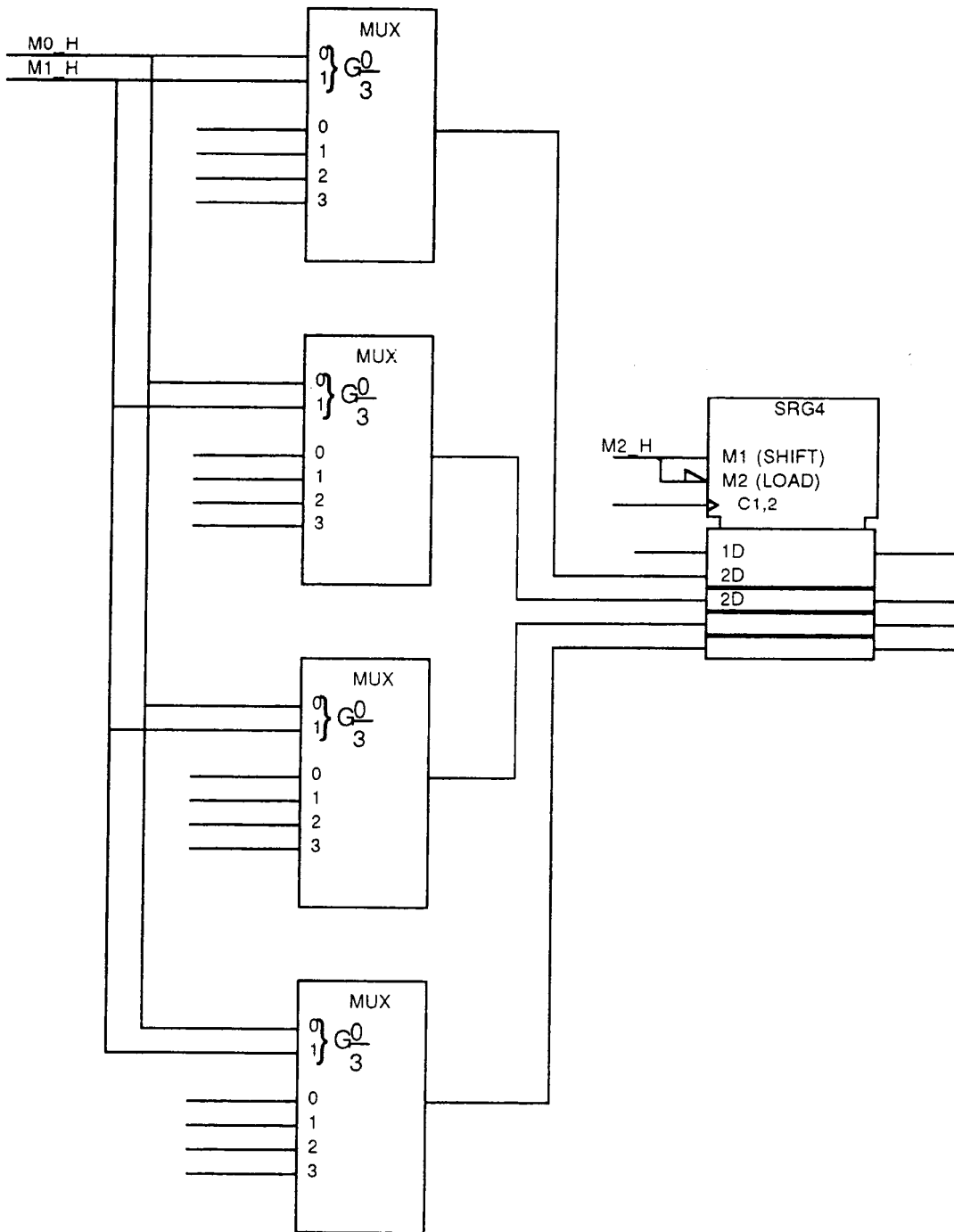
Neste registo, quando em modo de carregamento paralelo, temos acesso às entradas dos flip-flops pelas linhas de carregamento paralelo.

Usaremos, portanto, o registo nesse modo para proceder ao aumento da sua funcionalidade. No entanto, o registo já desloca dados numa direcção.

Nessas circunstâncias, podemos utilizar, também, esse modo de funcionamento reduzindo, assim, o trabalho necessário para os multiplexeres exteriores.

Como se pedem 5 modos de funcionamento e o registo já garante o deslocamento em uma direcção, são necessários multiplexeres de 4 entradas de dados.

Neste ponto do raciocínio, portanto, o circuito tem a seguinte estrutura:



As linhas de modo do sistema global já estão assinaladas.  
Os 5 modos de funcionamento serão escolhidos pelas linhas M0\_H, M1\_H e M2\_H do circuito.

A tabela de selecção poderá ser a seguinte:

M2_H	M1_H	M0_H	Modo
H	X	X	Deslocar um bit à direita
L	L	L	Deslocar um bit à esquerda
L	L	H	Carregar dados em paralelo
L	H	L	Complementar o conteúdo
L	H	H	Não realizar operação

Na primeira linha da tabela tanto pode estar o deslocamento à esquerda como à direita uma vez que a posição dos bits no registo é convencional. Mas terá de ser uma destas, uma vez que estamos a utilizar o modo de deslocamento do registo.

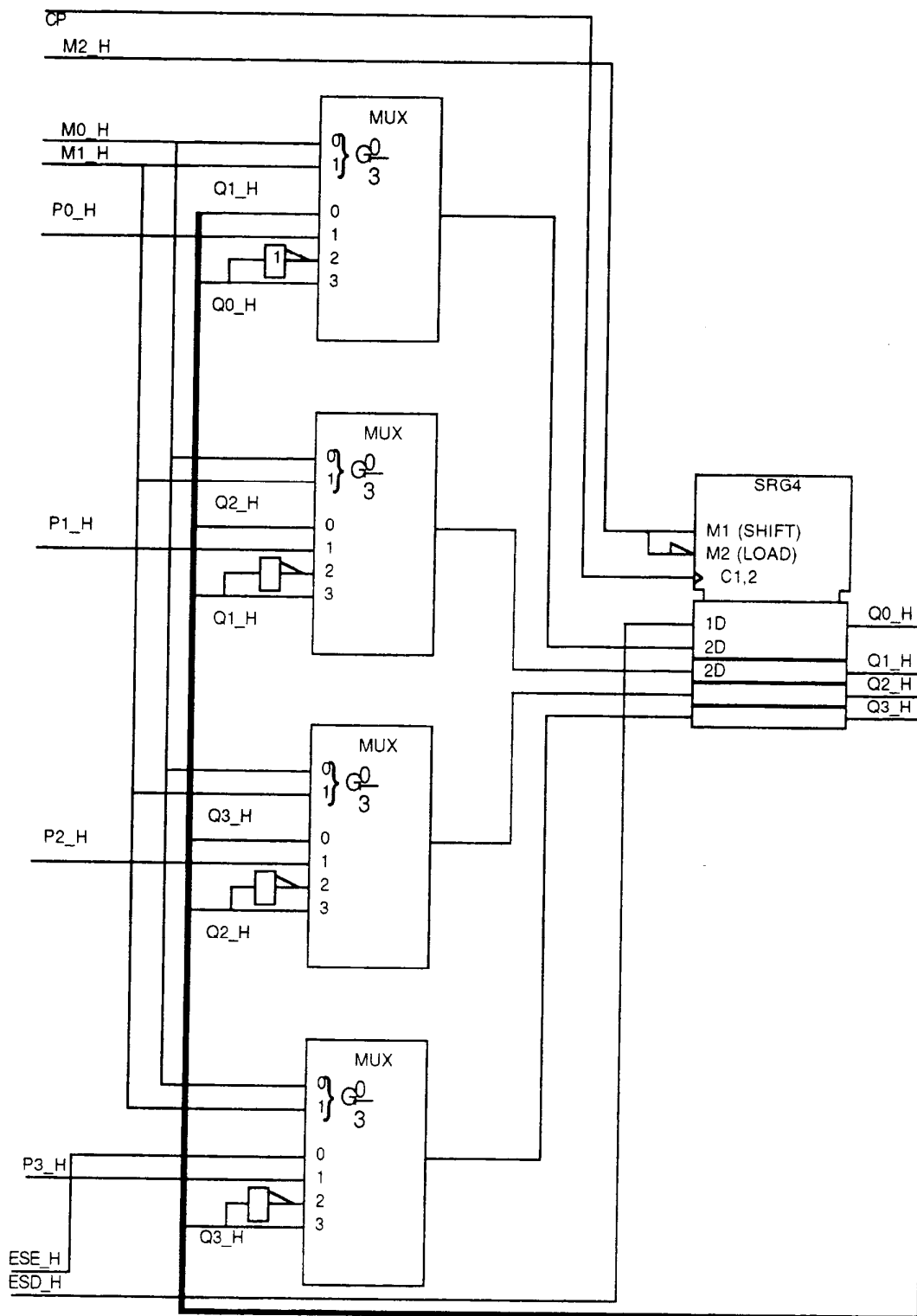
Os restantes modos podem-se distribuir ao acaso pelas restantes 4 linhas da tabela.

O deslocamento consegue-se ligando a entrada de cada flip-flop (através dos multiplexeres) à saída do Flip-flop do lado de onde provém o deslocamento.

A complementação do conteúdo consegue-se promovendo, em cada flip-flop, o carregamento da negação da sua saída.

A opção de não realizar qualquer operação consegue-se carregando cada flip-flop com o seu valor actual.

O circuito será, portanto, o seguinte:



em que ESE significa Entrada série esquerda e ESD Entrada série direita.

**Problema 15**

- a) Construa um contador assíncrono **descendente** de módulo 8 usando o material que achar conveniente.  
 b) Diga quais são os estados instáveis por que o contador passa na transição 4-3.

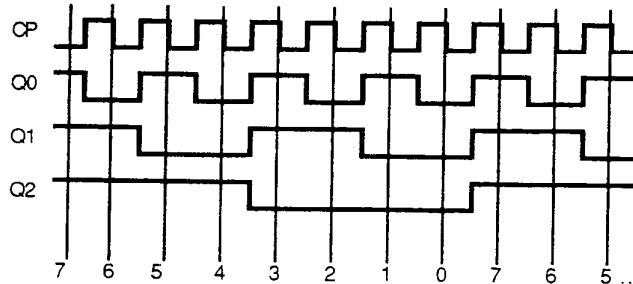
Como se trata de um contador assíncrono não podemos usar o método sistemático que existe para os contadores síncronos, ao contrário do que muitos alunos fizeram, chegando a circuitos totalmente inexecutáveis que a sua arrepiante falta de espírito crítico permite apresentar como soluções possíveis.

A sequência de contagem pedida é a de um contador descendente, módulo 8 e, portanto, a seguinte:

Q2	Q1	Q0
1	1	1
1	1	0
1	0	1
1	0	0
0	1	1
0	1	0
0	0	1
0	0	0
1	1	1
...	...	...

Podemos escolher flip-flops JK (ou T) que reajam em qualquer dos dois flancos de relógio. Usaremos flip-flops JK que reagem no flanco ascendente.

As formas de onda pretendidas são, portanto, as seguintes:



Como se pode verificar, o flip-flop Q0 muda de estado sempre que o CP tem um flanco, para ele, activo.

Portanto  $J_0 = K_0 = 1$  e  $CP_0 = CP$ .

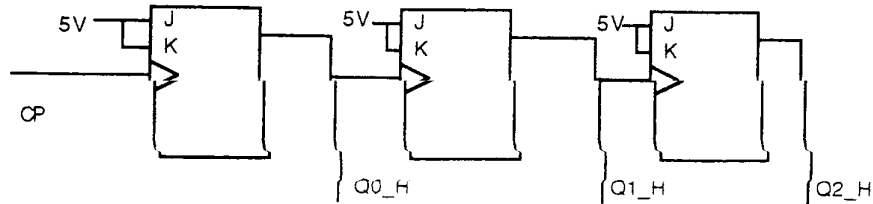
O flip-flop Q1 muda de estado sempre que Q0 tem uma transição de 0 para 1. Como o flip-flop 1 reage no flanco ascendente, a solução que se segue tem as exactas consequências que se pretendem.

$J_1 = K_1 = 1$  e  $CP_1 = Q_0$ .

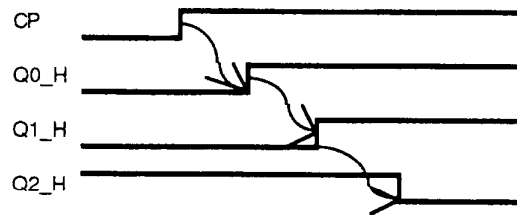
Exactamente da mesma forma se conclui que

$J_2 = K_2 = 1$  e  $CP_2 = Q_1$ .

O circuito será, portanto:



b) O diagrama temporal pormenorizado da transição 4 - 3 é o seguinte com o eixo dos tempos numa escala muito ampliada.



Inicialmente o estado da contagem é "4". Uma vez que o primeiro flip-flop a alterar a sua saída é o flip-flop 0, transita-se para o estado "5".

Este evolui, por alteração consequente do flip-flop 1 para o estado "7" e daí, finalmente, por alteração do flip-flop 2 para o estado "3".

**Problema 16**

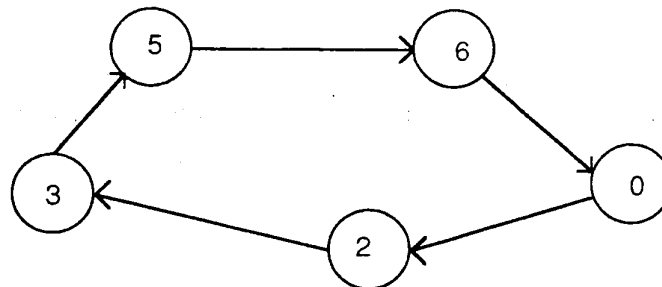
a) Projecte um contador síncrono com a seguinte sequência de contagem:

...6,0,2,3,5,6,...

O referido contador deve ter a possibilidade de ser inicializado assincronamente com o número 6.

b) Quais os factores que limitam a frequência máxima de contagem do contador que acabou de projectar?

Pretende-se, portanto, um contador com o seguinte diagrama de estados:



A tabela de estados será, portanto:

Estado Presente	Estado Sequinte
6	0
0	2
2	3
3	5
5	6

Ou, realizando a codificação em binário dos estados de contagem:

Estado Presente			Estado Seguinte		
Q2	Q1	Q0	Q2	Q1	Q0
1	1	0	0	0	0
0	0	0	0	1	0
0	1	0	0	1	1
0	1	1	1	0	1
1	0	1	1	1	0

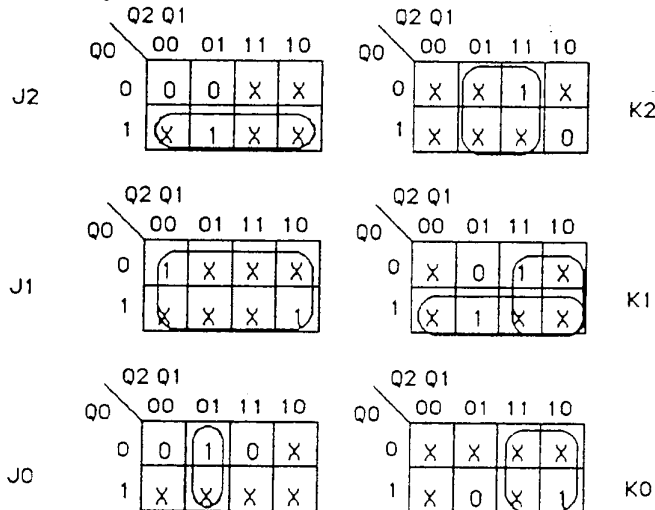
Usemos flip-flops JK, cuja tabela de excitação é a seguinte:

evolução	J	K
0 -> 0	0	X
0 -> 1	1	X
1 -> 0	X	1
1 -> 1	X	0

A tabela da máquina, já com a tabela de excitação, evolui para:

Estado Presente			Estado Seguinte					
Q2	Q1	Q0	J2	K2	J1	K1	J0	K0
1	1	0	X	1	X	1	0	X
0	0	0	0	X	1	X	0	X
0	1	0	0	X	X	0	1	X
0	1	1	1	X	X	1	X	0
1	0	1	X	0	1	X	X	1

Os mapas de Karnaugh das funções J e K são, portanto as seguintes, em que as posições 1, 4 e 7 correspondem a configurações não existentes das variáveis de estado e são, portanto, ocupadas com indiferenças:



Daqui resulta:

$$J2 = Q0$$

$$K2 = Q1$$

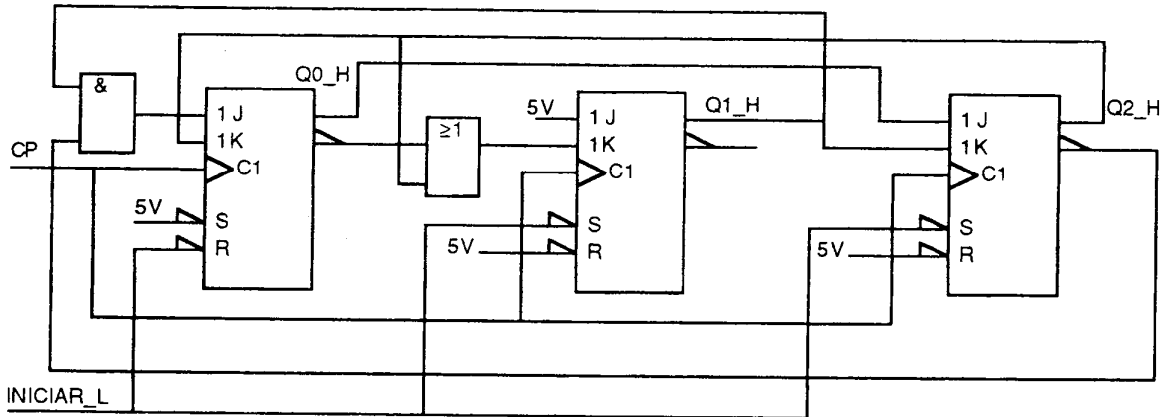
$$J1 = 1$$

$$K1 = \overline{Q0} + Q2$$

$$J0 = \overline{Q2} Q1$$

$K0 = Q2$ .

O circuito será, portanto, já incluída a inicialização, o seguinte:



Para realizar a inicialização assíncrona utilizam-se as entradas assíncronas dos flip-flops.

Inicializar a "6" pressupõe colocar Q2 e Q1 activos e Q0 inactivo, isto é, a realizar o set de Q2 e Q1 e o reset de Q0.

b) Como se sabe:

$$f_{\max} = \frac{1}{T_{\min}}$$

No circuito acima projectado, vejamos como obter  $T_{\min}$ .

Entre dois flancos activos de CP o que tem de passar-se?

- 1º Os 3 flip-flops reagem simultaneamente ( $t_{dFF}$ ).
- 2º As saídas dos flip-flops recém actualizadas vão influenciar a saída das gates presentes. Ao fim de algum tempo ( $\max(t_{dAND}, t_{dOR})$ ) ambas as gates tem as saídas actualizadas.
- 3º Há que esperar o tempo de guarda entre a actualização dos valores das entradas dos flip-flops e o momento do aparecimento do flanco activo do relógio ( $t_{\text{prep FF}}$ ).

Portanto vem

$$T_{\min} = t_{dFF} + \max(t_{dAND}, t_{dOR}) + t_{\text{prep FF}}$$

e, portanto,

$$f_{\max} = \frac{1}{T_{\min} = t_{dFF} + \max(t_{dAND}, t_{dOR}) + t_{\text{prep FF}}}$$



**CAPITULO 4**  
**Circuitos Sequenciais Básicos**

**PROBLEMAS PROPOSTOS**

**Problema 1**

(A) Acrescente a cada uma das gates de saída do circuito apresentado na figura 1 (latch), um terminal de entrada.

Mostre que estes terminais de entrada, que são entradas directas activas a "low", permitem inicializar o latch com o valor  $Q=0$ , por actuação no "direct-reset" ( $R_d$ ) ou com o valor  $Q=1$ , por actuação no "direct-set" ( $S_d$ ).

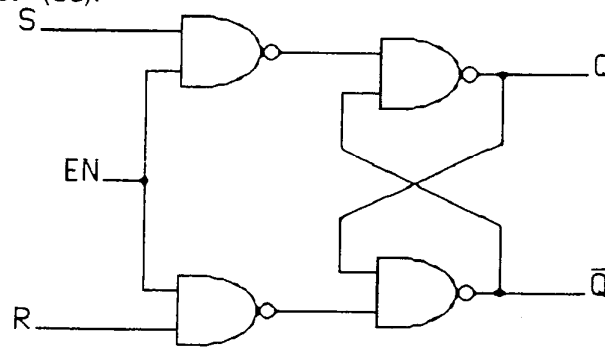


Figura 1

(B) Considere agora que no novo circuito da figura 2 se estabelece  $S_d = 1$  e  $R_d = 0$

(o que inicializará o latch em zero), se faz  $D=1$  e se activa o enable EN. Mostre que enquanto o enable estiver activado, a saída Q é afectada pelas entradas das gates (entradas não directas), e só quando o enable estiver desactivado é que as entradas directas definem só por si o estado do latch.

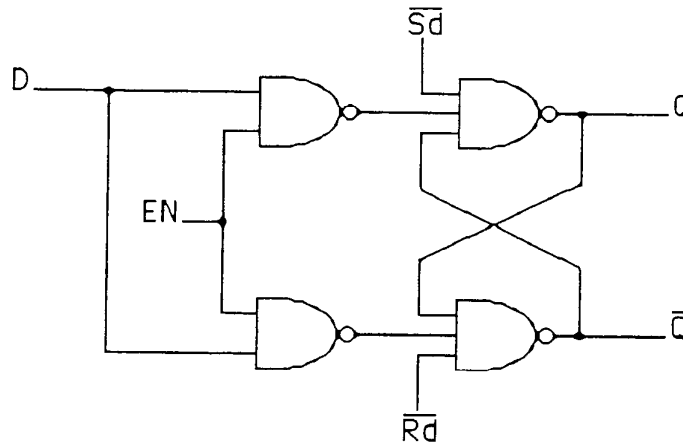
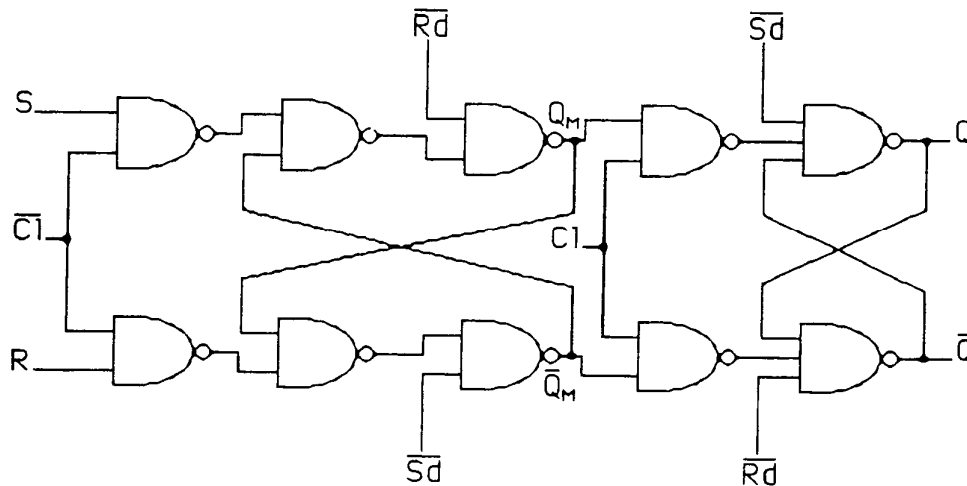


Figura 2

(C) Modifique o circuito da figura 2, de modo a que as entradas  $S_d$  e  $R_d$  tenham um efeito imperativo sobre as saídas, impondo-se às entradas não directas, independentemente do nível lógico do enable.

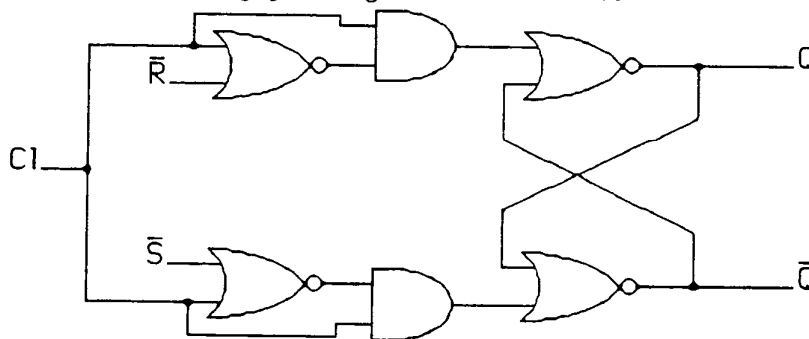
**Problema 2**

Mostre que no circuito da figura que representa um flip-flop master-slave, as entradas directas  $S_d$  e  $R_d$  são imperativas sobre a saída, sobrepondo-se a qualquer das entradas síncronas.



**Problema 3**

Verifique que o circuito da figura é um flip-flop que só opera correctamente se se considerar que há tempo de propagação nas gates NOR de entrada.



**Problema 4**

São dados os seguintes tipos de flip-flop:

- 1- Master-slave.
- 2- Edge-trigger positivo.
- 3- Edge-trigger negativo com:

"setup-time" = 10 ns  
 "hold-time" = 10 ns  
 tempo de propagação = 9 ns

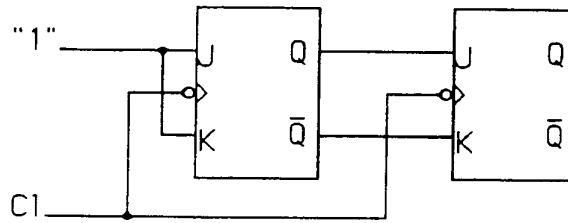
4- Edge-trigger negativo com:

"setup-time" = 10 ns  
 "hold-time" = 10 ns  
 tempo de propagação = 12 ns

Considerando apenas os tipos de flip-flop indicados, quais de entre eles é que:

(A) Poderão ser utilizados no circuito da figura?

(B) Poderão ser utilizados no circuito, operando este à frequência de 50 MHz?



**Problema 5**

Comente e demonstre, utilizando logigramas, a seguinte afirmação:  
 "Os circuitos assíncronos são a base dos circuitos síncronos".

**Problema 6**

Transforme um flip-flop D num flip-flop R-S.

**Problema 7**

Dispondo de três registos cada um com quatro andares (constituídos por quatro flip-flop D) e saídas tri-state, desenhe as ligações internas entre os flip-flop de um dos registos e as ligações externas entre os registos, de modo a que a informação de qualquer dos registos possa ser transferida para um dos outros ou para os outros dois simultaneamente.

O sistema deverá obedecer ao seguinte código de controlo de operação:

**Código de origem da informação**

O <sub>1</sub>	O <sub>2</sub>	Operação
0	0	Nada se passa
0	1	R <sub>1</sub> é a origem
1	0	R <sub>2</sub> é a origem
1	1	R <sub>3</sub> é a origem

Código de destino da informação			Operação
$D_2$	$D_1$	$D_0$	
0	0	0	$R_1$ é o destino
0	0	1	$R_2$ é o destino
0	1	0	$R_3$ é o destino
0	1	1	$R_1$ e $R_2$ são destino
1	0	0	$R_1$ e $R_3$ são destino
1	0	1	$R_2$ e $R_3$ são destino

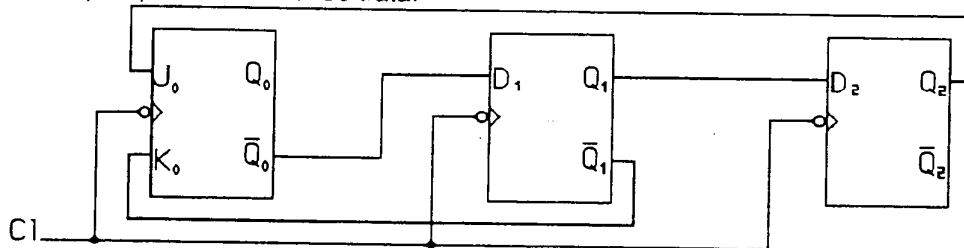
**Problema 8**

Construa um registo de seis bit que possa operar do seguinte modo:

- (A) Memorizar em paralelo do exterior.
- (B) Multiplicar por quatro o conteúdo (até 15).
- (C) Multiplicar por oito o conteúdo (até 7).
- (D) Efectuar a divisão inteira do conteúdo por quatro.

**Problema 9**

Mostre qual a sequência de contagem do contador seguinte. Diga qual o seu módulo de contagem e de que tipo de contador se trata.



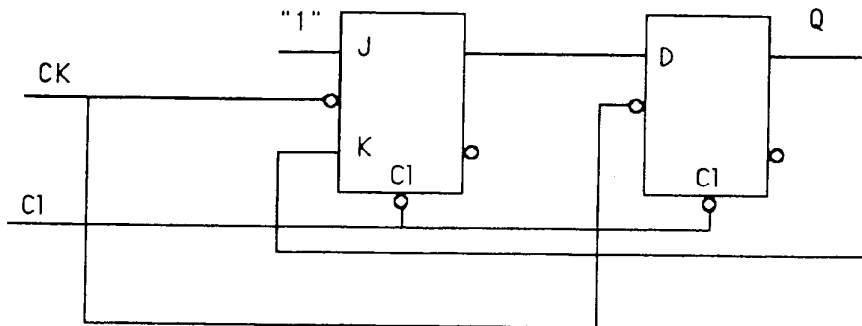
**Problema 10**

Dispondo de contadores módulo oito com entrada PE (que permite seleccionar entre entrada de dados em paralelo do exterior e contagem), construa:

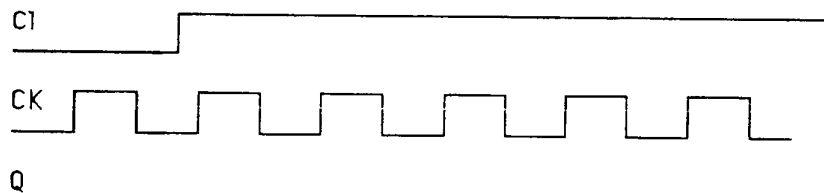
- (A) Um contador módulo 10.
- (B) Um contador módulo 1000.

Nota: Utilize ligações pseudosincronas.

**Problema 11** (Exame 4 de Setembro de 1986)  
 Considere o seguinte circuito:



Complete o diagrama temporal seguinte:



**Problema 12**

(Teste - 1987)

Dispõe de latches D com Enable. Construa um flip-flop JK Master-slave.

**Problema 13**

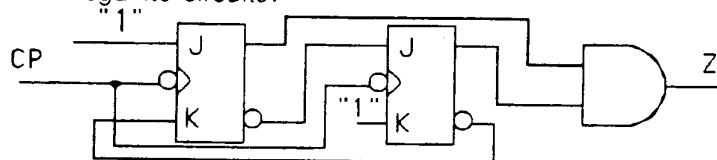
(Teste - 1987)

Projecte um contador síncrono módulo 7, usando os flip-flops que entender.

**Problema 14**

(Teste - 13 de Julho de 1987)

a) Considere o seguinte circuito:



em que os flip-flops JK são flip-flops edge-triggered.

Supondo que os dois flip-flops se encontram no estado 0, faça o diagrama temporal para a saída Z para a duração de 5 impulsos de relógio.

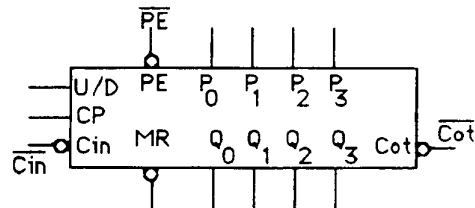
b) Os tempos dos flip-flops são os seguintes: tempo de propagação: 10ns; tempo de preparação: 5 ns; tempo de manutenção: 7ns. O tempo de propagação do circuito AND é de 15ns.

Qual a frequência máxima de funcionamento do circuito?

**Problema 15**

(Teste - 13 de Julho de 1987)

a) Utilizando 3 contadores como o indicado na figura e mais alguma lógica adicional, projecte um contador decimal descendente de modo programável (até 999).



$\overline{Cin}$	U/D	$\overline{PE}$	Acção
1	X	1	n/ conta
0	1	1	conta ↑
0	0	1	conta ↓
X	X	0	Carrega

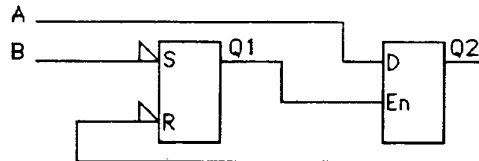
Cin - Carry in (indica o estado do contador anterior)  
 Cot - Carry out (indica o estado deste contador para informação do seguinte)  
 Q - Saídas  
 P - Entradas  
 U/D - Direcção de contagem  
 CP - Clock  
 PE - Carregamento paralelo síncrono.

b) Diga que valores colocaria na entrada paralela dos contadores para que eles contassem módulo 123?

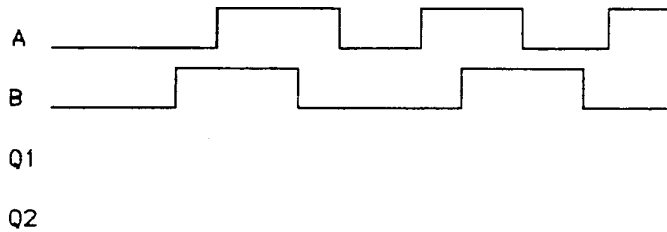
**Problema 16**

(Teste - 27 de Julho de 1987)

Considere o seguinte circuito:



a) Complete o seguinte diagrama temporal

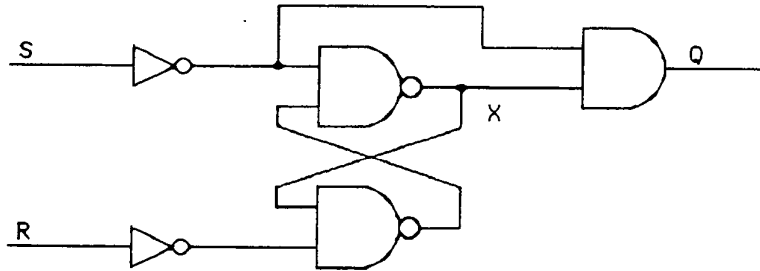


b) Ilustre uma possível representação interna dos latches representados.

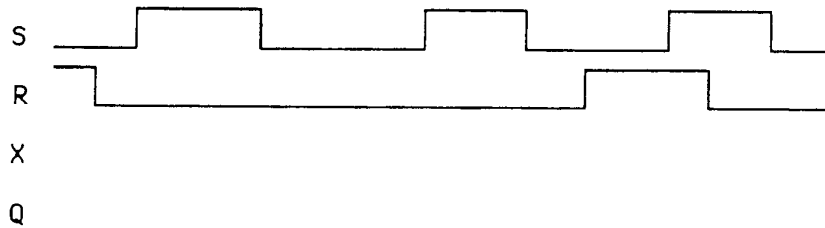
**Problema 17**

(1º Teste - 16 de Maio de 1987)

Considere o seguinte circuito que corresponde a um latch SR modificado:



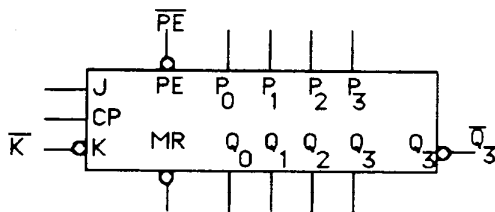
Complete o seguinte diagrama temporal:



**Problema 18**

(Exame de 2ª Época - 24 de Abril de 1987)

Dispõe do registo de deslocamento de 4 bits com carregamento paralelo síncrono e reset assíncrono, ilustrado na figura.



$\overline{PE}$  - Parallel Enable (active low)

$P_0 \dots P_3$  - Entradas paralelas

J - Entrada J do 1º Flip-flop

$\overline{K}$  - Entrada  $\overline{K}$  do 1º Flip-flop

CP - Entrada de Clock

MR - Master Reset (active low)

$Q_0 \dots Q_3$  - Saídas

$\overline{Q_3}$  - Saída negada do último flip-flop

Possui também multiplexeres que deve especificar.

Construa um circuito que, com um mínimo de linhas de comando, realize qualquer uma das seguintes funções:

- deslocar à direita
- deslocar à esquerda
- carregar em para lelo dados exteriores

**Problema 19**

(2º Teste - 6 de Fevereiro de 1987)

Considere que dispõe de um contador síncrono módulo 16, com carregamento paralelo síncrono e reset assíncrono.

Partindo deste contador, cujo funcionamento especificará nos pormenores que achar convenientes, e usando os dispositivos que considerar necessários, mas com a preocupação de usar a menor quantidade possível de circuitos integrados, projecte um circuito que, para além de contar e poder carregado em paralelo, possa também ser usado como registo de deslocamento bidireccional e possua um RESET síncrono.

Especifique a forma de funcionamento do circuito obtido

**Problema 20**

(Exame - 20 de Fevereiro de 1987)

Construa um registo de deslocamento de 4 bits com as seguintes funções:

- Deslocamento à direita
- Deslocamento à esquerda
- Complementação do conteúdo
- Não alteração do conteúdo

**Problema 21**

(1º Teste-13 de Dezembro de 1986)

Considere um flip-flop D edge-triggered. Transforme-o, usando lógica exterior, num JK edge-triggered.

**Problema 22**

(1º Teste-13 de Dezembro de 1986)

Desenhe um circuito que, actuado por um botão, mude de estado de cada vez que o botão é sucessivamente activado e desactivado.

Sugestão: Pode partir do circuito clássico para eliminar os transitórios dos interruptores usando um latch SR.

**Problema 23**

(Exame de 2ª Época - 8 de Abril de 1986)

Projecte um registo de deslocamento de 4 bits com duas variáveis de controlo e que tenha os seguintes 4 modos de funcionamento:

- 1 - Desloca um bit à direita.
- 2 - Carrega em paralelo.
- 3 - Faz Reset síncrono.
- 4 - Carrega o complemento do seu conteúdo.



**Problema 24**

(Rep. do 2º Teste - 20 de Fevereiro de 1987)

Construa um registo de deslocamento de 4 bits com as seguintes funções:

- Deslocamento à direita
- Deslocamento à esquerda
- Complementação do conteúdo
- Soma de 1 ao conteúdo do registo. (Por exemplo, se o conteúdo for 0101

passará a 0110)

**Problema 25**

(1º Exame - 6 de Fevereiro de 1987)

2. Usando um flip-flop RS construa um flip-flop XY com a seguinte tabela:

X	Y	$Q_{tn+1}$
0	0	$\bar{Q}_{tn}$
0	1	1
1	0	0
1	1	$Q_{tn}$

$\bar{Q}$  significa Q negado.

**Problema 26**

(1º Exame - 6 de Fevereiro de 1987)

Considere que dispõe de um contador síncrono módulo 16, com carregamento paralelo síncrono e reset assíncrono.

Partindo deste contador, cujo funcionamento especificará nos pormenores que achar convenientes, e usando os dispositivos que considerar necessários, mas com a preocupação de usar a menor quantidade possível de circuitos integrados, projecte um circuito que, para além de contar e poder carregado em paralelo, possa também ser usado como registo de deslocamento bidireccional e possua um RESET síncrono.

Especifique a forma de funcionamento do circuito obtido

**Problema 27**

(Exame 28 de Julho de 1986)

Dispõe de um registo **que não é de deslocamento** de 4 bits e de um circuito somador de 4 bits.

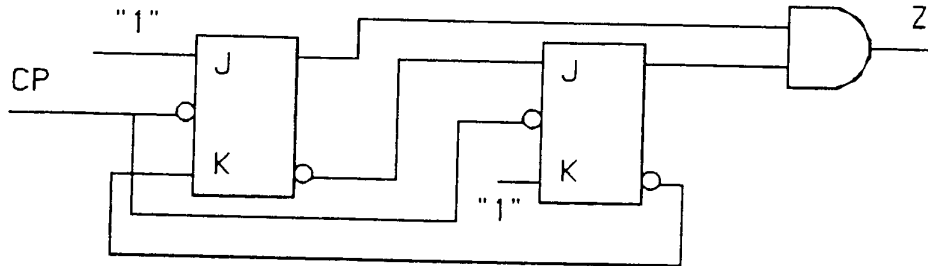
Projecte, usando os multiplexeres e "gates" que achar conveniente, um circuito que permita realizar a seguinte operação:  $((A*2)+B)/2$ .

As operações decorrerão sequencialmente. **Não se pretende que os alunos projectem o control do circuito.** O valor de A será inicialmente carregado em paralelo no registo e multiplicado seguidamente por 2. Será seguidamente somado a B e, após isso, o resultado é dividido por 2.

**Problema 28**

(Rep. do 1º Teste - 20 de Fevereiro de 1987)

a) Considere o seguinte circuito:



em que os flip-flops JK são flip-flops edge-triggered.

Faça o diagrama temporal para a saída Z para a duração de 5 impulsos de relógio.

b) Os tempos dos flip-flops são os seguintes: tempo de propagação: 10ns; tempo de preparação: 5 ns; tempo de manutenção: 7ns. O tempo de propagação do circuito AND é de 15ns. Qual a frequência máxima de funcionamento do circuito?

**Problema 29**

(Rep. do 2º Teste - 20 de Fevereiro de 1987)

a) Usando dois contadores síncronos de 4 bits que especificará como achar conveniente, construa um contador síncrono módulo 200.

b) Refira, qual a frequência máxima de contagem do novo contador em termos dos parâmetros que considerar convenientes

**Problema 30**

(1º Exame - de 1987)

Projecte um contador que conte segundo o código: ...0,3,7,2,5,0,...

Pode usar os flip-flops que desejar.

**Problema 31**

(Exame de 2ª Época - 13 de Abril de 1988)

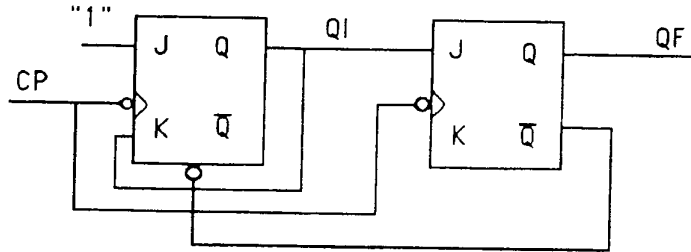
Construa, usando os flip-flops que achar conveniente e o mínimo possível de lógica adicional, um registo de 4 bits com os seguintes 4 modos de funcionamento:

- Carregamento paralelo.
- Contagem descendente.
- Reset síncrono.
- Deslocamento à direita (no sentido do bit menos significativo).

**Problema 32**

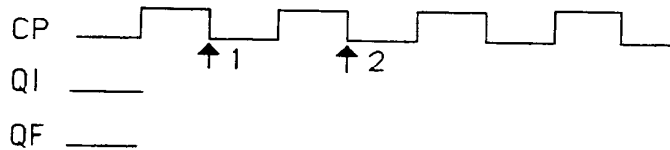
(1º Teste - 12 de Dezembro de 1987)

Considere o seguinte circuito



em que os Flip-Flops são edge-triggered negativos

a) Complete o seguinte diagrama temporal



b) Qual o tempo mínimo entre os flancos 1 e 2 do relógio, em termos das variáveis que considerar relevantes.

**Problema 33**

(1º Teste - 12 de Dezembro de 1987)

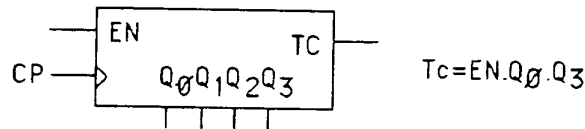
Projecte um registo de deslocamento de 4 bits com duas variáveis de controlo, que tenha os seguintes modos de funcionamento:

- Desloca 1 bit à esquerda
- Desloca circularmente 1 bit à direita
- Faz reset síncrono
- Incrementa uma unidade

**Problema 34**

(1º Teste - 12 de Dezembro de 1987)

Dispõe de contadores decimais como o representado a seguir (com estrutura interna síncrona). O EN quando activado (valor 1), permite a contagem; caso contrário ela não se realiza.



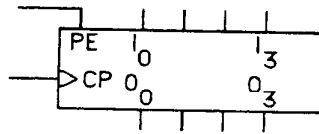
a) Faça uma ligação síncrona de 3 destes contadores de modo a formar um contador módulo 1000

b) Calcule a frequência máxima de operação para o contador módulo 1000 sabendo que:  $t_{pd}(\text{clock-output } Q) = 15 \text{ ns}$ ,  $t_{pd}(\text{clock-TC}) = 25 \text{ ns}$ ,  $t_{pd}(\text{EN-TC}) = 8 \text{ ns}$  e  $t_{\text{set-up}}\text{EN} = 15 \text{ ns}$ .

**Problema 35**

(Exame de 31 de Janeiro de 1989)

Utilizando o contador abaixo representado, que é um contador binário módulo 16, projecte um contador com a seguinte sequência de contagem: ...0,1,2,3,7,9,10,12,0,...

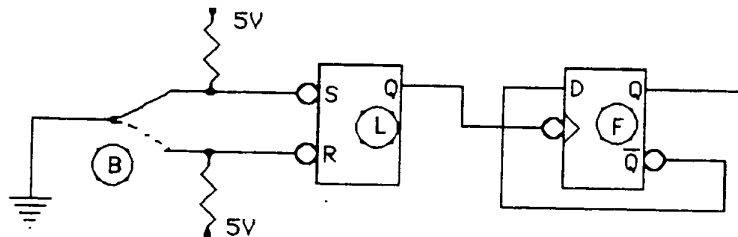


PE é uma linha que controla o carregamento paralelo do contador e é activa a HIGH. Diga ainda se, no projecto que fez assumiu o carregamento síncrono ou assíncrono.

**Problema 36**

(Exame de 21 de Fevereiro de 1988)

Considere o seguinte circuito:



em que **B** é um botão que, quando premido, estabelece o contacto a tracejado e, quando não premido, estabelece o contacto a cheio; L é um latch do tipo SR; F é um flip-flop D edge-triggered negativo.

- Qual a utilidade do circuito?
- Ilustre uma possível estrutura interna para o latch.
- Utilize um flip-flop JK para realizar, no circuito, a mesma função que a que está a ser realizada pelo flip-flop D.

**Problema 37**

(Exame de 21 de Fevereiro de 1988)

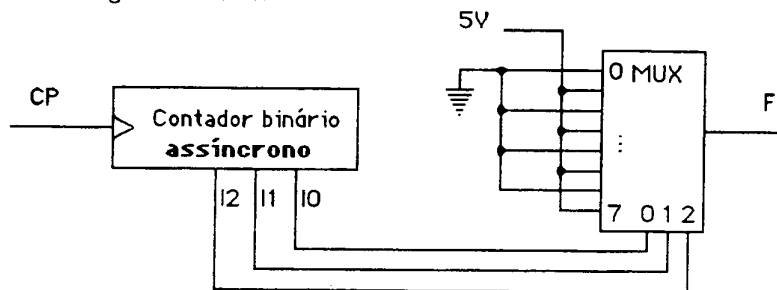
Projecte, usando flip-flops D um registo de 4 bits com 3 modos de funcionamento:

- carregamento em paralelo
- deslocamento à esquerda
- deslocamento circular à direita

**Problema 38**

(Exame de 17 de Março de 1989)

Considere o seguinte circuito:

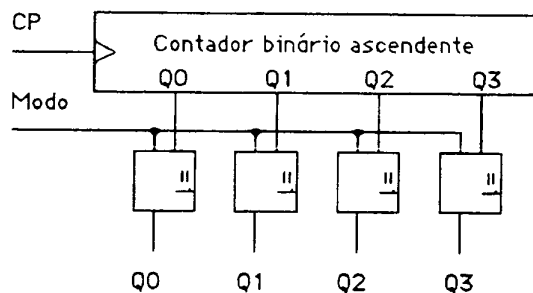


a) Determine o diagrama temporal da saída F quando uma sequência de 10 impulsos surge na entrada CP. Suponha que inicialmente o contador tem a contagem 0. Não dê relevo à existência de estados instáveis nem de atrasos nos circuitos.

b) Entrando agora em conta com a existência de estados instáveis e de atrasos nos circuitos, faça o diagrama pormenorizado, englobando as variáveis I2, I1, I0 e F das transições resultantes da passagem do contador da contagem 3 para a contagem 4.

**Problema 39**

Considere o seguinte circuito:



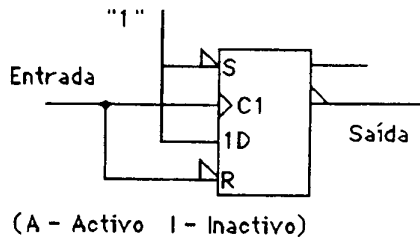
a) Defina as sequências de contagem das saídas das gates OU-EXCLUSIVO, quando Modo = 0 e quando Modo = 1.

b) Como poderia chamar ao circuito global representado? Essa designação está inteiramente correcta?

**Problema 40**

(Exame de 7 de Julho de 1989)

O circuito seguinte é baseado num flip-flop D edge-triggered e é uma proposta de aproveitamento deste circuito para substituir uma negação. (Quando a Entrada está L, o R actua e a saída fica H, quando muda L-H, o Clock, como D está H faz a saída passar a L). Os dados temporais do flip-flop estão indicados na figura.



S	R	C	D	Q	$\bar{Q}$
A	I	X	X	H	L
I	A	X	X	L	H
A	A	X	X	H	H
I	I	↑	H	H	L
I	I	↑	L	L	H
I	I	L	X	$Q_0$	$\bar{Q}_0$
I	I	H	X	$Q_0$	$\bar{Q}_0$

$t_{su D} \max = 20 \text{ ns}$

$t_{su R/S} \max = 6 \text{ ns}$

$t_h = 0 \text{ ns}$

$t_{pd S/R} \max = 50 \text{ ns}$

$t_{pd C} \max = 40 \text{ ns}$

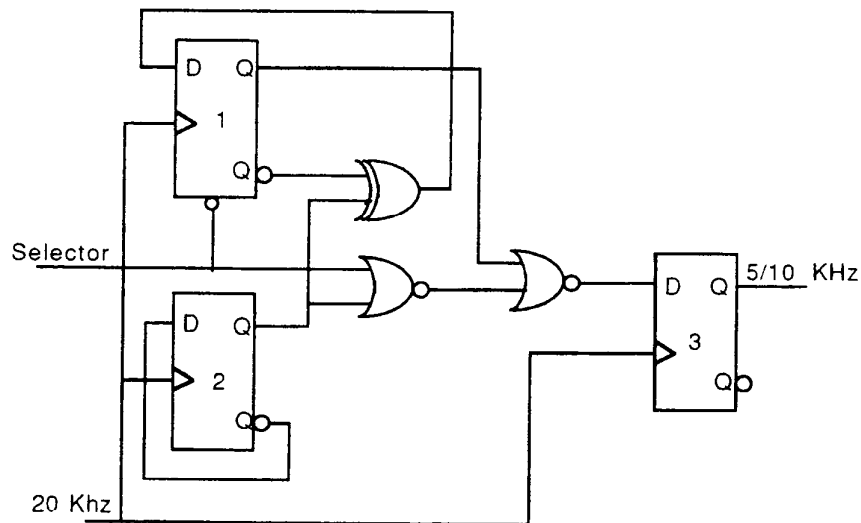
em que  $t_{su D}$  é o tempo de preparação da entrada D,  $t_{su R/S}$  é o tempo de preparação das entradas S e R,  $t_h$  é o tempo de manutenção das entradas,  $t_{pd S/R}$  é o tempo de reacção a uma variação nas entradas S ou R e  $t_{pd C}$  é o tempo de reacção a uma variação no clock.

Explique porque é que o circuito não funciona.

**Problema 41**

(Exame de 17 de Julho de 1989)

Considere o seguinte circuito:



Este circuito é um comutador de relógio que possibilita a comutação entre duas frequências de relógio (5 e 10 MHz) sem produzir picos na transição.

a) Usando diagramas temporais mostre que o circuito funciona independentemente do instante em que a variável selector muda.

b) Substitua o flip-flop 1 e a gate XOR por um flip-flop JK com a lógica necessária

**Problema 42**

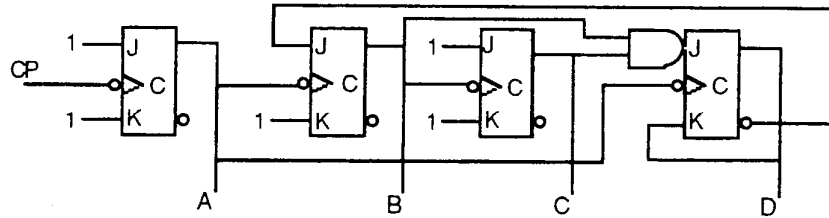
(Exame de 17 de Julho de 1989)

Utilizando flip-flops D projecte um contador up/down síncrono de módulo 6 cuja contagem varie entre 1 e 6.

**Problema 43**

(Exame de 8 de Setembro de 1989)

Considere o seguinte contador assíncrono:



- Determine o módulo de contagem e o diagrama temporal das saídas A,B,C e D em função da linha CP.
- Qual a frequência máxima de funcionamento em função dos tempos relevantes dos componentes usados?

**Capítulo 6**  
**Memórias**

**PROBLEMAS RESOLVIDOS**

**Problema 1**

Classifique os tipos de memória listados quanto aos factores listados:

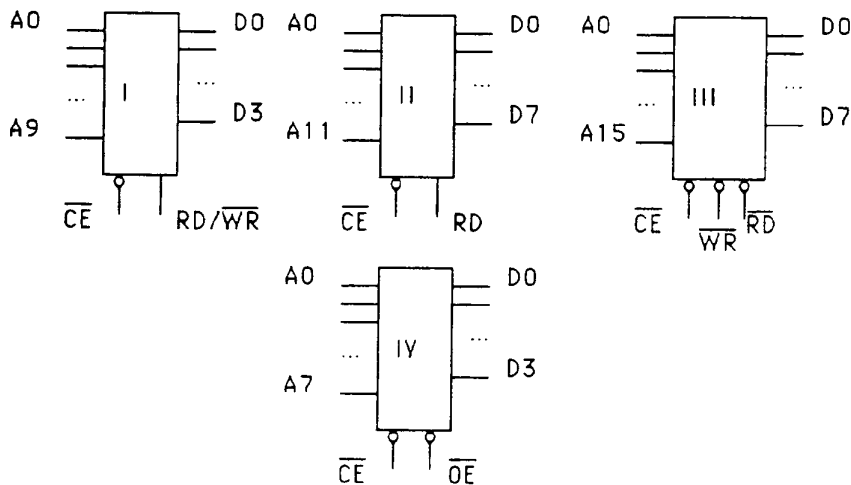
Tipos de memória	Factores
RAM	acesso aleatório
ROM	possibilidade de escrita rápida e sem limite
PROM	no número de vezes
EPROM	possibilidade de leitura
EAPROM	possibilidade de um número limitado de reescritas
	volatilidade

Resolução:

Factor	RAM	ROM	PROM	EPROM	EAPROM
acesso aleatório	√	√	√	√	√
possibilidade de escrita rápida e sem limite no número de vezes	√				
possibilidade de leitura	√	√	√	√	√
possibilidade de um número limitado de reescritas				√	√
volatilidade	√				

**Problema 2**

Considere um certo número de memórias representadas pelos seguintes símbolos em que Ax representa uma linha de endereço, Dx uma linha de dados e CE, OE, RD e WR têm o significado habitual.



Indique, para cada uma delas se se trata de uma RAM ou de uma ROM e qual a capacidade.



Resolução:

Tipo I:

RAM porque tem um modo de funcionamento WR (escrita);

$2^{10} = 1024 = 1K$  palavras com, neste caso 4 bits (D0 a D3).

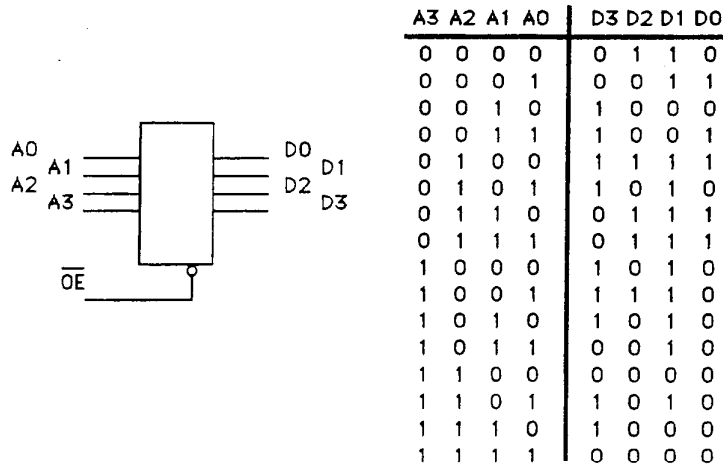
Tipo II: ROM 4K\*8

Tipo III: RAM 64K\*8

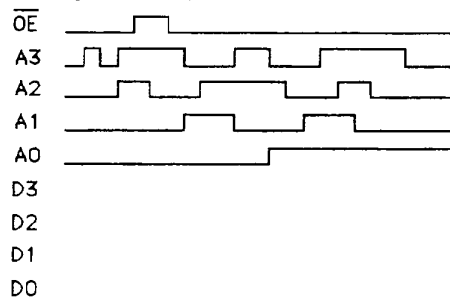
Tipo IV: ROM 256\*4

**Problema 3**

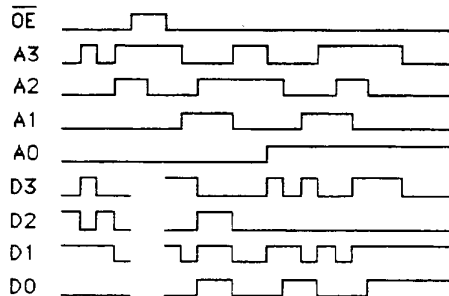
O conteúdo da ROM de 16 palavras de 4 bits de saída tri-state cujo símbolo se indica, está indicado na tabela seguinte:



Complete o seguinte diagrama temporal:



Resolução:



Durante o período em que a variável OE está desactivada, as saídas flutuam. No resto do tempo o conteúdo da ROM determina o valor dos níveis nas linhas de saída. Por exemplo, quando  $A3=1, A2=A1=A0=0$  vem  $D3=D1=1$  e  $D2=D0=0$ .

**Problema 4**

Pretendem implementar-se, através da utilização de uma ROM de 16 x 4 bits, as seguintes funções FO, F1, F2, e F3 das variáveis IO, I1, I2 e I3:

$$\begin{aligned} F_0 &= I_0 + I_1 \\ F_1 &= I_2 \\ F_2 &= (I_0 + I_2) \cdot (I_1 + I_3) \\ F_3 &= I_0 + I_3 + I_2 \end{aligned}$$

Apresente o logograma da solução, incluindo a especificação do conteúdo da ROM.

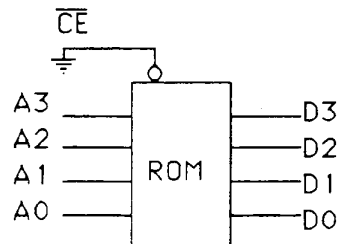
Resolução

A ROM tem 4 linhas de endereço e 4 linhas de dados. Se fizermos corresponder as 4 linhas de endereço às 4 variáveis I0 a I3, é possível com o conteúdo da ROM devidamente escolhido fazer corresponder as 4 funções F0 a F3 às linhas de dados.

Suponhamos então que fazemos  $A_i = I_i$  e  $D_i = F_i$ .

A tabela das funções será simultaneamente a tabela do conteúdo da ROM.

	<i>I3</i>	<i>I2</i>	<i>I1</i>	<i>I0</i>	<i>F3</i>	<i>F2</i>	<i>F1</i>	<i>F0</i>
	A3	A2	A1	A0	D3	D2	D1	D0
Nesta tabela	0	0	0	0	0	0	0	0
as letras em	0	0	0	1	1	0	0	1
<i>itálico</i> refe-	0	0	1	0	0	0	0	1
rem-se à	0	0	1	1	1	1	0	1
interpretação	0	1	0	0	1	0	1	0
como funções	0	1	0	1	1	0	1	1
lógicas, as	0	1	1	0	1	1	1	1
letras normais	0	1	1	1	1	1	1	1
à interpretação	1	0	0	0	1	0	0	0
como ROM e as	1	0	0	1	1	1	0	1
em <b>negrito</b>	1	0	1	0	1	0	0	1
são comuns	1	0	1	1	1	1	0	1
	1	1	0	0	1	1	1	0
	1	1	0	1	1	1	1	1
	1	1	1	0	1	1	1	1
	1	1	1	1	1	1	1	1



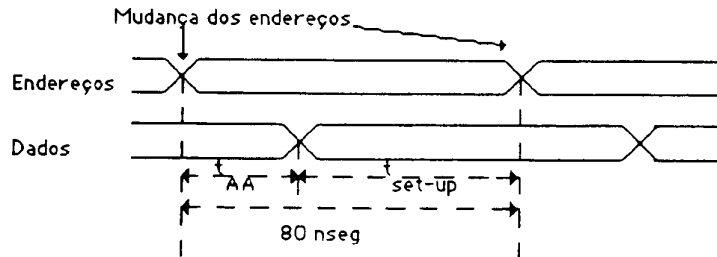
**Problema 5**

Suponha que um dado sistema lê palavras de uma memória a um ritmo definido. Para tal, o sistema coloca o endereço que pretende ler no bus de endereços e mantém-no durante 80 nseg, findos os quais lê o bus de dados e coloca novo endereço no bus de endereços. Supondo que o sinal de CE/ da memória está permanentemente activo e que o tempo de set-up das linhas de dados do sistema é de 50 nseg, qual deve ser o tempo de acesso ( $t_{AA}$ ) máximo destas memórias?

Resolução:

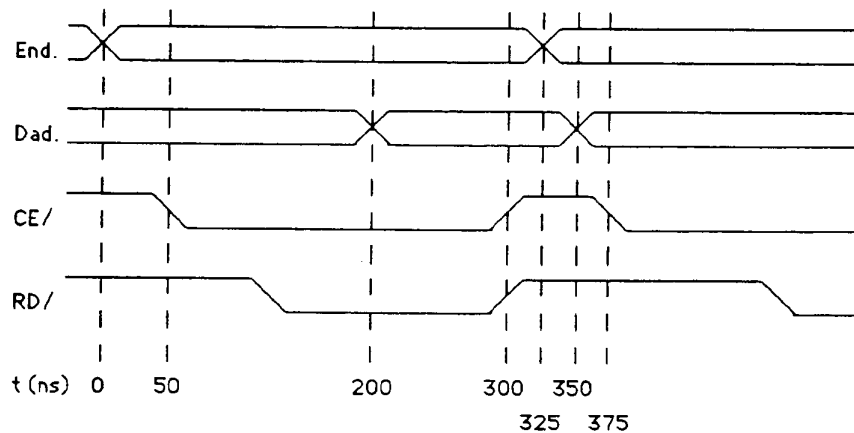
Trata-se, portanto de um sistema que tem um ciclo de leitura de 80 nseg. Neste tempo, o sistema, presumivelmente um microprocessador, coloca o endereço no bus, espera que os dados estejam presentes e lê-os no fim do ciclo. Como o sistema (o micro) lê sincronizadamente com um flanco, e como acontece **sempre** nessas circunstâncias, existe um set-up time das linhas de dados pelo qual o sistema vai ler os dados. Esse set-up time é uma característica do sistema, claro.

Portanto, 50 nseg ( $t_{set-up}$ ) antes do momento de leitura, os dados têm de estar estáveis. Como a informação de endereço foi fornecida às memórias no início do ciclo, elas têm de colocar dados válidos no bus de dados entre estes dois instantes. Como pode ser facilmente visto do diagrama temporal, o tempo que elas têm disponível ( $t_{AA}$ ) será dado pela diferença entre o ciclo total e o  $t_{set-up}$ .



**Problema 6**

Considere o seguinte diagrama temporal em que se considera que o sinal de CE/ e os endereços são alterados cada um deles, o mais tarde possível para os dados ficarem válidos e deixarem de estar nos momentos indicados.



(a) Indique qual o valor dos seguintes parâmetros:

- (1) tempo de acesso das memórias.
- (2) hold-time das linhas de dados (após Endereços Inválidos).
- (3) hold-time após desactivação do sinal de selecção.

(b) Considere que o sistema efectua a leitura dos dados coincidente com o flanco ascendente do sinal de leitura RD/. Se o tempo de acesso das memórias fosse de 250 nseg a leitura seria ainda

correcta ?

(c) Indique qual o tempo de acesso máximo para que a leitura correcta dos dados seja possível.

**Resolução:**

a) 1) O tempo de acesso das memórias é o intervalo que decorre desde que os endereços ficam válidos até que os dados se estabelecem, *admitindo, o que se verifica, que a linha CE/ não constitui uma limitação.*

Da observação da figura conclui-se que esse intervalo é o que vai do ponto  $t=0$  até ao ponto  $t=200$ . Logo  $t_{AA} = 200$  ns.

2) O hold-time das linhas de dados em relação aos endereços é o intervalo de tempo que decorre entre o momento em que os endereços mudam e o momento em que os dados se alteram *por essa razão.*

Da observação da figura conclui-se que esse intervalo é o que vai do ponto  $t=325$  até ao ponto  $t=350$ . Logo  $t_h = 25$  ns.

3) O hold-time das linhas de dados em relação ao sinal de selecção é o intervalo de tempo que decorre entre o momento em que o sinal de selecção é desactivado e o momento em que os dados se alteram *por essa razão.*

Da observação da figura conclui-se que esse intervalo é o que vai do ponto  $t=300$  até ao ponto  $t=350$ . Logo  $t_{hCE} = 50$  ns.

b) A subida da linha RD/ faz-se, na figura em  $t=300$  ns. Os endereços estabilizaram em  $t=0$ ns. Admitindo que o tempo de acesso das memórias é de 250ns, os dados ficam disponíveis no BUS a partir desse instante. Se o tempo de set-up do sistema que lê fôr inferior a  $300-250=50$ ns, a leitura faz-se correctamente.

c) O tempo de acesso máximo, de acordo com o raciocínio anterior será de  $300\text{ns}-t_{\text{set-up}}$ . Naturalmente, se o  $t_{\text{set-up}}$  fôr de 0, então o  $T_{AA}$  máximo será de 300ns.

**Problema 7**

Considere um sistema em que os endereços são alterados de 250 em 250 ns (considere que instantaneamente). O sinal de selecção é activado 50 ns após os endereços (tempo de preparação na lógica de geração deste sinal) e mantêm-se activo até que novos endereços sejam colocados no bus de endereços.

As características do dispositivo de memória que se pretende analisar são as seguintes:

- $t_{AA}$  (tempo de acesso após endereços válidos): 200 ns

- $t_{CS}$  (tempo de acesso após CS activo): 120 ns

- $t_{OH}$  (hold time das linhas de dados): 20 ns

a) Indique os períodos de tempo durante o qual o sistema poderá ler correctamente os dados provenientes do respectivo dispositivo de memória. Faça um diagrama temporal.

b) Repita a alínea anterior para o caso de  $t_{AA} = 150\text{ns}$ ,  $t_{CS} = 150\text{ns}$  e  $t_{OH} = 30\text{ns}$

Resolução:

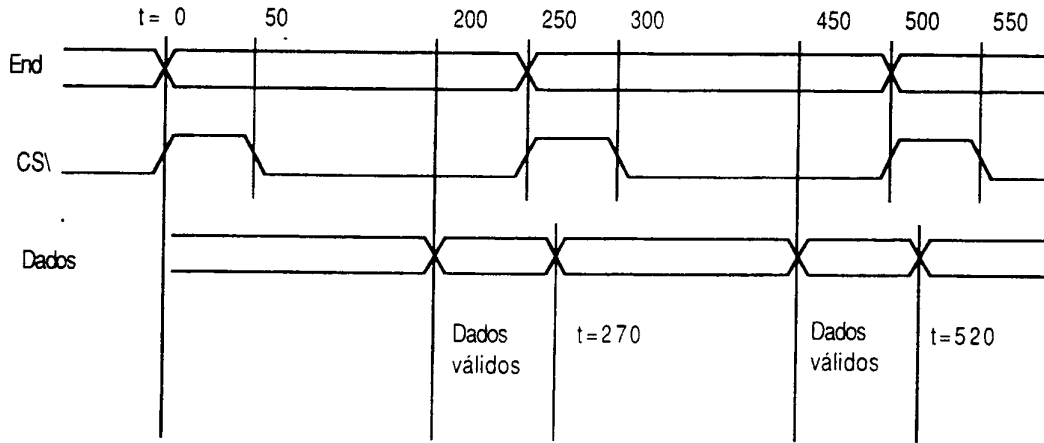
a) Neste caso tem-se

$t_{AA} \geq t_{CS} + \text{tempo de atraso de início de CS}$ , isto é:

$$200 \geq 120 + 50 = 170 \text{ ns,}$$

peço que os dados só estarão estáveis no BUS em  $t=200$  ns depois do início de cada ciclo.

Atendendo que o hold time das linhas de dados é de 20 ns e que os endereços são alterados simultaneamente com a desactivação do sinal de CS, os dados estarão estáveis 70 ns por ciclo.



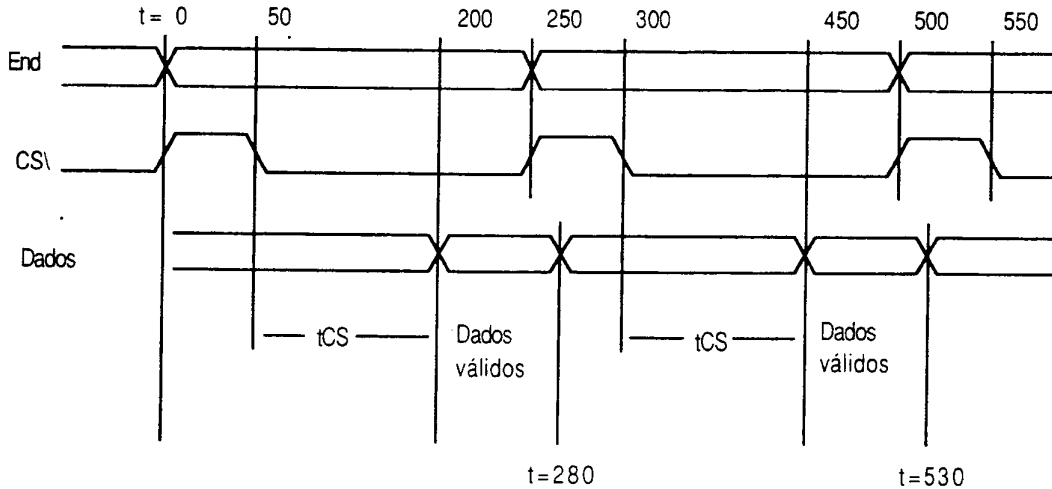
b) Neste caso tem-se

$t_{AA} < t_{CS} + \text{tempo de atraso de início de CS}$ , isto é:

$$150 < 150 + 50 = 200 \text{ ns,}$$

peço que os dados só estarão válidos no BUS em

$t = t_{CS} + \text{tempo de atraso de início de CS}$  depois do início de cada ciclo e manter-se-ão até 30 ns depois do fim de cada ciclo.



No ciclo anterior o factor que condicionava o início do período de dados válidos era o tempo de acesso das memórias. Agora trata-se do TCS.

**Problema 8**

Pretendem escolher-se memórias para um sistema microprocessador dispondo-se de dispositivos com 150 ns, 200 ns e 400 ns de tempo de acesso (considere que  $t_{AA}=t_{CS}$  e que o sinal de CS/ das memórias é activado ao mesmo tempo que os endereços estão estáveis).

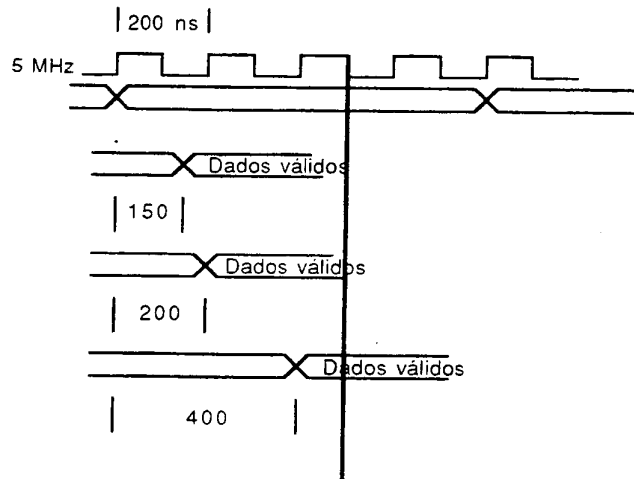
Sabendo que o sistema altera os endereços de 4 em 4 períodos de relógio, e que a leitura dos dados é efectuada no flanco descendente do 3º período de relógio verifique quais as memórias utilizáveis em cada um dos casos seguintes :

- frequência de relógio de 5 MHz
- frequência de relógio de 10 MHz
- frequência de relógio de 20 MHz

Resolução:

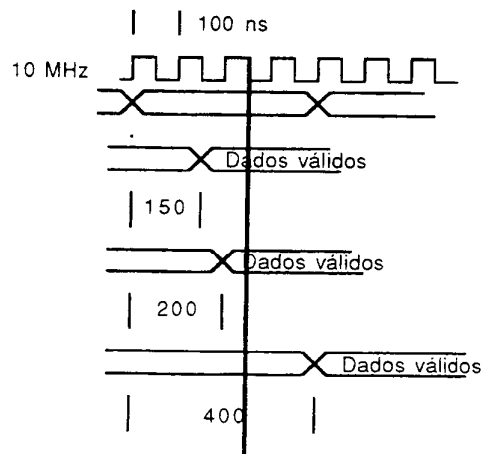
a) Temos que  $T_{AA}=2.5 \times 200 \text{ ns} = 450 \text{ ns}$

A figura ilustra a situação. Como é fácil de verificar os três tipos de memórias são utilizáveis.



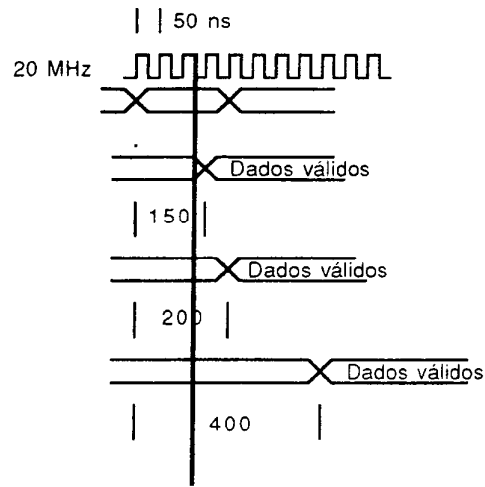
b) Temos que  $T_{AA}=2.5 \times 100 \text{ ns} = 250 \text{ ns}$

A figura ilustra a situação. Como é fácil de verificar são utilizáveis as memórias com tempo de acesso de 150 ns e de 200 ns.



b) Temos que  $T_{AA}=2.5 \times 50 \text{ ns} = 125 \text{ ns}$

A figura ilustra a situação. Como é fácil de verificar não é utilizável nenhuma das memórias.



### Problema 9

Um sistema para acesso a memória possui um bus de endereços com 14 bits ( $A_0$  a  $A_{13}$ ) e um bus de dados com 4 bits ( $D_0$  a  $D_3$ ). Existe ainda um sinal de RD/WR (quando está a 1 faz a leitura e quando está a 0 faz a escrita).

a) Qual o número máximo de palavras potencialmente endereçáveis pelo sistema?

b) Admita que dispõe de 2 RAMs de 1K x 4 cada e 2 ROMs de 1K x 4 bits. Considere que em cada ROM e RAM existe uma entrada de CS/ e outra de EN/ (ambas devem estar a 0 para permitir o endereçamento).

Pretendendo-se ligar as 4 memórias antes referidas ao sistema, desenhe o logigrama respectivo por forma a que as ROMs ocupem as últimas palavras de memória endereçável e as RAMs as primeiras palavras dessa mesma memória.

### Resolução:

a) O número de palavras endereçável é de  $2^{14}$  palavras de 4 bits (equivalente a 16K palavras de 4 bits).

b) O mapa de endereçamento pretendido pode ser apresentado sob a forma da tabela seguinte:

0000<sub>H</sub> a 03FF<sub>H</sub> → RAM1

0400<sub>H</sub> a 07FF<sub>H</sub> → RAM2

0800<sub>H</sub> a 37FF<sub>H</sub> → vago

3800<sub>H</sub> a 3BFF<sub>H</sub> → ROM1

3C00<sub>H</sub> a 3FFF<sub>H</sub> → ROM2

Pode agora verificar-se quais os bits de endereço necessários para se poder fazer a descodificação que permite escolher entre os vários circuitos integrados de memórias envolvidos.

Cada memória tem 1K palavras, isto é, o seu conteúdo é endereçável com 10 bits ( $2^{10} = 1024 = 1K$ ). Esses 10 bits podem assumir configurações de

0000000000<sub>(2)</sub> a

1111111111<sub>(2)</sub>.

ou, se preferirmos em hexadecimal, de 000 a 3FF.

No nosso sistema, portanto, os bits  $A_0$  a  $A_9$  permitem endereçar internamente aos integrados de memória e serão os bits de endereço restantes ( $A_{10}$  a  $A_{13}$ ) que vão permitir diferenciar entre os diversos integrados.

Vemos que a RAM1 é endereçada quando

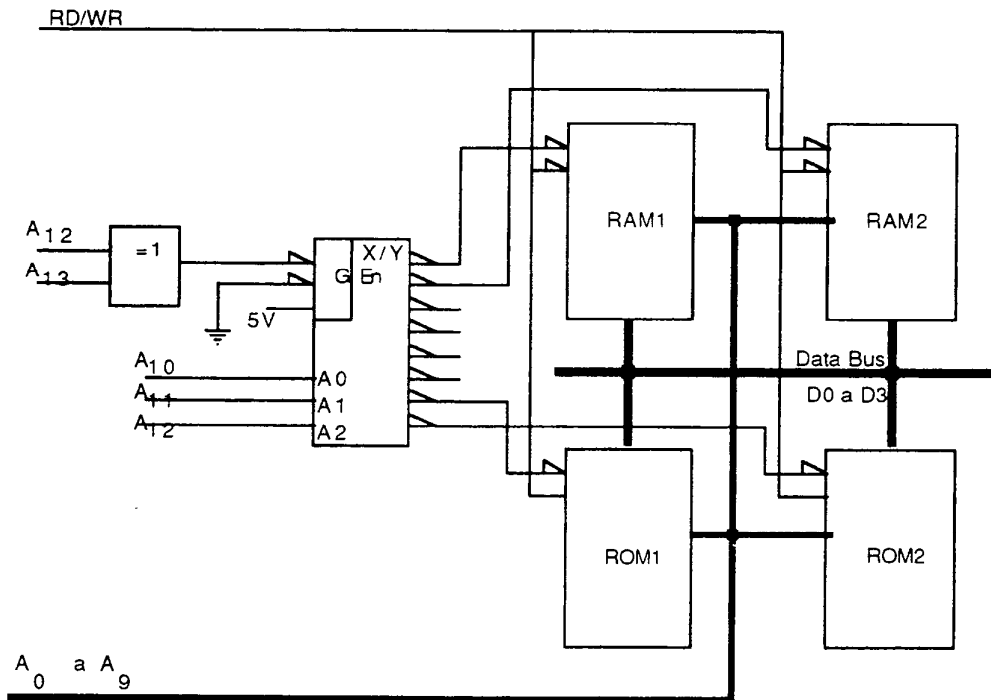
$A_{13}=0$   $A_{12}=0$   $A_{11}=0$   $A_{10}=0$ ,  
 a RAM2 é endereçada quando  
 $A_{13}=0$   $A_{12}=0$   $A_{11}=0$   $A_{10}=1$ ,  
 a ROM1 é endereçada quando  
 $A_{13}=1$   $A_{12}=1$   $A_{11}=1$   $A_{10}=0$ ,  
 e a ROM2 é endereçada quando  
 $A_{13}=1$   $A_{12}=1$   $A_{11}=1$   $A_{10}=1$ .

Uma solução possível poderia ser obtida a partir de um descodificador de 4 entradas e 16 saídas, mas existem, para este problema em particular, soluções mais interessantes. Usaremos um descodificador de 3 entradas e 8 saídas (74LS138) e 3 sinais de Enable, 2 sinais activos a L e 1 sinal activo a H.

Verifica-se da tabela acima que, para zonas activas da memória se tem sempre  $A_{13}=A_{12}$ . Assim, usando um OU-EXCLUSIVO podemos limitar a zona de descodificação do 74LS138 a 8K palavras ligando a sua saída a uma das entradas de Enable.

Os 4 circuitos de memória podem ser distinguidos pelas 3 linhas de endereço  $A_{10}$  a  $A_{12}$ .

O logigrama correspondente será então:



### Problema 10

Suponha que tem de projectar uma memória com 8Kbytes para um sistema que utiliza um bus de endereços com 16 bits ( $A_0$  a  $A_{15}$ ) e um bus de dados com 8 bits ( $D_0$  a  $D_7$ ) e que só dispõe de circuitos de memória com 1Kx4.

Suponha ainda que pretende localizar essa memória nos endereços 0 a 8K-1.

a) Diga quantos circuitos de memória necessitaria?  
 b) Diga como faria a selecção destes circuitos de memória usando para o efeito uma gate AND de 3 entradas e um descodificador com 3 entradas de dados, uma entrada de ENABLE e 8 saídas (activas a 0)

c) Repita a alínea anterior usando em vez do descodificador, uma PROM com 4 bits de endereços e 8 saídas. Explícite o conteúdo dessa PROM.

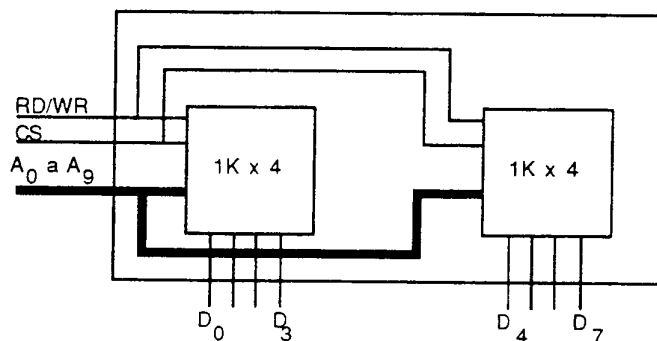


Resolução:

a) Atendendo a que necessitamos de 8K x 8 bits seriam necessários 16 circuitos de memória de 1K x 4 bits.

b) Dado que o bus de dados do sistema é de 8 bits e que cada memória tem 4 bits de dados, é necessário formatar o sistema de tal modo que metade das memórias estão ligadas aos bits de dado D<sub>0</sub> a D<sub>3</sub> e a outra metade aos bits D<sub>4</sub> a D<sub>7</sub>.

Para facilidade de desenho vai-se definir um módulo de 1K x 8 bits composto por duas memórias de 1K x 4:



O mapa de endereçamento pretendido para os 8 dispositivos "virtuais" de 1K x 8 é o seguinte:

Memória	Endereço inferior		Endereço superior
A	0000	a	03FF
B	0400	a	07FF
C	0800	a	0BFF
D	0C00	a	0FFF
E	1000	a	13FF
F	1400	a	17FF
G	1800	a	1BFF
H	1C00	a	1FFF

Pode verificar-se por esta tabela que, na selecção de todos os circuitos de memória, as linhas de endereço A<sub>13</sub> a A<sub>15</sub> são sempre 0. Nessas condições, o "enable" de todo este bloco de memória deverá estar activo somente nessas circunstâncias. Assim, um AND da negação dessas 3 linhas controlará o enable do circuito descodificador.

As entradas desse circuito serão naturalmente as linhas de endereço que permitem escolher entre os diversos dispositivos de memória. Da tabela anterior resulta o seguinte:

Memória activa	A12	A11	A10
A	0	0	0
B	0	0	1
C	0	1	0
D	0	1	1
E	1	0	0
F	1	0	1
G	1	1	0
H	1	1	1

O logigrama do sistema será portanto o ilustrado na página seguinte:

c) O número de palavras da PROM a utilizar (74S288) é 32. Atendendo a que existe um sinal de Enable activo a Low na referida PROM que permite, quando a High que todas as saídas

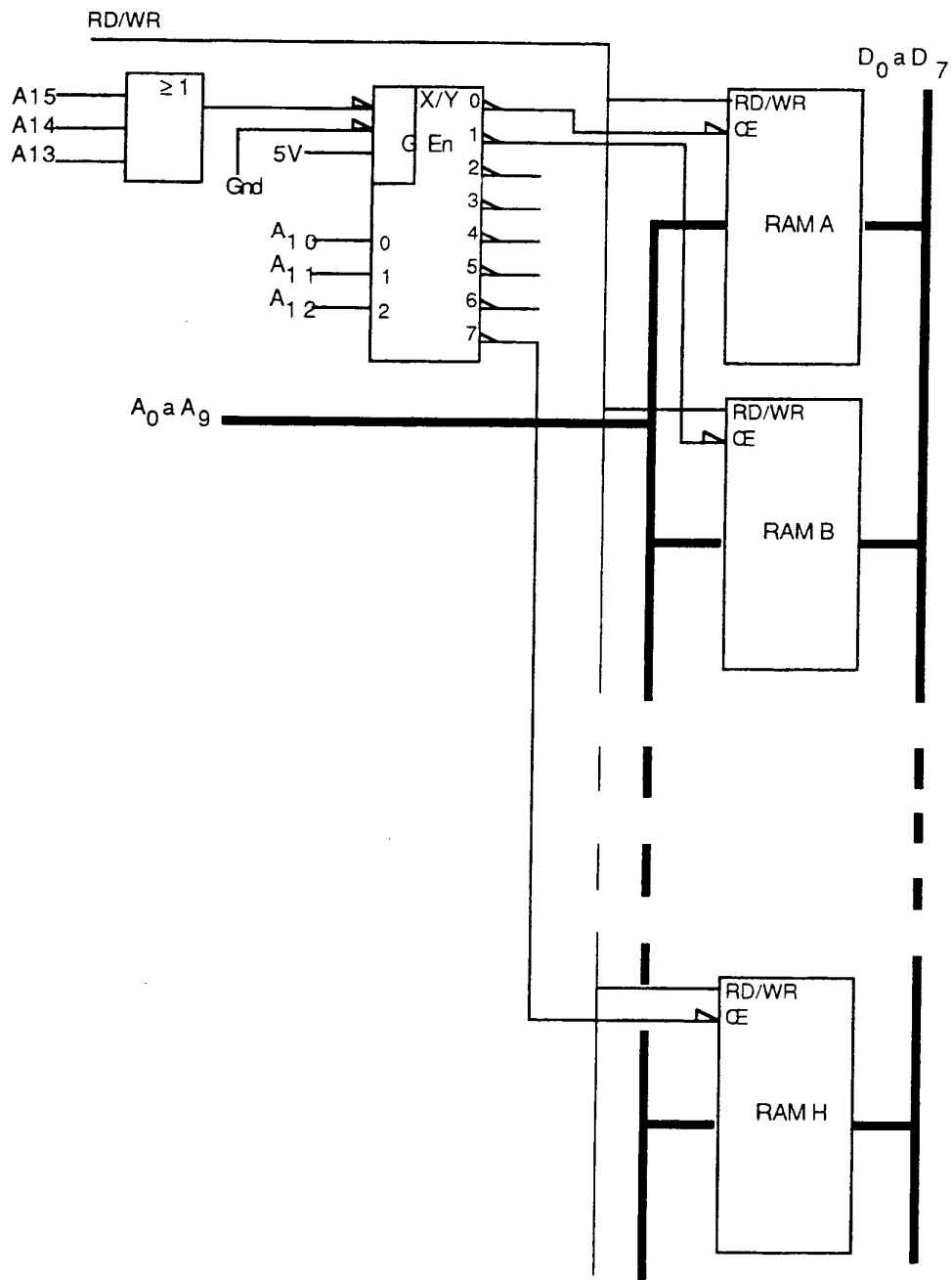
fiquem inactivas, vamos usá-lo para permitir a actividade das saídas da PROM apenas entre os endereços de sistema 0000<sub>H</sub> e 7FFF<sub>H</sub>.

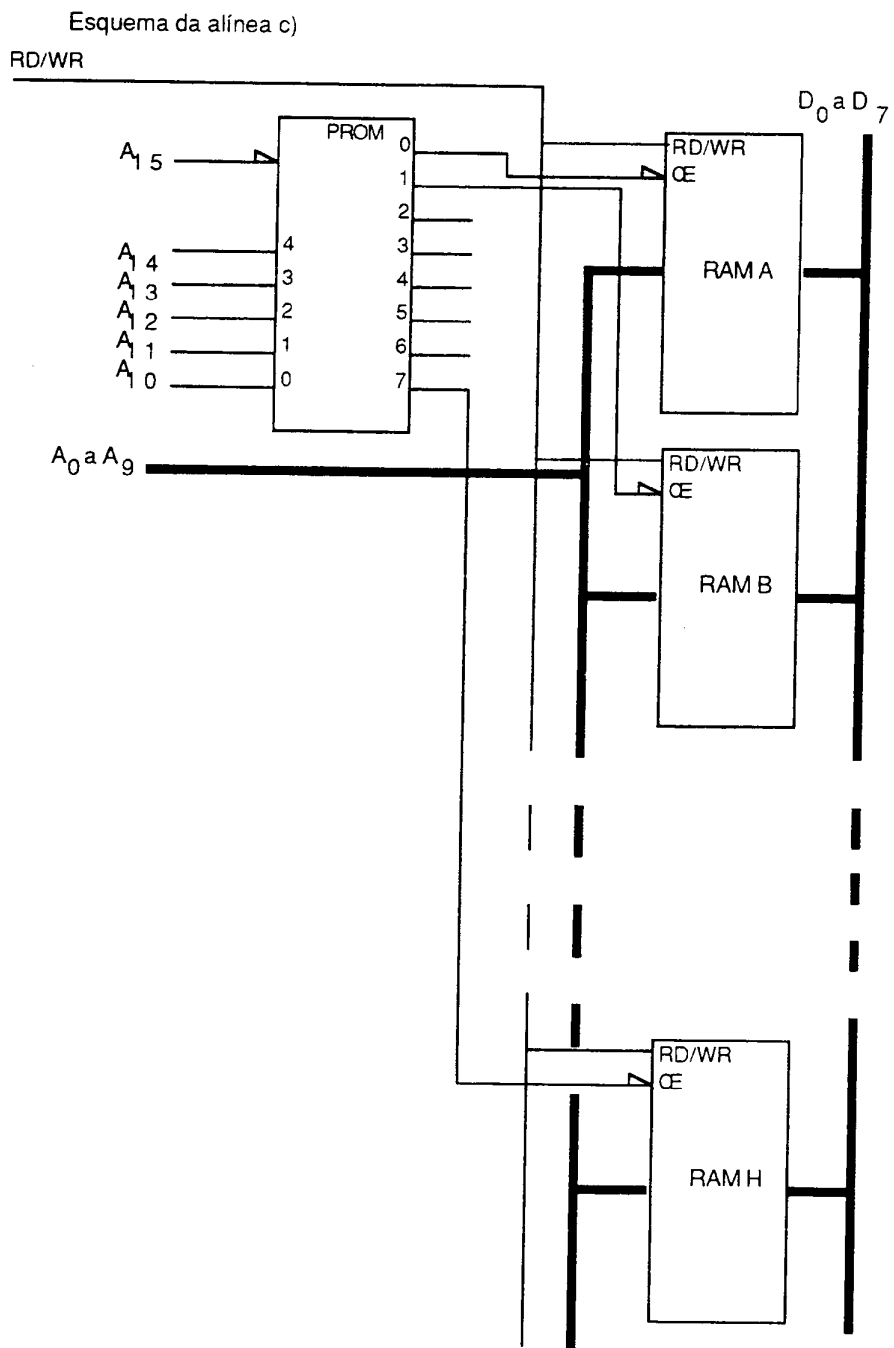
O esquema de ligações é idêntico ao da alínea anterior com excepção da zona de descodificação de endereços.

O conteúdo da PROM é o seguinte: .

Endereço	conteúdo (bin)	conteúdo (Hex)
0	11111110	FE
1	11111101	FD
2	11111011	FB
3	11110111	F7
4	11101111	EF
5	11011111	DF
6	10111111	BF
7	01111111	7F
8	11111111	FF
...		
26	11111111	FF (como exemplo de uma linha entre 8 e 31)
...		
31	11111111	FF

Esquema da alínea b)





**Problema 11**

Considere um sistema com um bus de endereços de 16 bits ( $A_0$  a  $A_{15}$ ), um bus de dados com 8 bits ( $D_0$  a  $D_7$ ) e um bus de controlo do qual fazem parte, entre outros, os sinais de RD e WR (ambos activos a zero).

Pretende dotar-se este sistema de 4 K bytes de memória RAM (localizada a partir do endereço  $5000_H$ ) e de 8K bytes de memória EPROM (localizada a partir do endereço  $0000_H$ ). Admita que dispõe de memórias RAM de dimensão  $2K \times 8$  bits e EPROM de  $4K \times 8$  bites .

Faça o logograma das ligações destes dispositivos admitindo que faz a descodificação usando descodificadores de 3 entradas e 8 saídas (activas a zero).

Resolução:

São necessárias duas RAMs de  $2K \times 8$  e duas EPROMs de  $4k \times 8$  para prefazer a memória necessária para o sistema.

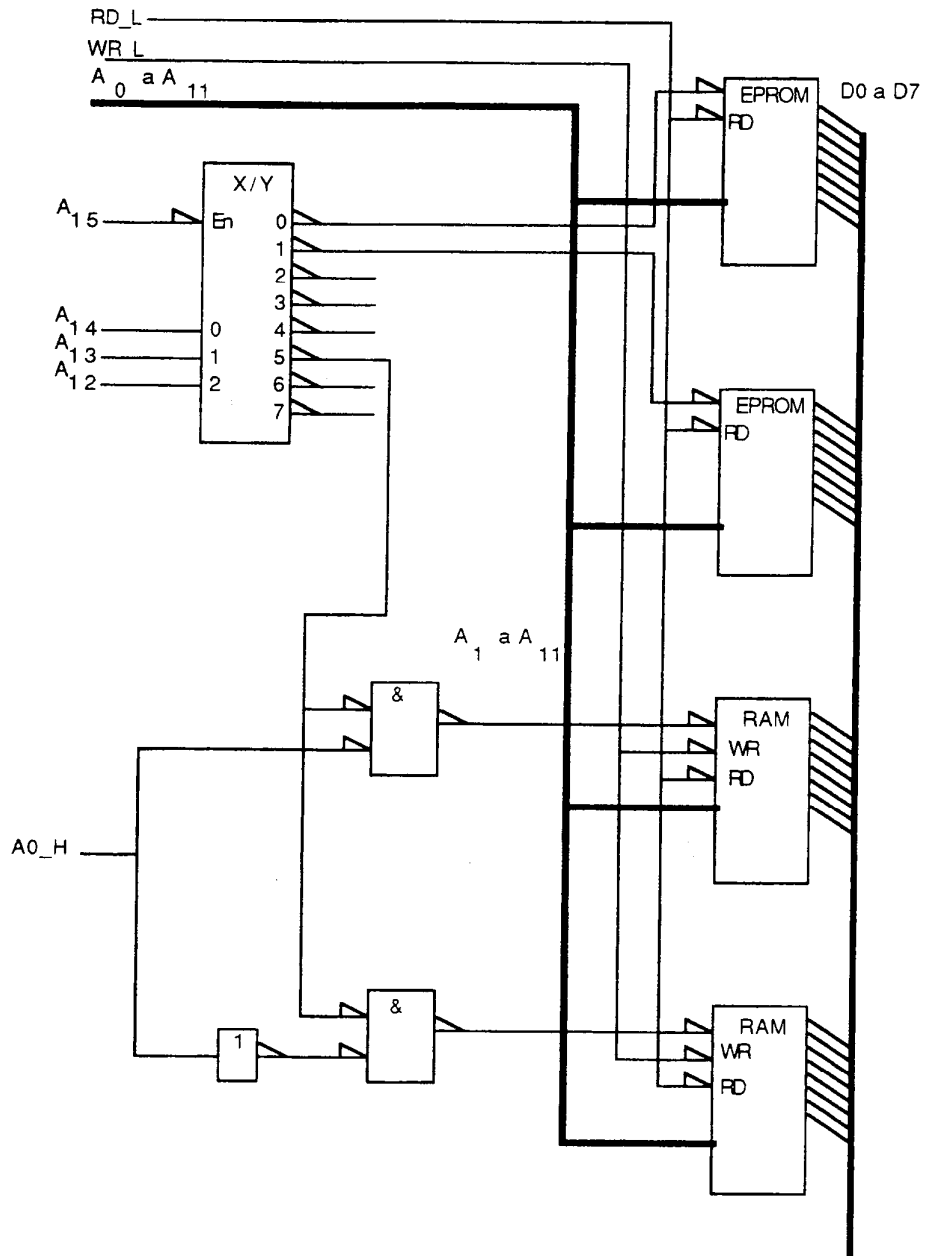
O Mapa de memória de cada um dos dispositivos é o seguinte:

EPROM1	de	$0000_H$	a	$0FFF_H$
EPROM2	de	$1000_H$	a	$1FFF_H$
RAM1	de	$5000_H$	a	$57FF_H$
RAM2	de	$5800_H$	a	$5FFF_H$

Para minimizar o número de descodificadores a utilizar vamos apresentar um pequeno truque a título puramente ilustrativo que não se pretende que os alunos utilizem abundantemente mas que lhes pode abrir perspectivas mais amplas.

O truque consiste então em impôr que as leituras das memórias RAM sejam feitas alternadamente das duas RAMs. Desta forma quando o bit de endereço é "0" actuar-se-á na RAM1. Quando esse bit for "1" actuar-se-á na RAM2.

Necessitaremos nesta implementação de 1 descodificador de 3 entradas, 8 saídas e 1 entrada de "enable", para além de algumas gates.



**Problema 12**

Pretende implementar-se um circuito sequencial que tem como entrada um número binário de 3 bits e gera à sua saída o quadrado desse mesmo número.

Faça a tabela de verdade do respectivo circuito e mostre que ele pode ser implementado usando apenas uma ROM de 8 palavras de 4 bits cada.

Resolução:

Do ponto de vista funcional, pretende-se um circuito com o comportamento ilustrado na seguinte tabela:

Número	Quadrado
0	0
1	1
2	4
3	9
4	16
5	25
6	36
7	49

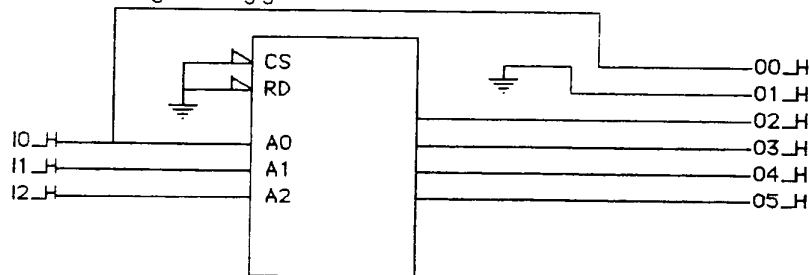
Do ponto de vista lógico, esta tabela transforma-se na seguinte tabela em termos de variáveis binárias:

Número			Quadrado					
I2	I1	I0	O5	O4	O3	O2	O1	O0
0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	1
0	1	0	0	0	0	1	0	0
0	1	1	0	0	1	0	0	1
1	0	0	0	1	0	0	0	0
1	0	1	0	1	1	0	0	1
1	1	0	1	0	0	1	0	0
1	1	1	1	1	0	0	0	1

Desta tabela pode concluir-se que:

- O1 é sempre 0;
- O0 é sempre igual a I0.

Assim as 8 palavras da ROM servirão para "calcular" apenas as restantes variáveis. O sistema terá o seguinte logograma:



O conteúdo da ROM é o seguinte:

Endereço	Conteúdo
0	0
1	0
2	1
3	2
4	4
5	6
6	9
7	C

(Valores em hexadecimal)

**Problema 13**

Suponha que dispõe de circuitos RAM de  $2K \times 4$  e ROM de  $4K \times 8$ .

Projecte um sistema de memória para incluir num computador com um bus de endereços de 16 bits e um bus de dados de 8 bits, obedecendo às seguintes imposições:

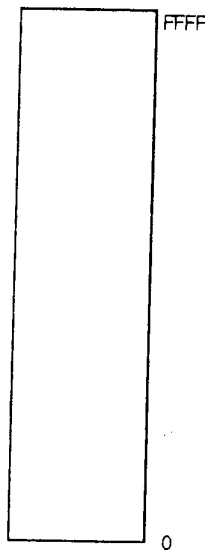
A RAM ficará colocada a partir do endereço  $C000_{(16)}$  até ao máximo. A ROM ficará dividida em dois blocos: um de  $8K \times 8$  a partir do endereço 0 e o outro de meio do espaço de endereçamento até à zona de RAM.

Resolução:

Do enunciado resulta que se pretende, num espaço de endereçamento definido por 16 bits, colocar 3 blocos de memória.

16 bits de endereço definem um espaço de 64K ( $64 \times 1K = 64 \times 1024 = 65536$ ) palavras de memória. Os endereços limite são, portanto, 0 e  $64K-1$  ou, em hexadecimal, 0 e FFFF.

Representemos esse espaço por um rectângulo:



Preferimos usar a notação hexadecimal a qualquer outra por ser a que, mantendo uma forma condensada (por oposição ao binário puro), mas dá informações úteis sobre os bits individuais (por oposição ao decimal).

Marquemos no espaço de endereçamento as zonas de memória pretendidas:

Pretendemos RAM a partir de  $C000$  até ao limite superior, isto é, de  $C000$  a  $FFFF$ .

$C000$  é o menor número que, em binário, tem os dois bits da esquerda (mais significativos) iguais a 1 ( $C_{16} = 1100_2$ ).

Isto significa que, a parte com RAM é o quarto superior do espaço de endereçamento (se não é óbvio, devia ser; pensem um bocadinho...).

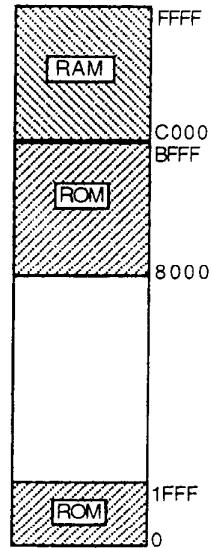
O primeiro bloco de ROM vai de 0 a  $8K$ , isto é, ocupa o primeiro oitavo do espaço de endereçamento ( $8 \times 8 = 64$ , não é verdade?) e, portanto, vai de 0 a  $1FFF$  em hexadecimal (como é que eu descobri isto? Há vários caminhos...).

O segundo bloco de ROM começa a meio do espaço de endereçamento e vai até ao bloco de RAM.

Tem, portanto, como limite inferior  $8000$  e limite superior  $BFFF$ .

Portanto, a situação pode ser assim esquematizada:





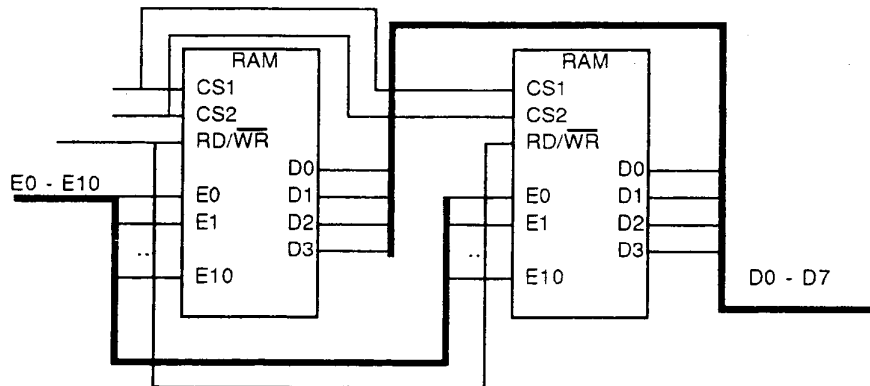
Sabendo a estrutura pedida do conjunto do sistema de memória vamos agora analisar cada bloco em maior detalhe.

Para construir um bloco de 16K x 8 de RAM dispomos de integrados de 2K x 4.

Teremos, portanto, de usar vários integrados.

Como temos que ter palavras de 8 bits e os integrados têm palavras de 4 bits, a primeira acção é agrupar as memórias RAM duas a duas.

A solução clássica é a seguinte:



Representaremos este bloco por um símbolo de uma pseudo-memória de 8 bits de dados.

Note-se que escolhemos memórias com dois CS, isto é, que só funcionam com os dois CS activos. Estes integrados existem e podem ser úteis...

Uma vez que cada um destes blocos tem 2K de RAM e precisamos de 16K, teremos que usar 8 blocos de 2 integrados, ao todo 16 integrados de RAM.

Cada integrado tem 2K, isto é, em hexadecimal tem endereços próprios de 0 a 7FF.

Portanto o primeiro grupo de RAMs cobrirá o espaço de endereçamento de C000 (início do espaço de RAM) a C7FF (C000 + 7FF).

O bloco seguinte começará em C800 (C7FF + 1) e termina em CFFF (C400 + 7FF).

Desta forma é fácil construir a tabela seguinte:

RAM0	de C000	a C7FF
RAM1	de C800	a CFFF
RAM2	de D000	a D7FF
RAM3	de D800	a DFFF
RAM4	de E000	a E7FF
RAM5	de E800	a EFFF
RAM6	de F000	a F7FF
RAM7	de F800	a FFFF

É fácil ver o seguinte:

Em todo o bloco de RAM os dois bits mais significativos de endereço E15 e E14 são sempre "1" (já sabíamos, aliás). Portanto qualquer destas RAMs só estará activa quando  $E15 \cdot E14 = 1$ .

A RAM0 estará activa para todos os endereços em que, para além de  $E15 = E14 = 1$  seja  $E13 = E12 = E11 = 0$ .

De facto,

		E15	E14	E13	E12	E11	E10	E9	...	E0
RAM0	C000	1	1	0	0	0	0	0		0
	C7FF	1	1	0	0	0	1	1		1

A RAM1 estará activa quando  $E13 = E12 = 0$  e  $E11 = 1$ .

De facto,

RAM1	C800	1	1	0	0	1	0	0		0
	CFFF	1	1	0	0	1	1	1		1

É fácil construir uma tabela com estes dados para todas as memórias RAM:

		E15	E14	E13	E12	E11	E10	E9	...	E0
RAM0	C000	1	1	0	0	0	0	0		0
	C7FF	1	1	0	0	0	1	1		1
RAM1	C800	1	1	0	0	1	0	0		0
	CFFF	1	1	0	0	1	1	1		1
RAM2	D000	1	1	0	1	0	0	0		0
	D7FF	1	1	0	1	0	1	1		1
RAM3	D800	1	1	0	1	1	0	0		0
	DFFF	1	1	0	1	1	1	1		1
RAM4	E000	1	1	1	0	0	0	0		0
	E7FF	1	1	1	0	0	1	1		1
RAM5	E800	1	1	1	0	1	0	0		0
	EFFF	1	1	1	0	1	1	1		1
RAM6	F000	1	1	1	1	0	0	0		0
	F7FF	1	1	1	1	0	1	1		1
RAM7	F800	1	1	1	1	1	0	0		0
	FFFF	1	1	1	1	1	1	1		1

Verifica-se, portanto, que, dentro do bloco de RAM, são os bits de endereço E13, E12 e E11 que seleccionam qual dos blocos de RAM responde a um determinado endereço.

Usaremos um descodificador de 3 entradas e 8 saídas. As entradas, como é óbvio, serão os bits de endereço referidos. As saídas ligarão, cada uma, a um dos CS de cada bloco de 2 RAMs.

Não esqueçamos, porém, que o bloco todo só deve estar activo se o endereço for maior ou igual a C000, isto é, se  $E15 = E14 = 1$ .

A primeira solução para resolver isto seria fazer o Enable do descodificador = E15·E14.

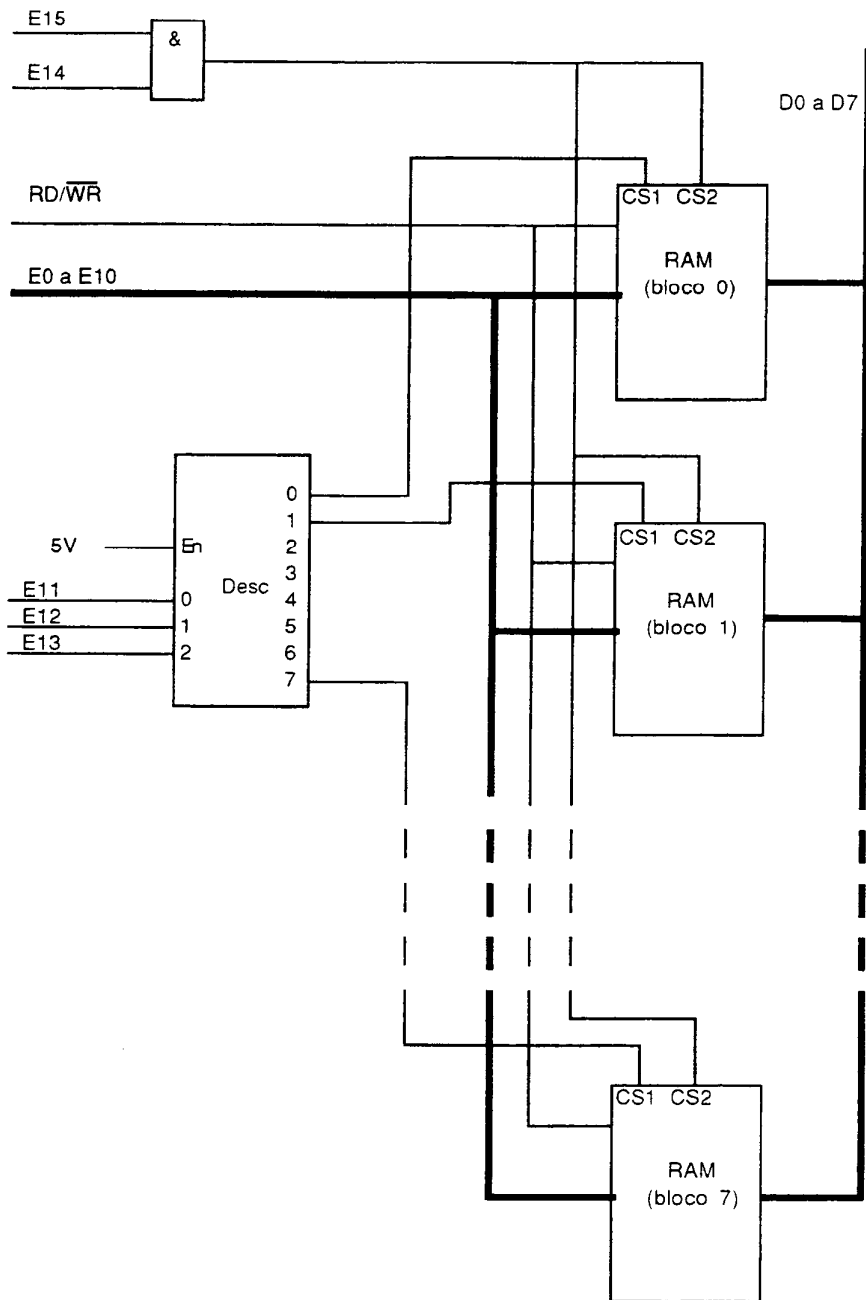
Temos ainda outra solução disponível. Trat-se de ligar 0 2º CS das RAMs à saída da função E15·E14.

Qual das duas soluções usar?

A linha E15·E14 na 2ª hipótese ataca 16 linhas CS (tantas quantas as RAMs). É necessário confirmar se o fan-out é suficiente. Se não fôr, não podemos usar esta solução.

Em igualdade de possibilidades, seria de usar a solução que garante menor tempo de acesso total, o que, no caso, é, quase de certeza (era preciso confirmar no catálogo) a 2ª hipótese.

Nestas circunstâncias o bloco de RAM ficará com a seguinte estrutura (não se trata de um esquema formal):



Vejamos agora, abreviadamente o bloco de ROM.

		E15	E14	E13	E12	E11	E10	E9	...	E0
ROM0	0000	0	0	0	0	0	0	0	...	0
	0FFF	0	0	0	0	1	1	1	...	1
ROM1	1000	0	0	0	1	0	0	0	...	0
	1FFF	0	0	0	1	1	1	1	...	1
ROM2	8000	1	0	0	0	0	0	0	...	0
	8FFF	1	0	0	0	1	1	1	...	1

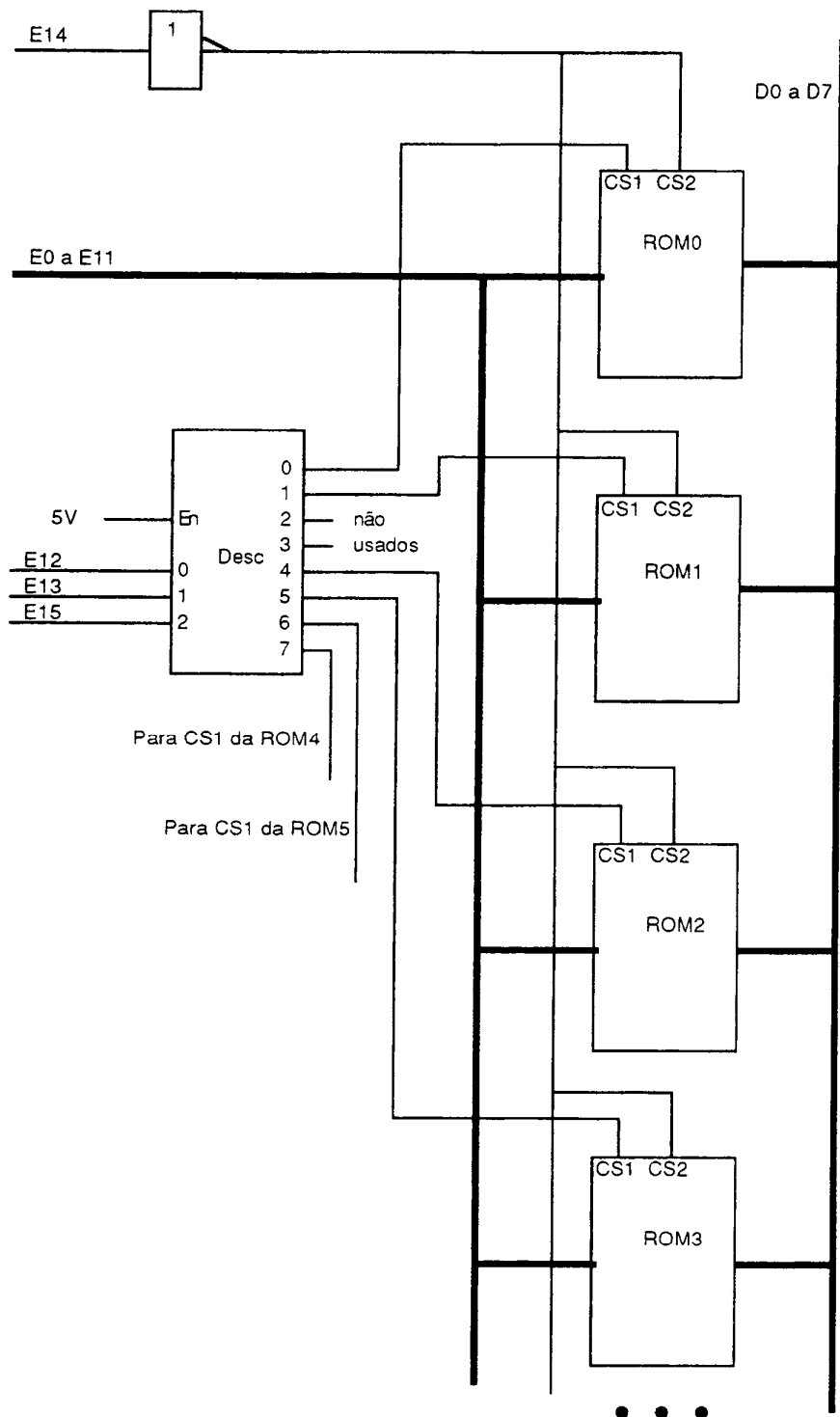
ROM3	9000	1	0	0	1	0	0	0	0
	9FFF	1	0	0	1	1	1	1	1
ROM4	A000	1	0	1	0	0	0	0	0
	AFFF	1	0	1	0	1	1	1	1
ROM5	B000	1	0	1	1	0	0	0	0
	BFFF	1	0	1	1	1	1	1	1

Nas ROM é fácil de ver que a distinção entre os integrados é feita pelos bits E15, E13 e E12. A condição de activação deste bloco será  $E14=0$ .

Daqui se conclui pelo uso de um novo descodificador de 3 entradas e de um ataque directo a um segundo CS das ROMs pela negação do bit E14.

Virá, portanto:

(ver página seguinte)



## Capítulo 6 Memórias

### PROBLEMAS PROPOSTOS

#### **Problema 1**

Considere que o tempo de set-up das linhas de dados (para escrita) de uma memória RAM é de 25 ns e que o hold-time dessas mesmas linhas é de 10 ns.

Qual deve ser o período de tempo mínimo durante o qual as linhas de dados devem estar estáveis se a duração mínima do impulso de escrita WE/ fôr de 100ns?

Faça um diagrama temporal que ilustre a situação.

#### **Problema 2**

Uma memória ROM tem os seguintes parâmetros característicos:

$$t_{AA} = 250 \text{ ns}; t_{CE} = 150 \text{ ns}; t_H = 100 \text{ ns}$$

a) Em  $t=0$  um endereço válido é colocado no bus de endereços aparecendo o sinal de selecção CE/ em  $t=50$  ns. Os endereços são alterados em  $t=300$  ns (admita que instantaneamente). Qual o período de tempo durante o qual os dados estão estáveis no bus de dados após o primeiro endereço.

b) Repita a alínea anterior no caso de CE/ ficar activo em  $t=200$  ns.

#### **Problema 3**

Suponha que dispõe de uma ROM de  $1k \times 8$  bits mas que, para o seu sistema, necessita de 512 palavras de 4 bits. Usando uma ROM como a descrita, faça o logigrama do sistema pretendido.

#### **Problema 4**

Dispõe de um sistema com um bus de endereços com 16 bits ( $A_0$  a  $A_{15}$ ) e um bus de dados com 8 bits ( $D_0$  a  $D_7$ ).

a) Escreva, em hexadecimal, o número de palavras potencialmente endereçáveis por esse sistema.

b) Se as memórias disponíveis para configurar o sistema forem 8 ROMs de  $1K \times 4$  e 8 RAMs de  $2K \times 4$ , qual a capacidade de memória com que o sistema fica?

c) Faça o logigrama do sistema descrito na alínea anterior, sabendo que cada memória dispõe de uma entrada de CS activa a LOW, de modo a que a memória ROM fique localizada nos endereços menores e a memória RAM nos endereços maiores. Pode usar para o efeito descodificadores de 3 entradas e 8 saídas e as gates necessárias.

#### **Problema 5**

Um sistema de acesso a memória possui um bus de endereços com 16 bits ( $A_0$  a  $A_{15}$ ) e um bus de dados de 8 bits ( $D_0$  a  $D_7$ ).

a) Se as memórias para configurar o sistema forem 2 ROM de  $8K \times 8$  e 8 RAM de  $2K \times 8$ , qual a capacidade de memória com que o sistema fica?

b) Faça o logigrama do sistema descrito com as memórias referidas na alínea anterior, de modo a que a memória ROM fique localizada nos endereços menores de memórias (a partir do endereço 0000H) e a memória RAM fique localizada na zona de menores endereços da metade superior da memória (a partir do endereço 8000H).

A leitura de informação consecutiva em ROM é feita alternadamente da ROM1 e da ROM 2. Qualquer das memórias ROM ou RAM tem uma entrada de CS activa a LOW.

#### **Problema 6**

Considere um sistema com um bus de endereços de 16 bits ( $A_0$  a  $A_{15}$ ) e um bus de dados com 16 bits igualmente ( $D_0$  a  $D_{15}$ ). O bus de controlo deste sistema contém, entre outros, os sinais de RD e WR activos a LOW e um sinal de BHEN que quando está LOW indica que se

pretendem ler os 8 bits mais significativos do bus de dados ( $D_8$  a  $D_{15}$ ) e quando está HIGH que é inibida essa leitura. A sua conjugação com o bit de endereço.  $A_0$  permite ler o bus de dados de três formas distintas: (1)  $D_0$  a  $D_{15}$ , (2)  $D_0$  a  $D_7$  e (3)  $D_8$  a  $D_{15}$  neste caso deslocados para as linhas  $D_0$  a  $D_7$ .

Pretende dotar-se este sistema de 8K bytes de memória RAM usando memórias de 2Kx8 com um sinal de CS e um sinal de WE ambos activos a LOW. Esta memória deve ficar localizada a partir do endereço 1000H.

a) Faça o logograma das ligações destes dispositivos de memória ao sistema usando como descodificador uma PROM de 16 palavras de 8 bits, que tem além das entradas de endereços e saídas activas a zero, um sinal de OE/ que quando a HIGH permite pôr todas as saídas a HIGH.

b) Especifique o conteúdo de cada uma das 16 palavras da PROM.

#### Problema 7

Considere que dispõe de uma ROM de 4Kx8 bits num sistema com um bus de 4 bits e um bus de endereços de 16 bits, e um bus de controlo do qual fazem parte os sinais de RD e WR (ambos activos a LOW).

A primeira metade dessa ROM (os primeiros 4Kx4) deve ficar localizada a partir do endereço 1000H e a segunda metade a partir do endereço 6000H.

a) Usando um descodificador de 3 entradas e 8 saídas (activas a zero) e a lógica discreta que julgar necessária faça o logograma das ligações da ROM ao seu sistema. A sua ROM possui 3 sinais de controlo: RD, CS e OE todos activos a LOW.

(b) Repita a alínea anterior usando uma PROM (com OE activo a LOW que permite colocar todas as saídas a HIGH) com 8 palavras de 4 bits. Explícite o conteúdo da PROM.

c) Compare as duas soluções, tendo especial atenção no facto de que possivelmente poderá necessitar de modificar os endereços de selecção desta ROM.

#### Problema 8

( Exame 4 de Setembro de 1986)

a) Dispondo de uma RAM de  $2K \times 4$ , com entradas e saídas de dados comuns, de um registo de 4 bits e de um circuito somador de 4 bits, projecte um circuito que permita adicionar ao conteúdo de qualquer posição da RAM, um valor fornecido em paralelo. Explique quais os sinais a actuar e a sua ordem, de forma a realizar a operação sobre uma das palavras da RAM.

b) O tempo de acesso da RAM é de 400 ns, o tempo de atraso do somador, 50 ns, o tempo de set-up e o tempo de reacção do registo de 10 ns. O tempo de hold do registo é de 0 ns. Quanto tempo leva a realizar um ciclo completo do sistema?

#### Problema 9

(Teste - 22 de Fevereiro de 1988)

Considere que dispõe de um microprocessador com 16 bits de endereço e 8 bits de dados. Dispõe de circuitos RAM de  $2K \times 8$  bits e de ROMs de  $4K \times 8$  bits. Pretende colocar uma zona de ROM com 8K bytes no início do espaço de endereçamento, uma segunda zona de ROM com 4K bytes no final do espaço de endereçamento e uma zona de 10K de RAM com início no endereço 8000H.

a) Desenhe o sistema usando os descodificadores que entender conveniente e a lógica adicional necessária.

b) Substitua todo o circuito de descodificação da alínea anterior por uma PROM, cuja capacidade e conteúdo especificará.

#### Problema 10

(Teste - 22 de Fevereiro de 1988)

Considere que o tempo de preparação (set-up) das linhas de dados de uma memória RAM é de 50 ns e que o tempo de manutenção (hold) dessas linhas é de 20 ns. A duração mínima do impulso de escrita é de 75 ns.

a) Qual o período de tempo em que as linhas de dados devem estar estáveis?

b) Suponha ainda que o tempo de acesso para escrita da memória, em relação às linhas de



endereço é de 100 ns e que o tempo de manutenção em relação às mesmas linhas é de 25 ns. Admitindo que a linha de Chip Select está permanentemente activa, desenhe o diagrama temporal do ciclo mínimo de escrita.

**Problema 11**

(2º Exame - 22 de Fevereiro de 1988)

Considere que o tempo de preparação (set-up) das linhas de dados de uma memória RAM é de 50 ns e que o tempo de manutenção (hold) dessas linhas é de 20 ns. A duração mínima do impulso de escrita é de 75 ns.

Qual o período de tempo em que as linhas de dados devem estar estáveis?

**Problema 12**

(Teste - 1987)

Considere que dispõe de circuitos de memória RAM com a capacidade de 8K\*8.

a) Projecte um sistema de memória que, conforme o valor de uma variável WRDLEN possa ser usado como bloco de 64K\*8 ou 32K\*16.

b) Especifique uma PROM e o seu conteúdo para substituir toda a lógica que usar na alínea anterior.

**Problema 13**

(Teste - 13 de Julho de 1987)

Considere que dispõe de 8 chips de RAMs de 2K\*4 e de 1 chip de ROM de 8K\*8.

Num sistema com 4 bits de dados e 16 bits de endereço construa um bloco de memória com 16k de RAM e 16K de ROM.

A ROM deve ser colocada na zona de endereços que começa em 0 e a RAM deve ser colocada na zona de maiores endereços.

**Problema 14**

(Exame de 2ª Época - 24 de Abril de 1987)

Dispõe de chips de RAM com 2K\*8 e de ROM com 8K\*8.

Num sistema com 8 bits de dados e 15 bits de endereço projecte um bloco de memória com 16K de ROM colocados a partir do endereço 0 e 6K de RAM a partir do 1º endereço deixado livre pela ROM.

**Problema 15**

(2º Teste - 6 de Fevereiro de 1987)

Considere que dispõe de um sistema com 16 bits de endereço e 8 bits de dados. Dispõe de RAMs de 4k palavras de 8 bits e de ROMs de 8K palavras de 8 bits.

Pretende-se construir um banco de memória com 16k de ROM e 16k de RAM. As ROMs estão colocadas nos endereços mais baixos e as RAMs nos endereços imediatamente seguintes. O restante espaço de endereçamento deve ficar disponível para futuras ampliações.

a) Usando a menor quantidade possível de material, projecte o sistema.

b) Assinale convenientemente os integrados que possuem as palavras com os seguintes endereços: 1) 0173H; 2) 3ABCH; 3) ABCDH

**Problema 16**

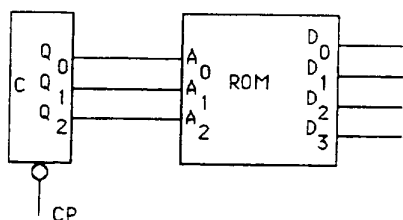
(Exame - 20 de Fevereiro de 1987)

Partindo de 2 memórias RAM de 16K\*8 e 1 ROM de 32K\*8 construa um sistema de memória de 64K palavras de 8 bits, com RAMs no início e no fim do espaço de endereçamento e ROM na zona central do mesmo espaço.

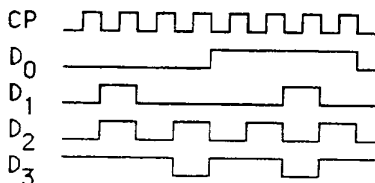
**Problema 17**

(Exame de 2ª Época - 8 de Abril de 1986)

Considere o seguinte circuito em que C é um contador binário de 3 bits e R uma ROM de 8 palavras de 4 bits:



Defina um possível conteúdo da ROM para que nas linhas  $D_0$  a  $D_3$  haja o comportamento que se segue, quando se introduz uma sequência de impulsos em CP.



**Problema 18**

(Exame 12 de Julho de 1986)

Considere um sistema com um bus de endereços de 16 bits ( $A_0$  a  $A_{15}$ ), um bus de dados com 8 bits ( $D_0$  a  $D_7$ ) e um bus de control com o sinal READ/WRITE. Admita que dispõe de memórias RAM de  $2K \times 8$  e EPROM de  $8K \times 8$ .

a) Projecte um sistema de memória com 16K de EPROM e 8K de RAM em que a EPROM fica colocada nos endereços mais baixos da memória e a RAM no início da metade superior do espaço de endereçamento.

b) Faça o logigrama do sistema descrito.

**Problema 19**

(Exame 28 de Julho de 1986)

Considere um sistema com um bus de endereços com 16 bits ( $A_0$  a  $A_{15}$ ) e um bus de dados com 8 bits ( $D_0$  a  $D_7$ ). Dispõe de memórias ROM de  $4K \times 8$  e RAM de  $1K \times 8$ .

Pretende-se um sistema de memória com 12K de ROM e 6K de RAM.

a) Faça o logigrama do sistema descrito sabendo que a memória ROM fica localizada nos endereços menores e a RAM nos endereços maiores.

b) Indique qualitativamente qual o tempo de acesso global do sistema de memória.

**Problema 20**

(Exame de 2ª Época - 13 de Abril de 1988)

Com RAMs de  $8K \times 8$  e ROMs de  $32K \times 8$ , projecte um circuito de memória para um sistema com 16 bits de endereço e 8 bits de dados com ROM colocada a partir do endereço  $C000_{16}$  e RAM na primeira metade do espaço de endereçamento.

**Problema 21**

(1º Exame - 8 de Julho de 1988)

Desenhe o sistema de descodificação que considerar adequado para um microcomputador que vai estar ligado às seguintes memórias:

1 ROM de  $8K \times 8$ , 1 EPROM de  $2K \times 8$  e 2 RAMs de  $4K \times 8$  colocadas consecutivamente no espaço de endereços.

O sistema tem 16 bits de endereço e 8 de dados e a ROM deve estar colocada no início do espaço de endereçamento, a EPROM deve estar colocada a partir do endereço  $2000_{16}$  e a RAM deve estar colocada no topo do espaço de endereçamento.

**Problema 22**

(Exame de 21 de Fevereiro de 1988)

Considere um sistema com um microprocessador ligado por um bus de 8 bits de dados e 16 bits de endereço a memórias RAM e ROM e a um registo em que o processador pode escrever endereçando-o e activando a linha de WRITE.

a) Projecte a lógica de descodificação para um bloco de RAM com início no endereço 0 e com 4K bytes e para um bloco de ROM com início em 8000H e com 32K bytes, sabendo que dispõe de RAMs de 4K e de Roms de 8K.

b) Coloque o registo referido (de 8 bits) na posição de endereçamento imediatamente anterior a 8000H.

**Problema 23**

(Exame de 7 de Julho de 1989)

Considere que dispõe de RAMs de 8k\*8. Projecte um bloco de memória de 64K\*8 com toda a lógica de descodificação realizada por uma ROM. Inclua uma linha de Enable do bloco.

**Problema 24**

(Exame de 17 de Julho de 1989)

Dispondo de RAMs de 8k\*8 e de ROMs de 32K\*8 faça um sistema de memória com 48K bytes de RAM e 16 Kbytes de ROM.

**Problema 25**

(Exame de 8 de Setembro de 1989)

Considere que dispõe de uma RAM de 32K\*8. No início da metade superior deste espaço de endereçamento, está sobreposta uma ROM de 1K\*8 que deve ser endereçada em vez da RAM quando seleccionado um dos seus endereços. Desenhe o logigrama do circuito.

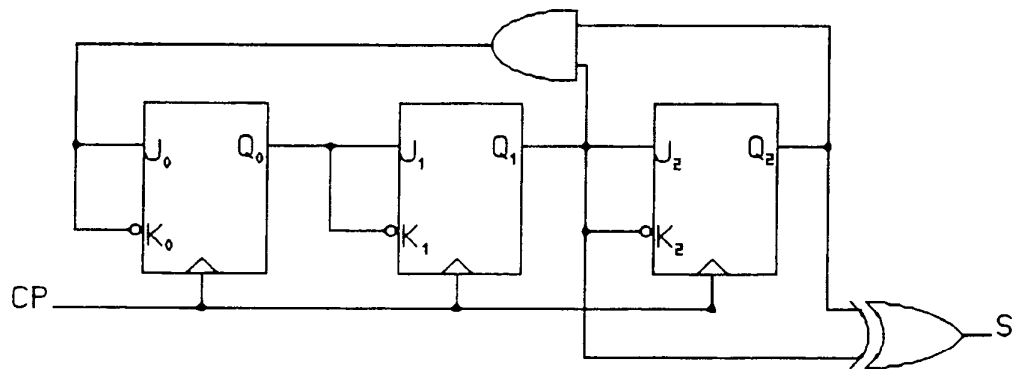
**CAPITULO 7**  
**Circuitos Sequenciais**

**PROBLEMAS RESOLVIDOS**

**Problema 1**

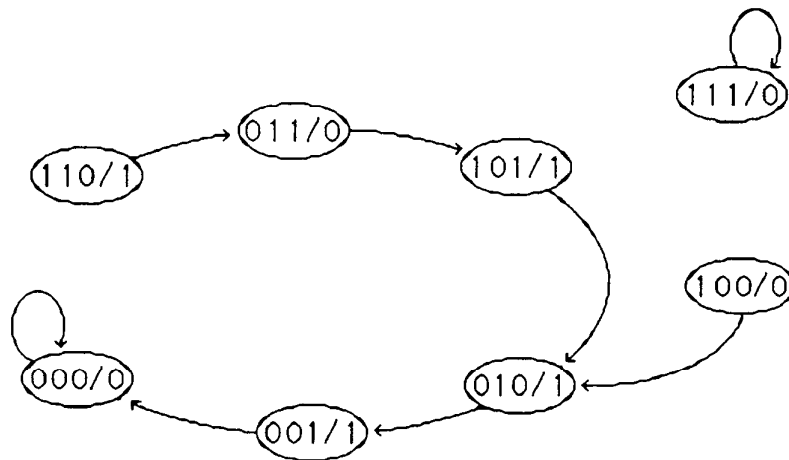
Considerando que todos os flip-flops do circuito, cujo logigrama é apresentado na figura 1, são JK edge-triggered positivo, elabore:

- a) O diagrama de estados.
- b) O diagrama temporal de S entre  $t_0$  e  $t_1$ , sabendo que em  $t_0$   $Q_0=0$ ,  $Q_1=1$  e  $Q_2=1$ , e em  $t_1$   $Q_0=0$ ,  $Q_1=0$  e  $Q_2=1$ .

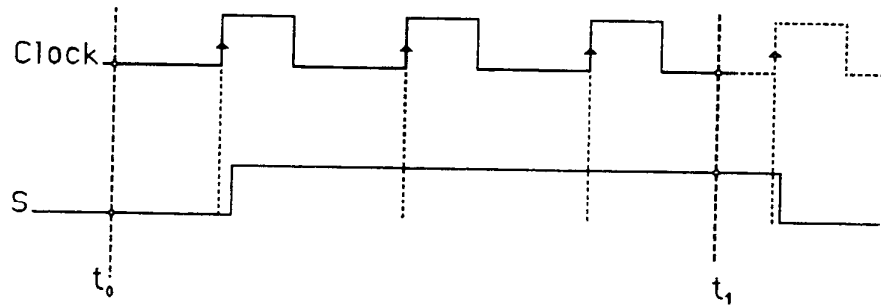


**Resolução:**

A) Diagrama de estados:

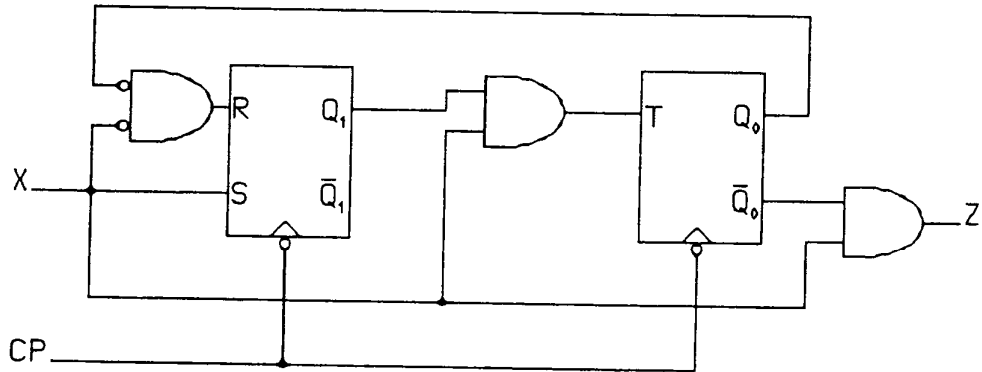


B) Diagrama temporal.



**Problema 2**

Analise o circuito sequencial síncrono da figura construindo a respectiva tabela de estados/saídas.



Resolução:

$Q_{1,t+1} \quad Q_{0,t+1} / Z$	0	1	X
0 0	00/0	10/1	
0 1	01/0	11/0	
1 1	11/0	10/0	
1 0	00/0	11/1	
$Q_1, Q_0$			

**Problema 3**

Faça o diagrama de estados para um circuito sequencial síncrono com duas entradas X e Y por onde surgem, em série, os bits de dois números binários puros a serem comparados. Os bits de menor peso surgem em primeiro lugar. A saída deve indicar, em cada momento, qual dos dois números binários é maior ou se são iguais.

Resolução:  
Diagrama de estados

$XY/S, S_0$

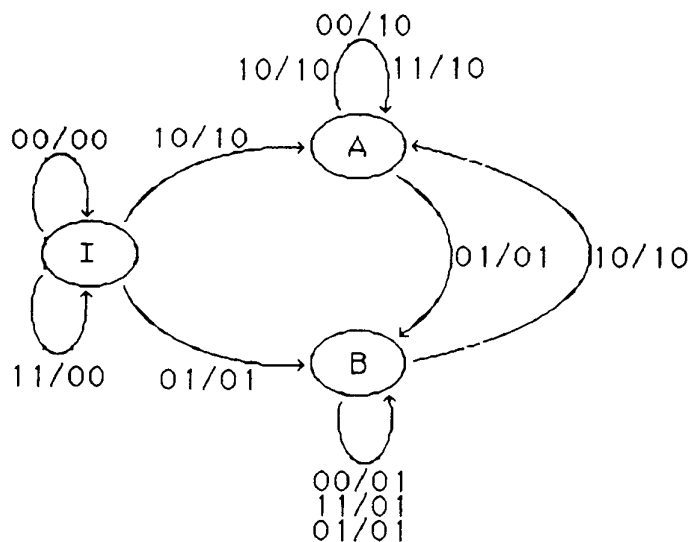
Significado das saídas

00 - nº iguais

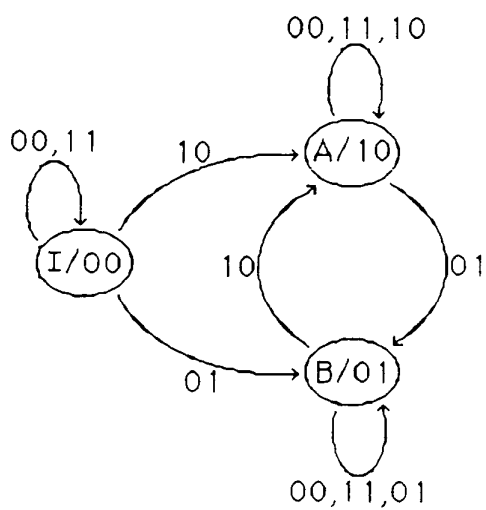
10 - nº X maior que nº Y

01 - nº Y maior que nº X

Mealy



Moore



**Problema 4**

Elabore um diagrama de estados para um circuito sequencial síncrono de Mealy que receba na entrada uma qualquer palavra em código BCD (entra primeiro o bit de maior peso) e cuja saída só dá 1 se a palavra entrada for inferior a 4 ou superior a 7.

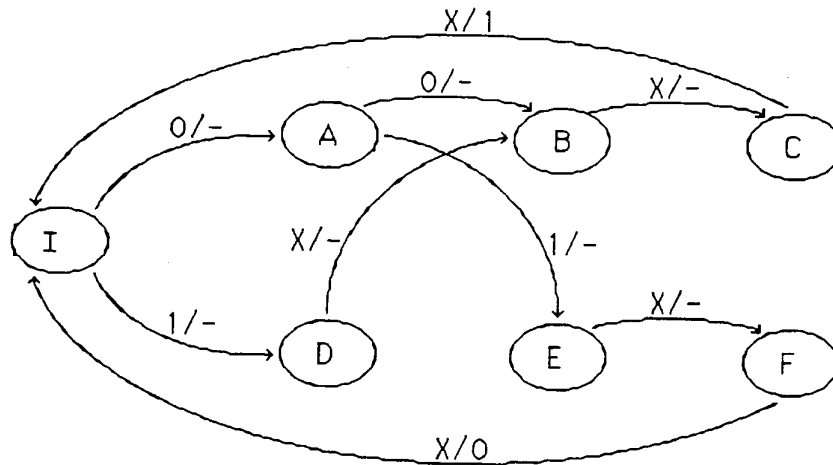
A saída correspondente aos três primeiros bits entrados não deve ser especificada.

Resolução:

Código BCD

0 0 0 0	}	Menores que 4 ∴ saída = 1
0 0 0 1		
0 0 1 0		
0 0 1 1		
0 1 0 0	}	Saída = 0
0 1 0 1		
0 1 1 0		
0 1 1 1		
1 0 0 0	}	Maiores que 7 ∴ saída = 1
1 0 0 1		

Diagrama de estados:

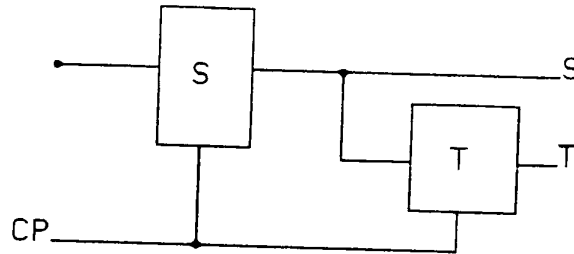


**Problema 5**

A saída S de um circuito sequencial é periódica, de período quatro, e apresenta a sequência de três 1s e um 0. É portanto do tipo:

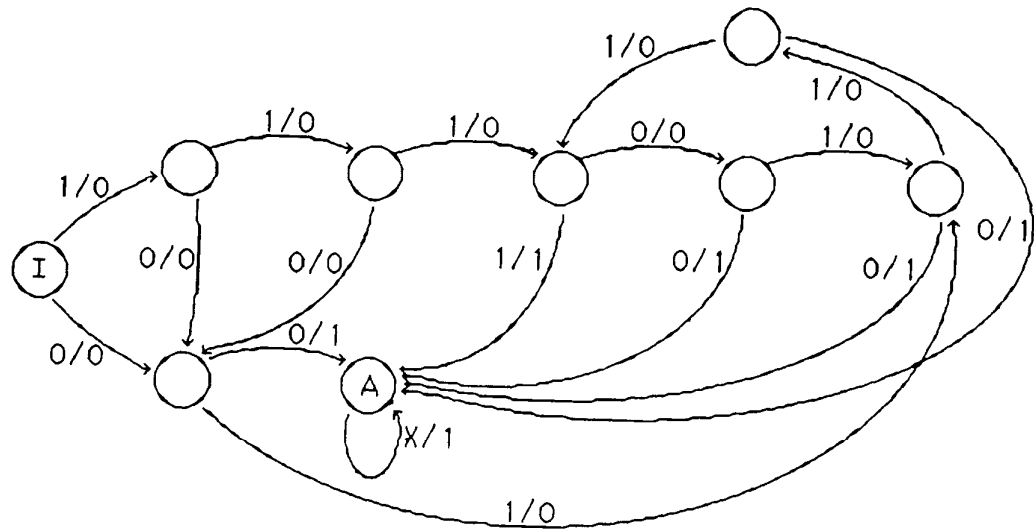
...10 1110 1110 11...

Desenhe um diagrama de estados para um circuito de teste T de Mealy que analise, momento a momento, a saída S e que deverá dar saída 1 sempre que tiver havido uma alteração da sequência da saída de S. O circuito T deve poder ser ligado em qualquer instante, desconhecendo-se o estado de S nesse momento.



Resolução:

Diagrama de estados:



I - Estado inicial.

A - Estado absorvente, de onde o circuito não torna a sair sem que se faça nova inicialização.

**Problema 6**

Faça um diagrama de estados para um circuito sequencial síncrono de Mealy que detecte palavras de 4 bits que não pertençam ao código BCD. As palavras entram em série, começando pelo bit de maior peso. Ao fim de quatro impulsos de relógio o circuito deve ficar reiniciado, preparado para detectar nova palavra.

O circuito tem uma entrada e duas saídas X e Y que, se  $X=Y=0$ , a palavra não pertence ao código, se  $X=Y=1$  pertence, e se  $X=1$  e  $Y=0$  ainda não é possível saber se pertence ou não.

Resolução:

Saídas

XY

0 0 - não pertencem ao BCD

1 1 - pertencem ao BCD

1 0 - ainda não se sabe.

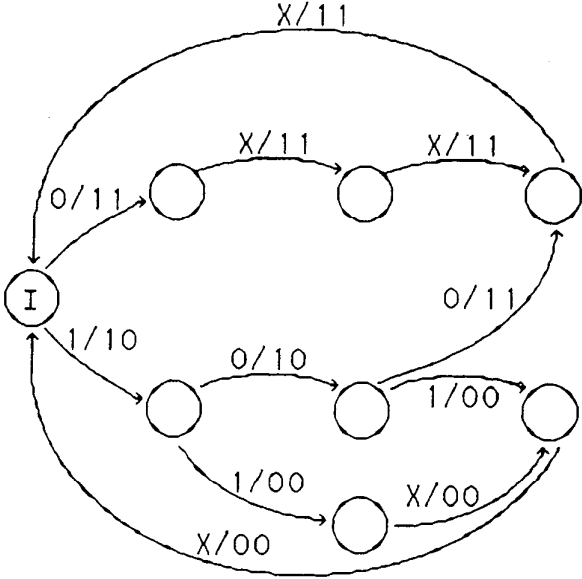


Palavras binárias de 4 bits:

0	0	0	0	} Pertencem ao código BCD
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	} Não pertencem ao código BCD
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

Diagrama de estados:

E/XY



**Problema 7**

Desenhe um diagrama de estados para um circuito sequencial síncrono cuja função é gerar um bit de paridade para as palavras analisadas. As palavras têm comprimento 3, mas o circuito recebe 4 impulsos de relógio para analisar cada palavra, entrando primeiro os 3 bits da palavra e, em quarto lugar um bit X, que apenas promove a geração da paridade.

(Nota: Saída=1 - Paridade ímpar

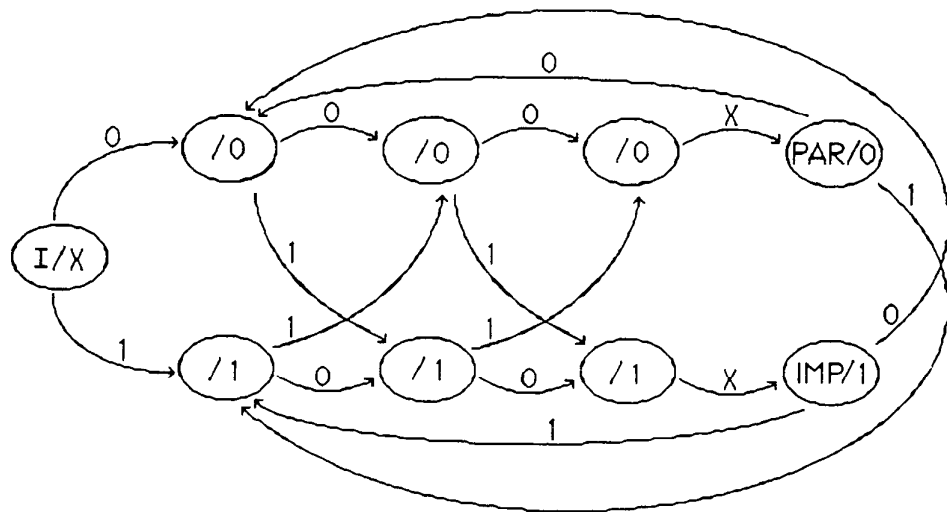
Saída=0 - Paridade par)

A) Como máquina de Moore.

B) Como máquina de Mealy.

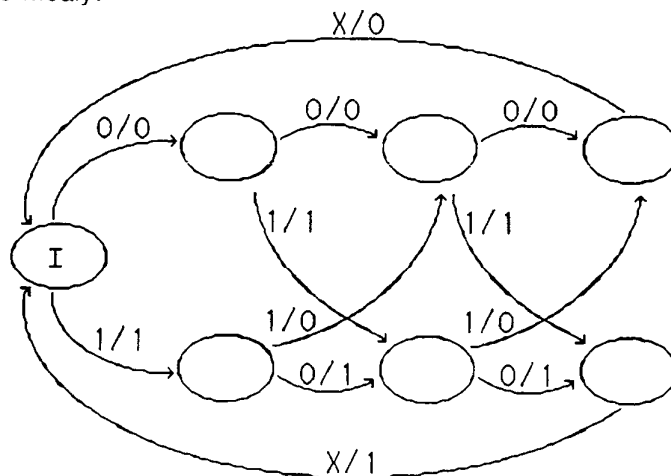
Resolução:

A) Diagrama de Moore:



Nota-se facilmente que o estado inicial I é redundante pois o estado inicial poderá ser qualquer um dos dois estados designados por PAR ou IMP.

B) Diagrama de Mealy:



No caso do diagrama de Mealy, o estado inicial tem mesmo que ser o estado designado por I.

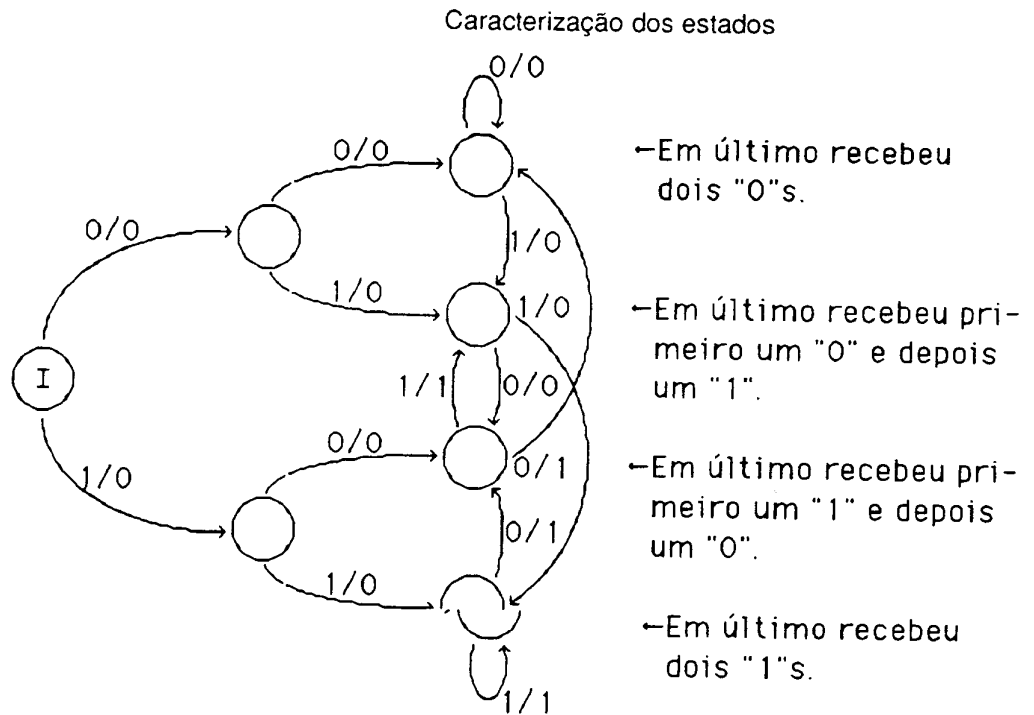
**Problema 8**

Faça um diagrama de estados para um circuito sequencial síncrono de Mealy com uma entrada série e com uma saída que repete a sequência de entrada com dois períodos de defasamento. As duas primeiras saídas são iguais a zero.

Resolução:

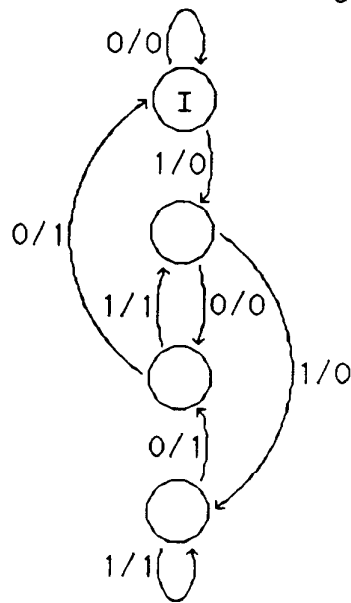
Ao fazer um diagrama de estados é quase sempre possível chegar, com uma certa garantia, à solução mínima. Vamos evidenciar isso nesta resolução:

Primeira versão do diagrama  
(versão não mínima)



(versão mínima)

Caracterização dos estados

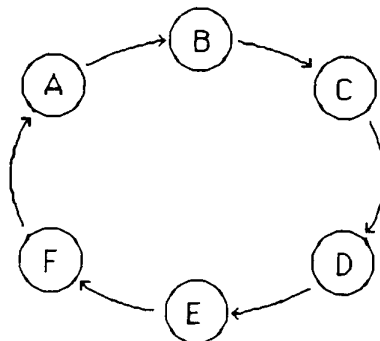


- ← Ou não recebeu nada ou recebeu dois "0"s em último.
- ← Ou recebeu apenas um "1" ou recebeu primeiro um "0" e depois um "1" como últimos.
- ← Recebeu primeiro um "1" e depois um "0" como dois últimos.
- ← Os dois últimos recebidos foram "1"s.

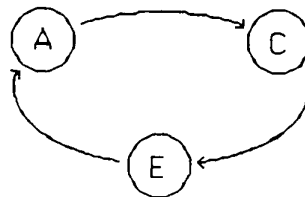
**Problema 9**

Desenhe o logigrama de um circuito sequencial síncrono que tem uma variável de entrada que faz com que:

Se X=0



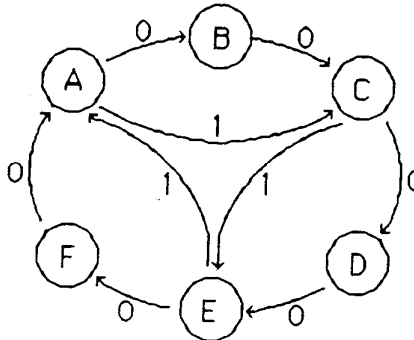
Se X=1



Indique a evolução do circuito se, antes de receber o primeiro impulso de relógio após ligar o sistema, o circuito estiver no estado B e a variável de entrada estiver em 1.

Resolução:

Síntese



1) Do diagrama de estados apresentado ( máquina não completamente especificada) tira-se a seguinte

2) Tabela de estados

E.P.	E.S.	
	X=0	X=1
A	B	C
B	C	-
C	D	E
D	E	-
E	F	A
F	A	-

3) A codificação dos estados, embora não seja indiferente, é qualquer pelo que, por exemplo, podemos optar por:

- A=000
- B=001
- C=011
- D=010
- E=110
- F=111

Passando à correspondente tabela de transições

4) Tabela de transições:

$Q_{z,t} Q_{t,t} Q_{ot}$	$Q_{z,t+1} Q_{t,t+1} Q_{ot+1}$	
	X=0	X=1
000	001	011
001	011	-
011	010	110
010	110	-
110	111	000
111	000	-
101	-	-
100	-	-

Donde se tiram as

5) Tabelas de excitação de básicas:

(Escolhemos básicas D)

$Q_2 Q_1 Q_0$	$D_0$		$D_1$		$D_2$		X
	0	1	0	1	0	1	
000	1	1	0	1	0	0	
001	1	-	1	-	0	-	
011	0	0	1	1	0	1	
010	0	-	1	-	1	-	
110	1	0	1	0	1	0	
111	0	-	0	-	0	-	
101	-	-	-	-	-	-	
100	-	-	-	-	-	-	

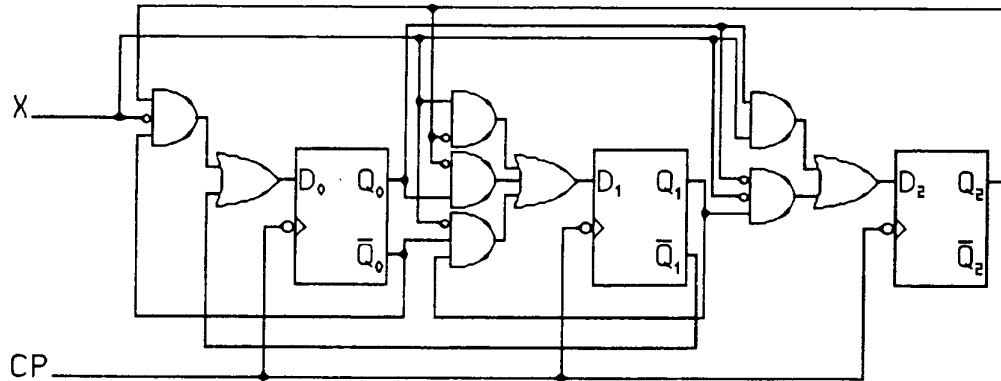
$$D_0 = \bar{Q}_1 + \bar{X} Q_2 \bar{Q}_0$$

$$D_1 = X \bar{Q}_2 + \bar{Q}_2 Q_0 + \bar{X} \bar{Q}_0 Q_1$$

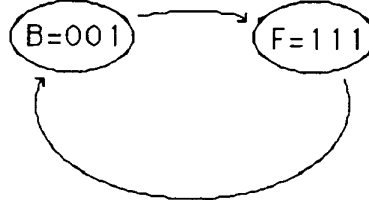
$$D_2 = X Q_0 + \bar{X} \bar{Q}_0 Q_1$$

Das equações de excitação das básicas tira-se o logigrama

6) Logigrama:



Se, estando no estado B, se tiver  $X=1$ , o sistema evolui, de acordo com a tabela de transições depois de levantadas as indiferenças, do seguinte modo:



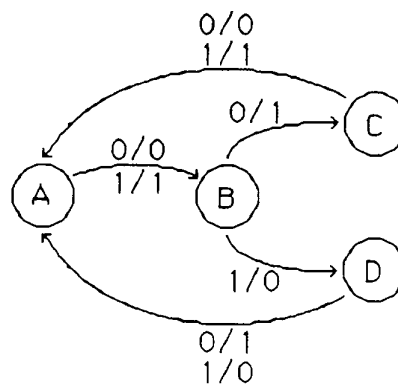
**Problema 10**

A) Projecte um circuito sequencial síncrono de Mealy que some a constante 2 em binário a um número de 3 bits, ficando preparado para repetir a operação sucessivamente com outros números entrados. Caso haja transporte despreze-o. Entram primeiro os bits de menor peso do número.

B) Transforme o diagrama de estados feito, no pressuposto de projectar uma máquina de Moore.

Resolução:

Diagrama de estados



Caracterização dos estados C e D:

← Não há transporte

← Há transporte

Tabela de estados

E.S./S	0	1	X
A	B/0	B/1	
B	C/1	D/0	
C	A/0	A/1	
D	A/1	A/0	

E.P.

Codificação dos estados

Para exemplificação, optemos por desenvolver o problema a partir de duas codificações diferentes:

Codificação 1:

A=00  
B=01  
C=11  
D=10

Codificação 2:

A=00  
B=11  
C=01  
D=10

Codificação 1:

Tabela de transições e de saída:

E.S.	0	1	X
00	01	01	
01	11	10	
11	00	00	
10	00	00	

E.P.

S	0	1	X
00	0	1	
01	1	0	
11	0	1	
10	1	0	

E.P.

Utilizando flip-flops JK, tiram-se as seguintes tabelas de excitação para os flip-flops:

$J_0$	0	1	X
00	1	1	
01	X	X	
11	X	X	
10	0	0	

$Q_1, Q_0$

$$J_0 = \bar{Q}_1$$

$K_0$	0	1	X
00	X	X	
01	0	1	
11	1	1	
10	X	X	

$Q_1, Q_0$

$$K_0 = X + Q_1$$



$J_1$	0	1	X
00	0	0	
01	1	1	
11	X	X	
10	X	X	

$Q_1, Q_0$

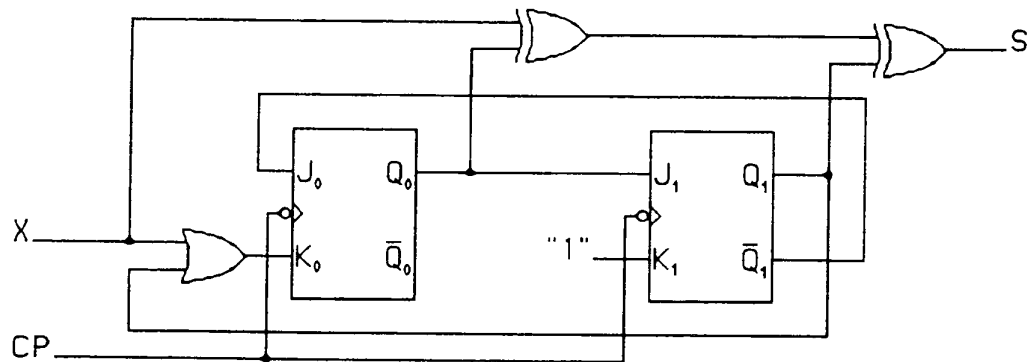
$$J_1 = Q_0$$

$K_1$	0	1	X
00	X	X	
01	X	X	
11	1	1	
10	1	1	

$Q_1, Q_0$

$$K_1 = 1$$

$$S = X \oplus Q_0 \oplus Q_1$$



Codificação 2:

Tabela de transições e de saída:

E.S.	0	1	X
00	11	11	
01	00	00	
11	01	10	
10	00	00	

E.P.

S	0	1	X
00	0	1	
01	0	1	
11	1	0	
10	1	0	

E.P.

Utilizando flip-flops JK, tiram-se as seguintes tabelas de excitação para os flip-flops:

$J_0$	0	1	X
00	1	1	
01	X	X	
11	X	X	
10	0	0	

$Q_1, Q_0$

$$J_0 = \bar{Q}_1$$

$K_0$	0	1	X
00	X	X	
01	1	1	
11	0	1	
10	X	X	

$Q_1, Q_0$

$$K_0 = \bar{Q}_1 + X$$

$J_1$	0	1	X
00	1	1	
01	0	0	
11	X	X	
10	X	X	

$Q_1, Q_0$

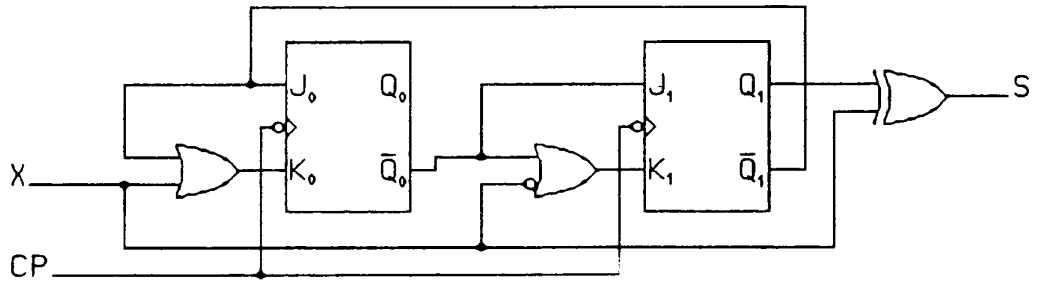
$$J_1 = \bar{Q}_0$$

$K_1$	0	1	X
00	X	X	
01	X	X	
11	1	0	
10	1	1	

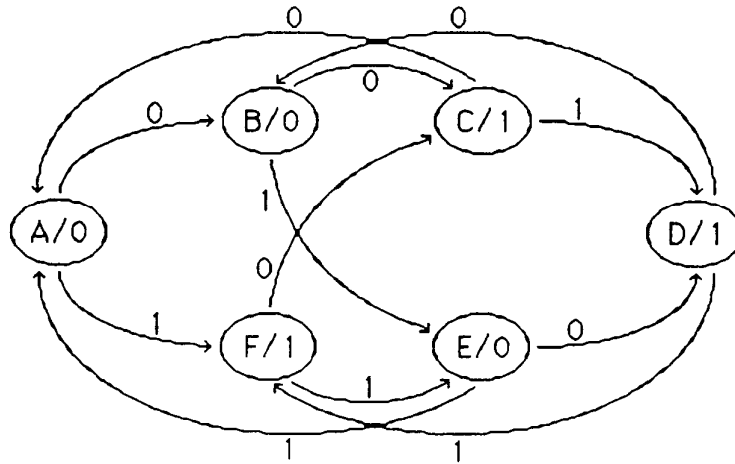
$Q_1, Q_0$

$$K_1 = \bar{Q}_0 + \bar{X}$$

$$S = X \oplus Q_1$$



B) Diagrama de Moore.

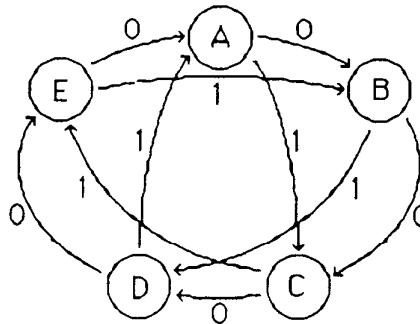


**Problema 11**

Considerando o diagrama de estados apresentado na figura e sabendo que dispõe de uma fonte de relógio CP com 1 Hz:

A) Sintetize, sem minimizar o diagrama, o respectivo circuito sequencial síncrono utilizando bsculas de tipo D edge-triggered negativo, atacados por CP.

B) Utilizando o circuito sintetizado sem qualquer alteração, como obteria uma onda de relógio CP' sincronizada com CP mas de período T=3 segundos?



Resolução:

A)

1) Tabela de estados:

	X=0	X=1
A	B	C
B	C	D
C	D	E
D	E	A
E	A	B

2) Codificação:

A=000  
 B=001  
 C=011  
 D=010  
 E=110

3) Tabela de transições:

$Q_2 Q_1 Q_0$	X=0	X=1
000	001	011
001	011	010
011	010	110
010	110	000
110	000	001
111	-	-
101	-	-
100	-	-

4) Vão ser utilizados flip-flops D.

5) Tabelas de excitação:

$Q_2 Q_1 Q_0$	$D_0$		$D_1$		$D_2$		X
	0	1	0	1	0	1	
000	1	1	0	1	0	0	
001	1	0	1	1	0	0	
011	0	0	1	1	0	1	
010	0	0	1	0	1	0	
110	0	1	0	0	0	0	
111	-	-	-	-	-	-	
101	-	-	-	-	-	-	
100	-	-	-	-	-	-	

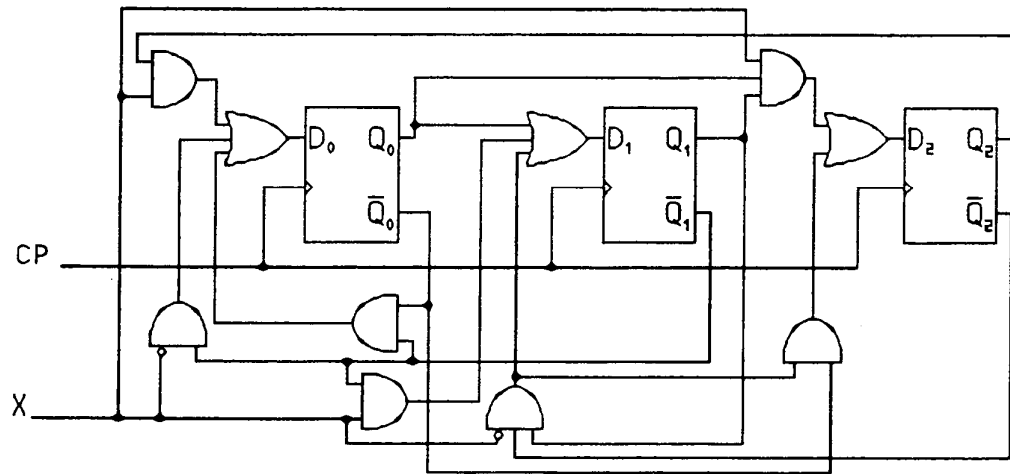
6) Equações de excitação:

$$D_0 = \bar{Q}_0 \bar{Q}_1 + X Q_2 + \bar{X} \bar{Q}_1$$

$$D_1 = Q_0 + X \bar{Q}_1 + \bar{X} Q_1 \bar{Q}_2$$

$$D_2 = X Q_0 Q_1 + \bar{X} \bar{Q}_0 Q_1 \bar{Q}_2$$

7) Logigrama:



B) Bastará fazer

$$X = Q_0 \oplus Q_1$$

O sinal CP' poderá ser  $Q_0$  ou  $Q_1$ .

**Problema 12**

Partindo do diagrama de estados apresentado na figura, desene o logigrama do respectivo circuito sequencial síncrono, utilizando como elementos de memória flip-flops tipo A. Sabe-se a seguinte informação acerca dos flip-flops A:

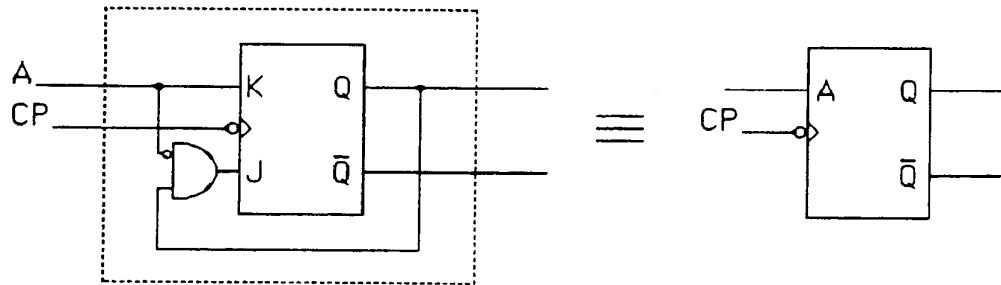
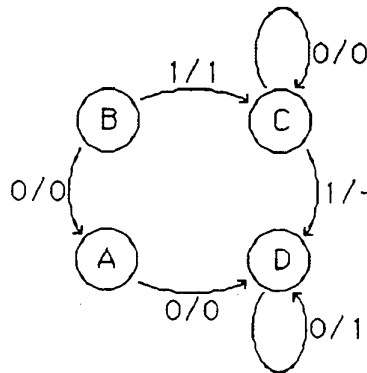


Diagrama de estados:



Resolução:

Tabela de verdade do flip-flop A e Tabela de excitação:

A	$Q_t$	$Q_{t+1}$
0	0	0
0	1	1
1	0	0
1	1	0

$Q_t \rightarrow Q_{t+1}$	A
0 $\rightarrow$ 0	X
0 $\rightarrow$ 1	-
1 $\rightarrow$ 0	1
1 $\rightarrow$ 1	0

impossível

Tabela de estados

	0	1	X
A	D/0	-	
B	A/0	C/1	
C	C/0	D/-	
D	D/1	-	

Codificação dos estados:

Atendendo a que o flip-flop A não permite a transição de 0 para 1, teremos que escolher uma codificação para os estados que a evite.

Por exemplo:

B= 11  
 A=10  
 C=01  
 D= 00

e nunca

A=00  
 B= 01  
 C=11  
 D= 10

Tabela de transições:

	$Q_1 Q_0$	$X=0$	$X=1$
D=	00	00	-
C=	01	01	00
B=	11	10	01
A=	10	00	-

Tabela de saída:

S	0	1	X
00	1	-	
01	0	-	
11	0	1	
10	0	-	

$Q_1, Q_0$

$$S = X + \bar{Q}_0 \bar{Q}_1$$

Tabelas de excitação:

$A_0$	0	1	X
00	X	X	
01	0	1	
11	1	0	
10	X	X	

$Q_1, Q_0$

$$A_0 = X\bar{Q}_1 + \bar{X}Q_1$$

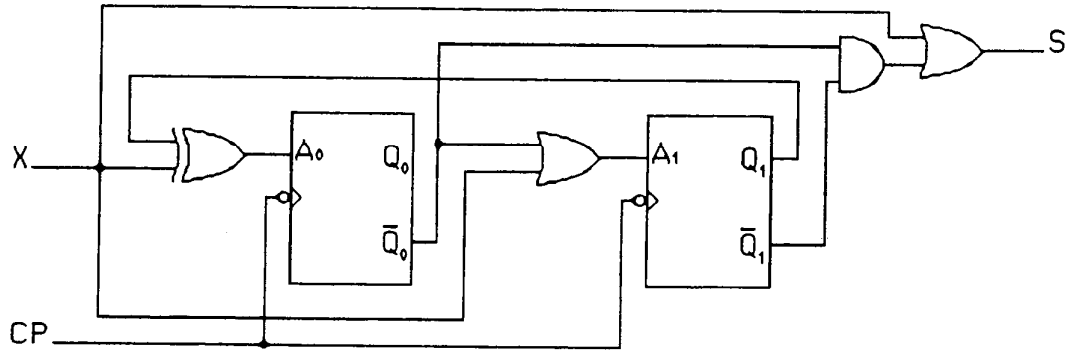
$$= X \odot Q_1$$

$A_1$	0	1	X
00	X	X	
01	X	X	
11	0	1	
10	1	X	

$Q_1, Q_0$

$$A_1 = \bar{Q}_0 + X$$

Logigrama:



**Problema 13**

Minimize as seguintes tabelas de estados e construa as respectivas tabelas mínimas.

A)

	00	01	11	10	XV
A	D/0	D/0	F/0	A/0	
B	C/1	D/0	E/1	F/0	
C	C/1	D/0	E/1	A/0	
D	D/0	B/0	A/0	F/0	
E	C/1	F/0	E/1	A/0	
F	D/0	D/0	A/0	F/0	
G	G/0	G/0	A/0	A/0	
H	B/1	D/0	E/1	A/0	

B)

	0	1	X
A	B/1	H/1	
B	F/1	D/1	
C	D/0	E/1	
D	C/0	F/1	
E	D/1	C/1	
F	C/1	C/1	
G	C/1	D/1	
H	C/0	A/1	



c)

	I <sub>1</sub>	I <sub>2</sub>	I <sub>3</sub>
1	2/1	2/0	5/0
2	1/0	4/1	4/1
3	2/1	2/0	5/0
4	3/0	2/1	2/1
5	6/1	4/0	3/0
6	8/0	9/1	6/1
7	6/1	2/0	8/0
8	4/1	4/0	9/0
9	7/0	9/1	7/1

Resolução:

A)

	00	01	11	10	XY
A	D/0	D/0	F/0	A/0	
B	C/1	D/0	E/1	F/0	
C	C/1	D/0	E/1	A/0	
D	D/0	B/0	A/0	F/0	
E	C/1	F/0	E/1	A/0	
F	D/0	D/0	A/0	F/0	
G	G/0	G/0	A/0	A/0	
H	B/1	D/0	E/1	A/0	

Usando o método das partições:

(A D F G)

(B C E H)

1

2

(A F G)

(D)

(B C E H)

1,1,1,1

1,2,1,1

2,1,2,1

1

2

3

(A F)

(G)

(D)

(B C H)

(E)

2,2,1,1

3,2,3,1

1

2

3

4

5

Tabela mínima:

	00	01	11	10	XY
1	3/0	3/0	1/0	1/0	
2	2/0	2/0	1/0	1/0	
3	3/0	4/0	1/0	1/0	
4	4/1	3/0	5/1	1/0	
5	4/1	1/0	5/1	1/0	

B)

	0	1	X
A	B/1	H/1	
B	F/1	D/1	
C	D/0	E/1	
D	C/0	F/1	
E	D/1	C/1	
F	C/1	C/1	
G	C/1	D/1	
H	C/0	A/1	

Partições:

(A B E F G)      (C D H)  
                   1                    2

(A B)                    (E F G)            (C D H)  
1,2                    2,2            2,1  
                   1                    2                    3

(A)                    (B)                    (E F G)            (C D)            (H)  
1,3                                          3,3            3,2                        
                   1                    2                    3                    4                    5

Tabela mínima:

	0	1	X
1	2/1	5/1	
2	3/1	4/1	
3	4/1	4/1	
4	4/0	3/1	
5	4/0	1/1	

c)

	$I_1$	$I_2$	$I_3$
1	2/1	2/0	5/0
2	1/0	4/1	4/1
3	2/1	2/0	5/0
4	3/0	2/1	2/1
5	6/1	4/0	3/0
6	8/0	9/1	6/1
7	6/1	2/0	8/0
8	4/1	4/0	9/0
9	7/0	9/1	7/1

Partições:

(1 3 5 7 8)      (2 4 6 9)  
                   a                    b

(1 3 5 7)      (8)      (2 4 6)      (9)  
     b,b,a                      a,b,b                  
           a                    b                    c                    d

(1 3 5)      (7)      (8)      (2 4)      (6)      (9)  
     c,c,a                                      a,c,c                                  
           a                    b                    c                    d                    e                    f

(1 3)      (5)      (7)      (8)      (2 4)      (6)      (9)  
     d,d,a                                                      a,d,d                                  
           a                    b                    c                    d                    e                    f                    g

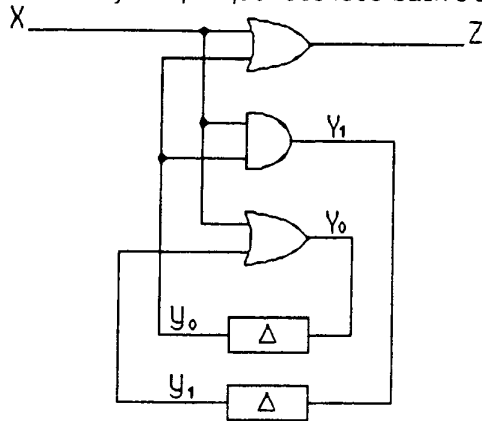
Tabela mínima:

	$I_1$	$I_2$	$I_3$
a	e/1	e/0	b/0
b	f/1	e/0	a/0
c	f/1	e/0	d/0
d	e/1	e/0	g/0
e	a/0	e/1	e/1
f	d/0	g/1	f/1
g	c/0	g/1	c/1

**Problema 14**

Partindo do circuito assíncrono representado na figura:

- A) Faça a sua tabela de transições e mostre quais os estados estáveis do circuito;
- B) Desenhe as formas de onda para  $Y_0$ ,  $Y_1$ ,  $y_0$ ,  $y_1$  e  $Z$  a partir do estado estável para  $X=0$  quando  $X$  passar de 0 para 1. O delay de qualquer dos feed-back é  $\Delta$ .



Resolução:

A)

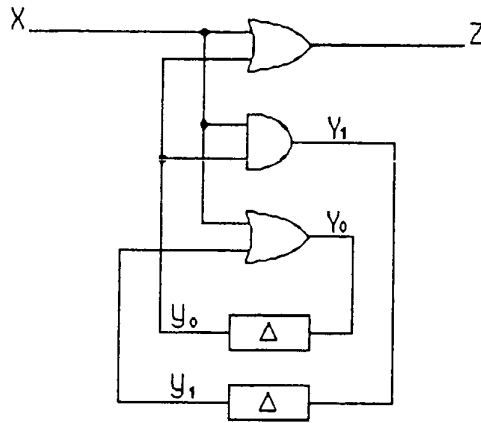
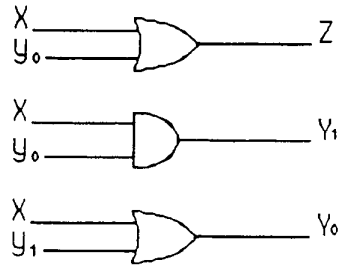


Tabela de transições:

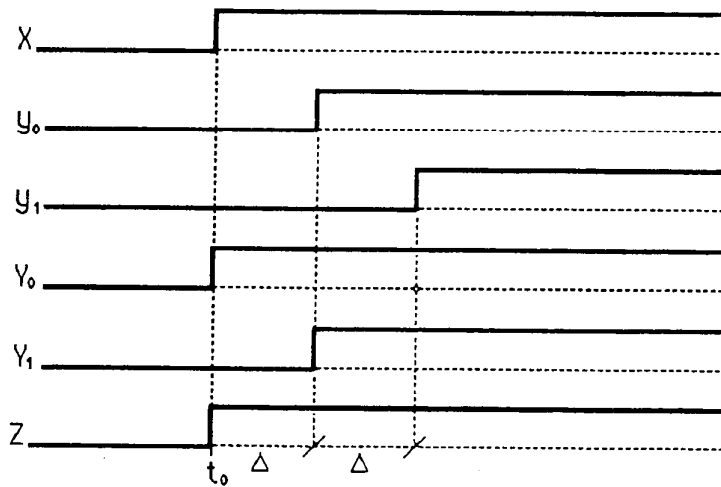
(Abrindo os feedback)



$Y_1 Y_0 / Z$	$X=0$	$X=1$
00	00 / 0	01 / 1
01	00 / 1	11 / 1
11	01 / 1	11 / 1
10	01 / 0	01 / 1

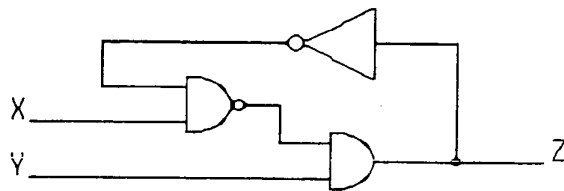
O circuito tem apenas dois estados estáveis, um para  $X=0$  que é o estado 00 e outro para  $X=1$  que é o estado 11.

B)



**Problema 15**

Desenhe um diagrama temporal e uma tabela de transições para o circuito apresentado e diga de que circuito se trata.



Resolução:

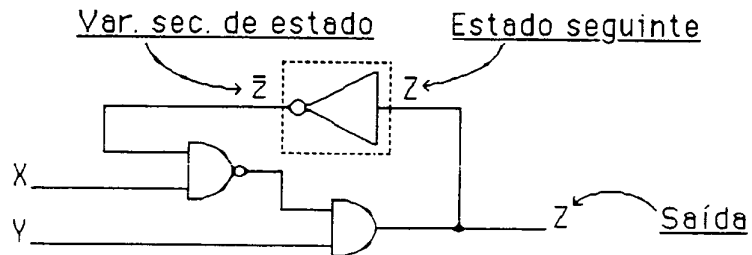
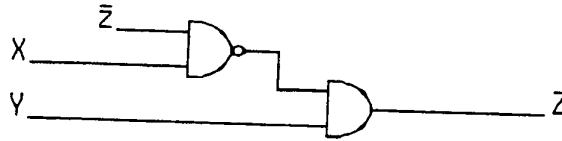


Tabela de transições:

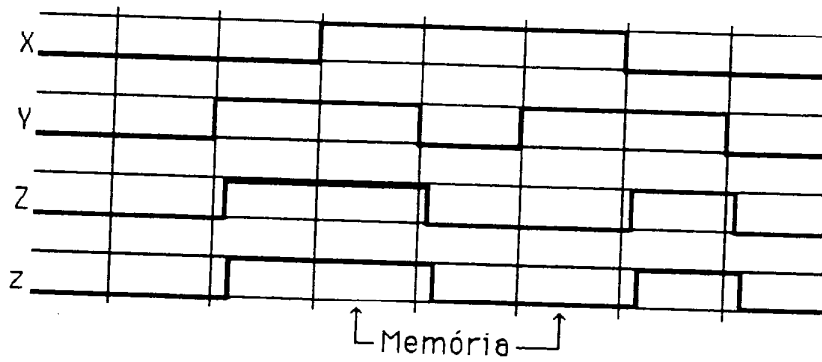


Estado seguinte e saída

Z	00	01	11	10	XY
0	0	1	0	0	
1	0	1	1	0	

Labels: Entradas (pointing to XY), Memorização (pointing to the table), Var. sec. de estado (pointing to Z).

Diagrama temporal:



Identificação do circuito:

Trata-se do latch

$$\begin{aligned} \bar{S}/\bar{R} &\text{ com } Z \equiv Q \\ X &\equiv \bar{S} \\ Y &\equiv \bar{R} \end{aligned}$$

**Problema 16**

A) Faça uma codificação de estados que impeça corridas críticas para a tabela de fluxos da figura 1.

B) Qual seria o efeito, em termos de funcionamento do circuito, de substituir a saída do estado seguinte D da linha do estado estável B de 1 para 0. (Figura 1).

C) Faça uma codificação de estados que impeça corridas críticas para a tabela de fluxos da figura 2. Com os estados já codificados, preencha as saídas dos estados instáveis evitando picos.

E.S./Z	00	01	11	10	XY
a	d/0	b/0	d/1	a/1	
b	d/1	b/1	b/0	a/0	
c	d/0	c/0	b/0	c/0	
d	d/0	c/0	d/1	c/1	

E.P.

Figura 1.

E.S./Z	00	01	11	10	XY
a	a/0	b/-	a/1	b/-	
b	a/-	b/0	c/-	b/0	
c	a/-	c/1	c/0	b/0	

E.P.

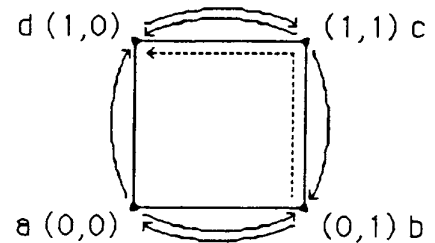
Figura 2.

Resolução:

A)

E.S./Z	00	01	11	10	XY
a	d/0	b/0	d/1	a/1	
b	d/1	b/1	b/0	a/0	
c	d/0	c/0	b/0	c/0	
d	d/0	c/0	d/1	c/1	

E.P.



A corrida de b para d não é crítica pois pode vir através do estado c sem qualquer modificação do comportamento do circuito. Assim, a nova tabela do circuito será:

E.S./Z	00	01	11	10	XY
a	d/0	b/0	d/1	a/1	
b	c/1	b/1	b/0	a/0	
c	d/0	c/0	b/0	c/0	
d	d/0	c/0	d/1	c/1	

E.P.

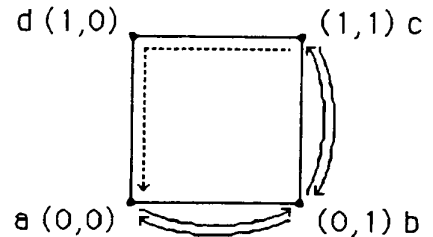
Pelo que, a codificação dos estados poderá ser:

a=00  
b=01  
c=11  
d=10

B) O efeito seria fazer com que na passagem do estado estável 'b' com entradas XY=01 para o estado 'd' a saída seja passe para ZERO  $\Delta t$  mais cedo.

C)

E.S./Z	00	01	11	10	XY
a	a/0	b/-	a/1	b/-	
b	a/-	b/0	c/-	b/0	
c	a/-	c/1	c/0	b/0	
E.P.					



a=00  
b=01  
c=11  
d=10

Nota: a corrida de 'c' para 'a' pode ser evitada fazendo-a passar pelo estado 'b' ou, então, recorrendo ao estado 'd':

E.S./Z	00	01	11	10	XY
a	a/0	b/0	a/1	b/-	
b	a/0	b/0	c/0	b/0	
c	d/-	c/1	c/0	b/0	
d	a/-	-	-	-	
E.P.					

As saídas destes dois estados instáveis poderiam ser:

1 ou 1 ou 0 nunca 0  
1 ou 0 ou 0 nunca 1 !



**Problema 17**

Partindo da tabela de fluxos que se apresenta, desenhe o logograma do circuito assíncrono que lhe corresponde, evitando corridas críticas, picos nas variáveis secundárias e picos nas saídas.

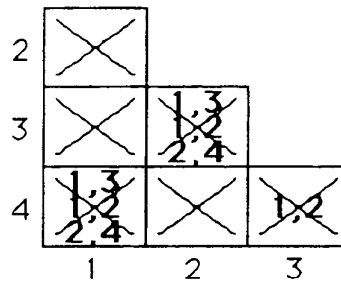
	00	01	11	10	AB
1	①/0	①/1	4	2	
2	1	②/0	3	②/0	
3	③/1	1	③/1	4	
4	3	2	④/1	④/1	

Resolução:

E.P./Z	00	01	11	10	AB
1	①/0	①/1	4	2	
2	1	②/0	3	②/0	
3	③/1	1	③/1	4	
4	3	2	④/1	④/1	

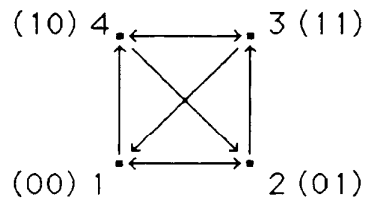
y y  
E.P.

1) Minimização:

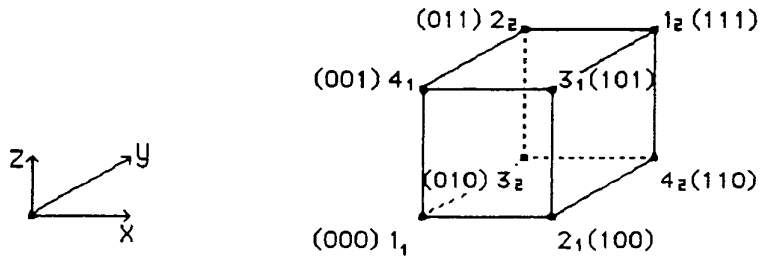


Esta tabela já é mínima.

2) Codificação dos estados evitando corridas críticas:



Há duas corridas críticas que não se podem evitar codificando os estados só com dois bits. Recorre-se à duplicação de estados:



$Y_2Y_1Y_0/Z$	00	01	11	10	AB
1 <sub>1</sub>	000	(000)/0	(000)/1	001	100
4 <sub>1</sub>	001	101	011	(001)/1	(001)/1
2 <sub>2</sub>	011	111	(011)/0	010	(011)/0
3 <sub>2</sub>	010	(010)/1	000	(010)/1	110
4 <sub>2</sub>	110	010	100	(110)/1	(110)/1
1 <sub>2</sub>	111	(111)/0	(111)/1	110	011
3 <sub>1</sub>	101	(101)/1	111	(101)/1	001
2 <sub>1</sub>	100	000	(100)/0	101	(100)/0

$Y_2Y_1Y_0$

3) Definição das saídas dos estados instáveis evitando picos:

$Y_2Y_1Y_0/Z$	00	01	11	10	AB
1 <sub>1</sub>	000	(000)/0	(000)/1	/1	/0
4 <sub>1</sub>	001	/1	/-	(001)/1	(001)/1
2 <sub>2</sub>	011	/0	(011)/0	/-	(011)/0
3 <sub>2</sub>	010	(010)/1	/1	(010)/1	/1
4 <sub>2</sub>	110	/1	/-	(110)/1	(110)/1
1 <sub>2</sub>	111	(111)/0	(111)/1	/1	/0
3 <sub>1</sub>	101	(101)/1	/1	(101)/1	/1
2 <sub>1</sub>	100	/0	(100)/0	/-	(100)/0

$Y_2Y_1Y_0$

4) Extração das equações de estado e da saída

		$y_2 = 0$				
$y_0$		00	01	11	10	AB
00		0	0	1	0	
01		1	1	1	1	
11		1	1	0	1	
10		0	0	0	0	
		$y_1, y_0$				

		$y_2 = 1$				
		00	01	11	10	AB
	00	0	0	1	0	
	01	1	1	1	1	←
	11	1	1	0	1	
	10	0	0	0	0	

		$y_2 = 0$				
$y_1$		00	01	11	10	AB
00		0	0	0	0	
01		0	1	0	0	
11		1	1	1	1	
10		1	0	1	1	
		$y_1, y_0$				

		$y_2 = 1$				
		00	01	11	10	AB
	00	0	0	0	0	
	01	0	1	0	0	
	11	1	1	1	1	←
	10	1	0	1	1	

		$y_2 = 0$				
$y_2$		00	01	11	10	AB
00		0	0	0	1	
01		1	0	0	0	
11		1	0	0	0	
10		0	0	0	1	
		$y_1, y_0$				

		$y_2 = 1$				
		00	01	11	10	AB
	00	0	1	1	1	
	01	1	1	1	0	
	11	1	1	1	0	←
	10	0	1	1	1	

Z	$y_2 = 0$				AB	$y_2 = 1$				AB
	00	01	11	10		00	01	11	10	
00	0	1	1	0		0	0	-	0	
01	1	-	1	1		1	1	1	1	
11	0	0	-	0		0	1	1	0	
10	1	1	1	1		1	-	1	1	

$y_1, y_0$

$$Y_0 = A B \bar{y}_1 + \bar{A} y_0 + \bar{B} y_0 + y_0 \bar{y}_1$$

$$Y_1 = \bar{A} B y_0 + \bar{B} y_1 + A y_1 + y_0 y_1$$

$$Y_2 = B y_2 + A \bar{B} \bar{y}_0 + \bar{A} \bar{B} y_0 + \bar{A} y_0 y_2 + A \bar{y}_0 y_2$$

$$Z = A B + y_0 \bar{y}_1 + \bar{y}_0 y_1 + B \bar{y}_1 \bar{y}_2 + B y_0 y_2$$

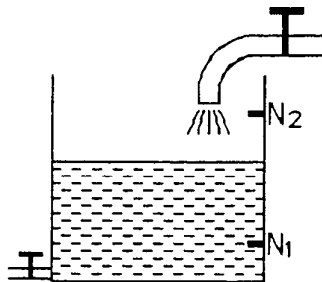
Nota: Todos os agrupamentos assinalados com setas representam agrupamentos redundantes para evitar picos nas variáveis de estado.

#### 5) Logigrama:

Com as equações acabadas de obter far-se-ia facilmente o logigrama que aqui não se reproduz por não acrescentar qualquer novidade.

#### Problema 18

Projecte o circuito que comanda o abrir-fechar de uma torneira que funciona do seguinte modo: a torneira abre quando o nível do líquido descer abaixo de N1 e fecha só quando atingir o nível N2.



Resolução:

1) Tabela de fluxos:

Codificação da saída

- 1 - Aberta;
- 0 - Fechada.

Codificação das entradas:

- N1 = 0 implica: nível abaixo de N1;
- N1 = 1 implica: nível acima de N1;
- N2 = 0 implica: nível abaixo de N2;
- N2 = 1 implica: nível acima de N2.

	00	01	11	10	N1N2
0	①/1	-	- <sup>(x)</sup>	1	
1	0	- <sup>(x)</sup>	2	①/1	
2	- <sup>(x)</sup>	-	②/0	3	
3	0	- <sup>(x)</sup>	- <sup>(xx)</sup>	③/0	

↑(xxx)  
 Impossibilidade física - o líquido não pode estar acima de N2 e abaixo de N1.

(x)

Não se consideram estes casos pois está-se no modo fundamental (não pode haver variação simultânea de mais do que uma variável).

(xx)

Impossibilidade de tipo físico. Estando a torneira fechada não é lógico que o nível suba.

(xxx)

Note-se que a existência de dois estados estáveis com saídas distintas para a mesma configuração das entradas (mesma coluna da tabela) é que garante que se trata de um circuito sequencial (com memória). Se ao construir-se uma tabela primitiva de fluxos esta situação não ocorrer está-se a cair em qualquer erro pois se está a tratar de um circuito combinatório.

2) Minimização:

1	✓		
2	<del>1,3</del>	<del>1,3</del>	
3	<del>1,3</del>	X	✓
	0	1	2

3) Codificação.

2	(2,3)	
1	(2,3) (1)	
0	(2,3) (0,1)	
	(1) (0)	← <u>Codificação</u>

4) Tabela de transições.

Minimizada com atribuição das saídas aos estados instáveis evitando picos:

Y/Z	00	01	11	10	N1N2
0	⊙/1	-	1/-	⊙/1	
1	0/-	-	⊙/0	⊙/0	
y					

5) Tabela de excitação e de saída:

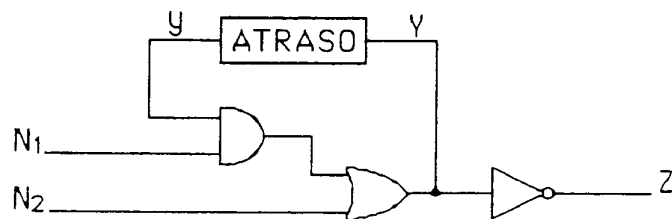
Y	00	01	11	10	N1N2
0	0	-	1	0	
1	0	-	1	1	
y					

$$Y = N_2 + y N_1$$

Z	00	01	11	10	N1N2
0	1	-	-	1	
1	-	-	0	0	
y					

$$Z = \bar{Y}$$

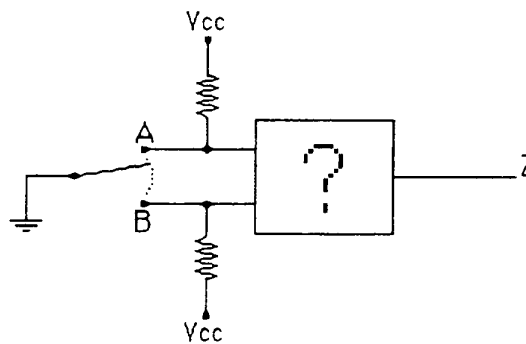
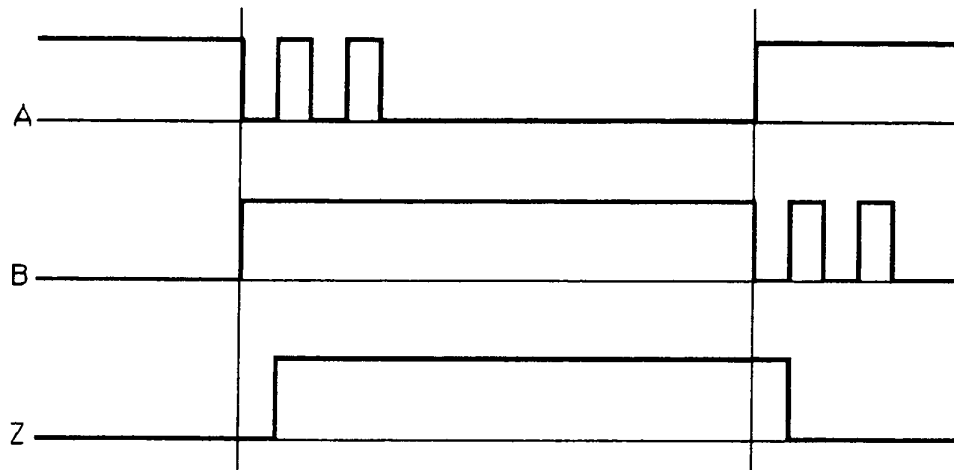
6) Logigrama:



**Problema 19**

Um problema incómodo associado aos interruptores é a "intermitência inicial": quando se move o interruptor de A para B, aquele começa por fazer um contacto inicial com B; seguidamente parece "tremar", produzindo uma sequência de impulsos irregulares até estacionar permanentemente em B. (Passa-se um fenómeno análogo quando se move o interruptor de B para A).

Projecte o circuito que elimina esta intermitência.

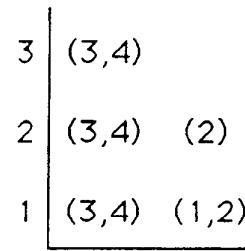
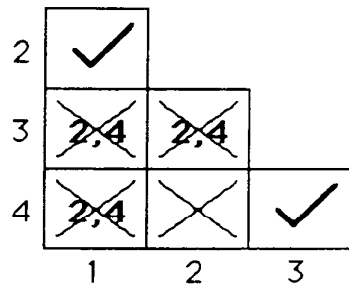


Resolução:

1) Tabela primitiva de fluxos:

	00	01	11	10	AB
1	-	-	2	①/0	
2	-	3	②/0	1	
3	-	③/1	4	-	
4	-	3	④/1	1	

2) Minimização:



3) Codificação dos estados:

(1,2) = 0

(3,4) = 1

4) Tabela de transições e saída:

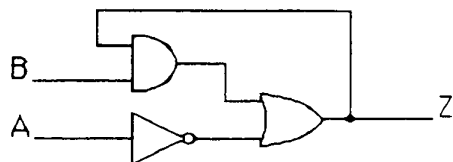
Y	00	01	11	10	AB
0	-	1	0	0	Y = $\bar{A} + B y$
1	-	1	1	0	
y					

Z	00	01	11	10	AB
0	-	-	0	0	Z = y
1	-	1	1	-	
y					

5) Logigrama:

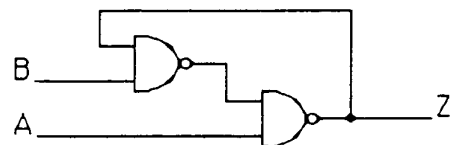
$Y = \bar{A} + B y$

$Z = y$



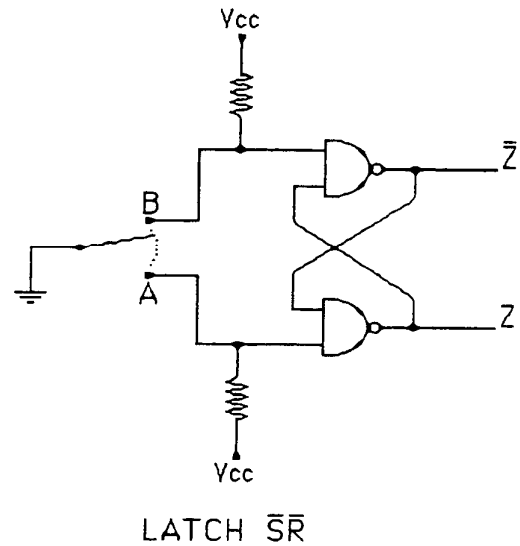
$Y = \overline{\overline{\bar{A} + B y}} = \overline{\bar{A} \cdot \bar{B} y}$

$Z = y$



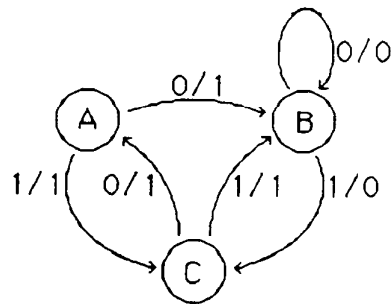
III





**Problema 20**

Considere a máquina sequencial síncrona descrita pelo seguinte diagrama de estados do tipo Mealy:

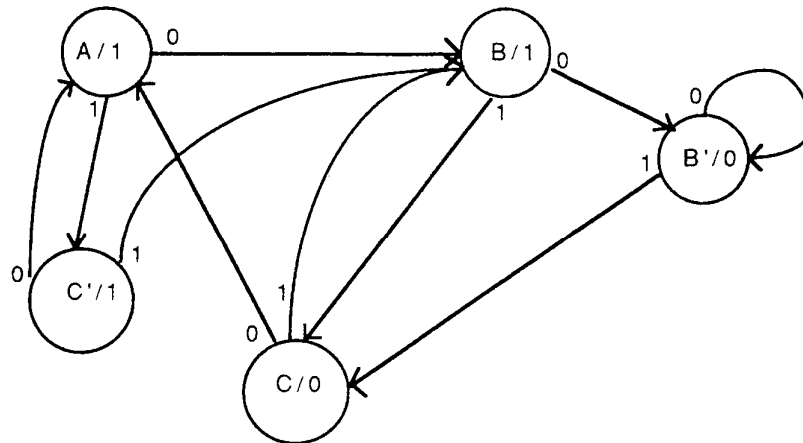


Obtenha o diagrama de estados de uma máquina equivalente mas descrita pelo modelo de Moore.

Este problema consiste numa mudança do modelo de descrição da máquina e, portanto, também do tipo de resposta temporal da máquina. De facto, quando se passa de um modelo de Mealey para um modelo de Moore, a resposta às mudanças nas entradas que era dada imediatamente, uma vez que as saídas dependem também das entradas, passa a vir apenas, após a mudança de estado consequente ao flanco activo do impulso de relógio.

Portanto, numa mudança de modelo, as saídas associadas a um estado e a uma entrada, vão ser as saídas do estado para onde se faz a transição. Como esses estados podem ter especificações incompatíveis de saídas será necessário criar mais estados, com um comportamento quase equivalente, isto é, apenas com saídas diferentes.

No nosso caso o resultado é o seguinte:



em que B' é um desdobramento de B e C' é um desdobramento de C.

### Problema 21

Desenhe o diagrama de estados de um circuito sequencial síncrono que gera uma das seguintes seqüências: 1100 e 0101, conforme uma variável de controle é "0" ou "1". A variável pode mudar em qualquer momento e a máquina nunca deve, na transição, enviar mais de 2 bits iguais.

Nada é dito sobre se se pretende uma máquina segundo o modelo de Mealey ou de Moore.

No entanto, um pequeno detalhe condiciona a escolha. No início do funcionamento da máquina, a sua primeira saída é "0" se a variável de entrada for "1" e será "1" no caso contrário.

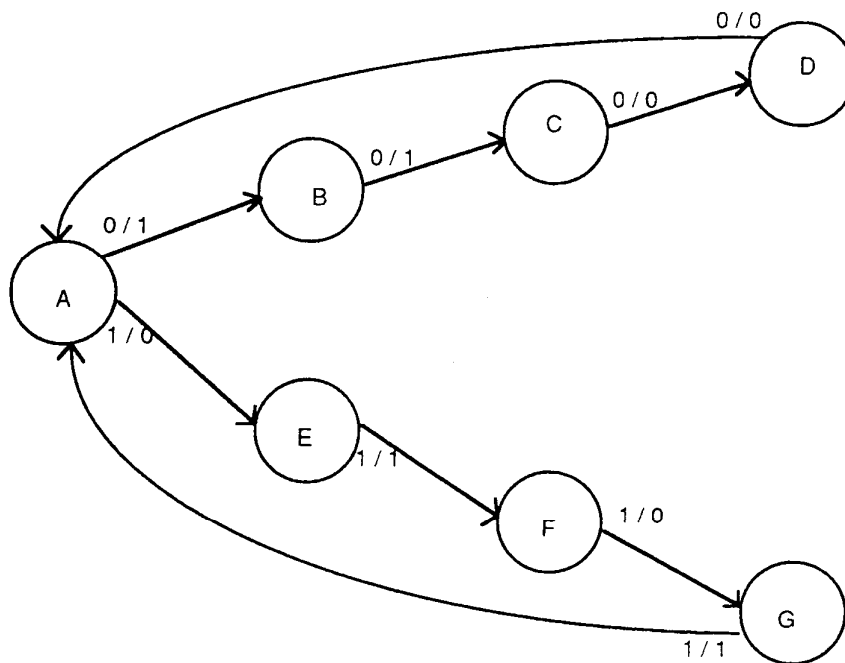
Quer isto dizer que a saída do primeiro estado depende da entrada. A máquina terá, portanto, de ser construída segundo o modelo de Mealey.

Vamos apresentar duas soluções. A primeira é, talvez, mais intuitiva. A segunda é muito mais simples.

#### 1ª solução

Uma vez que a máquina gera duas seqüências alternativas e pode passar de uma para a outra, a solução pode passar por construir primeiro os geradores das duas seqüências e, seguidamente interligá-los.

Assim, o primeiro passo será construir o seguinte diagrama (incompleto):



O ramo ABCD do diagrama gera a sequência 1100 quando  $X=0$ .

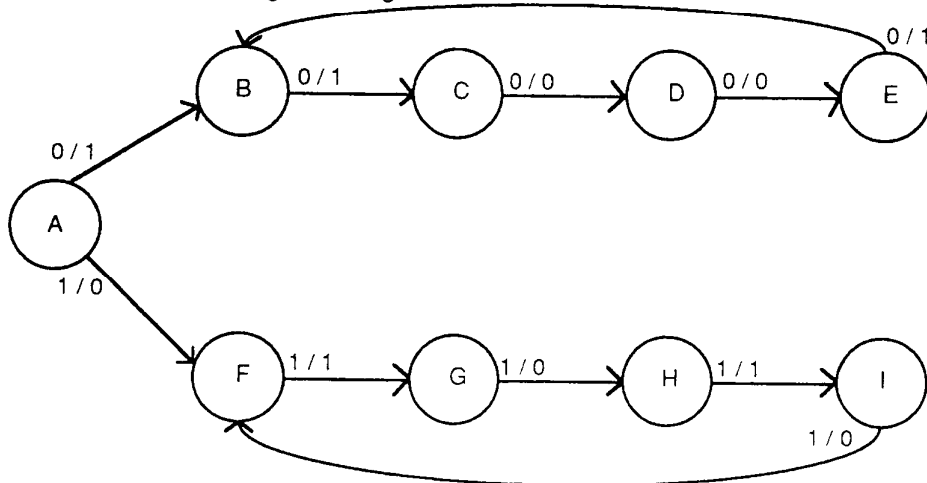
O ramo AEEFG gera a sequência 0101 quando  $X=1$ .

Acontece, porém que, se quando uma das sequências acaba a variável  $X$  mudar de valor, de forma à sequência seguinte arrancar logo após o fim da anterior, teríamos o fenômeno proibido no enunciado da existência de 3 bits iguais seguidos.

Por exemplo, a sequência de estados ABCDAEEFG... daria uma sequência de saídas **11000**101...

Várias soluções são possíveis. A mais óbvia (mas não a mais simples) é a de isolar o estado inicial da evolução futura das sequências e adiar o problema para a fase seguinte.

Ficaria então o seguinte diagrama de estados:



Podemos agora acrescentar as transições (e saídas) que faltam no diagrama e correspondem

à possível transição entre seqüências.

Consideremos o estado B.

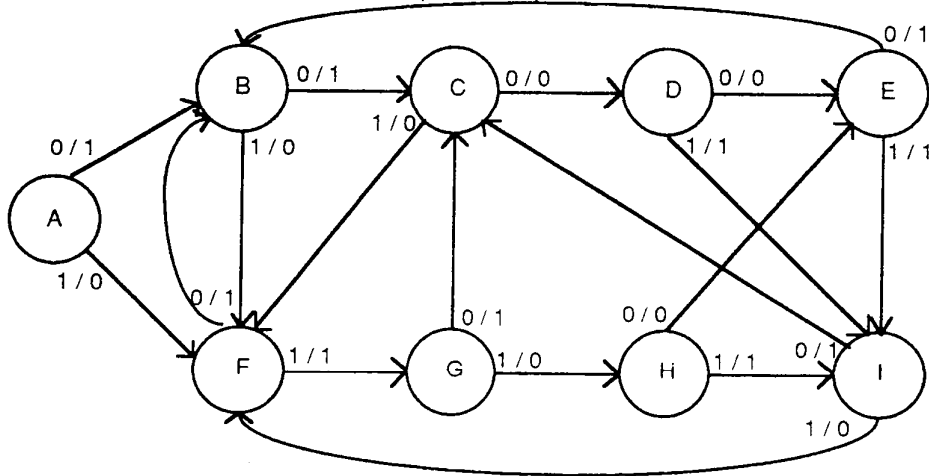
Se, nesse estado, a entrada passar a "1", para onde, na outra seqüência, devemos saltar? O enunciado não nos obriga a ir para o início da seqüência. Aliás, como vimos, nem sempre isso é, sequer, possível.

Podemos, por exemplo, "dar" imediatamente saída "0" e passar a F, mas poderíamos fazer muitas outras transições, de facto.

As únicas "passagens" proibidas seriam as que correspondessem a "dar" saída "1" e saltar para F ou H, uma vez que isso corresponderia a ter três "1"s seguidos: o primeiro no estado A, com entrada "0", o segundo em B com entrada "1" e o terceiro em F ou H com entrada "1".

À medida que vamos avançando no diagrama vamos perdendo flexibilidade nas transições, uma vez que umas vão impossibilitando outras.

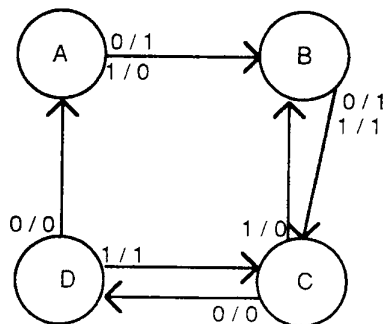
O diagrama final poderia ser, por exemplo:



Claro que, mesmo usando esta aproximação ao problema haveria muitas outras soluções possíveis.

2ª hipótese:

Outra solução com apenas 4 estados seria a seguinte:



**Problema 22**

a) Implemente, usando flip-flops JK e NANDs, o circuito sequencial dado pela seguinte tabela:

E.P./Z	E.S.	
	X=0	X=1
A/0	A	B
B/0	C	D
C/1	A	C
D/1	B	D

b) Sabendo que o tempo de atraso dos NANDs é de 7ns, o tempo de preparação dos flip-flops é de 10ns e o seu tempo de manutenção de 3 ns, qual a frequência máxima de funcionamento do circuito?

a) Façamos uma atribuição qualquer para as variáveis de estado:

Estado	variáveis	
	Q0	Q1
A	0	0
B	0	1
C	1	0
D	1	1

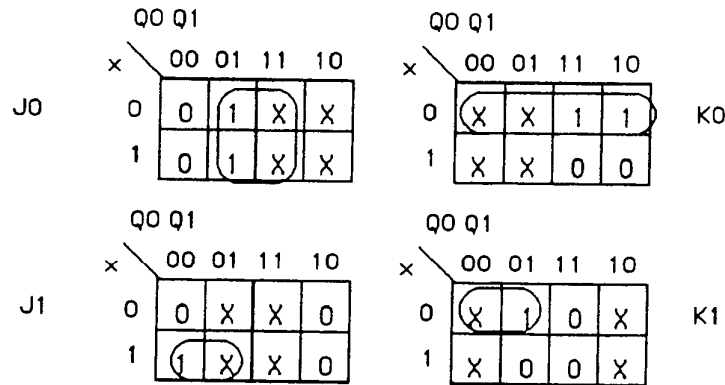
Com esta atribuição é possível refazer a tabela de estados em termos de variáveis de estado dos flip-flops:

Estado presente		Estado seguinte			
		x=0		x=1	
Q0	Q1	Q0	Q1	Q0	Q1
0	0	0	0	0	1
0	1	1	0	1	1
1	0	0	0	1	0
1	1	0	1	1	1

E facilmente se passa para as tabelas de excitação dos flip-flops:

Estado presente		Estado seguinte						Saída		
		x=0			x=1					
Q0	Q1	J0	K0	J1	K1	J0	K0	J1	K1	z
0	0	0	X	0	X	0	X	1	X	0
0	1	1	X	X	1	1	X	X	0	0
1	0	X	1	0	X	X	0	0	X	1
1	1	X	1	X	0	X	0	X	0	1

Construindo, agora os mapas de Karnaugh, vem:



donde:

$$J0 = Q1$$

$$K0 = \bar{x}$$

$$J1 = x \cdot Q0$$

$$K1 = \bar{x} \cdot Q0$$

e, como facilmente se vê:

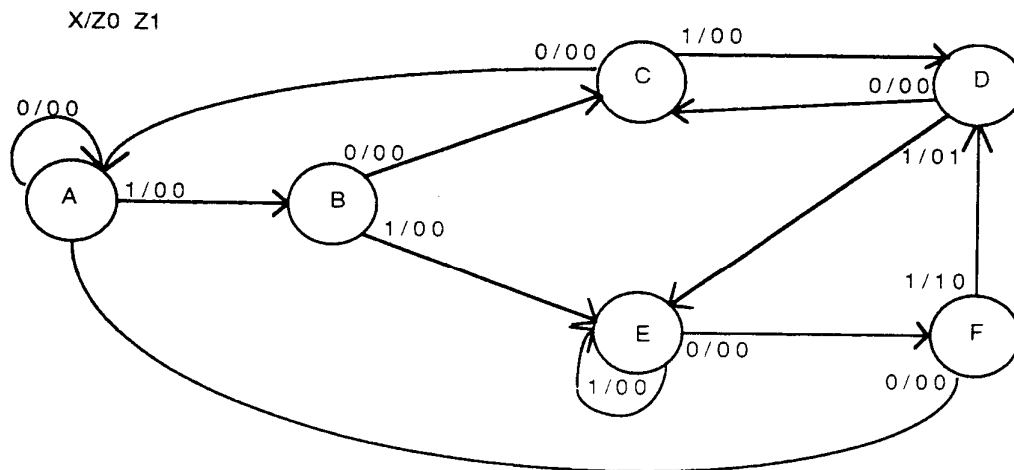
$$z = Q0$$

b) Com os dados fornecidos não é possível calcular a frequência máxima do circuito. Falta o tempo de atraso dos flip-flops.

### Problema 23

Determine o diagrama de estados ou o fluxograma de um circuito sequencial síncrono com uma entrada x e duas saídas Z0 e Z1, com o comportamento que se descreve:

Z0 = 1 apenas quando, na entrada, se verifica a sequência 1101 e Z0 = 0 em todos os restantes casos. Z1 = 1 apenas quando, na entrada, se verifica a sequência 1011 e Z1 = 0 em todos os restantes casos. A máquina deve detectar sequências com sobreposição.

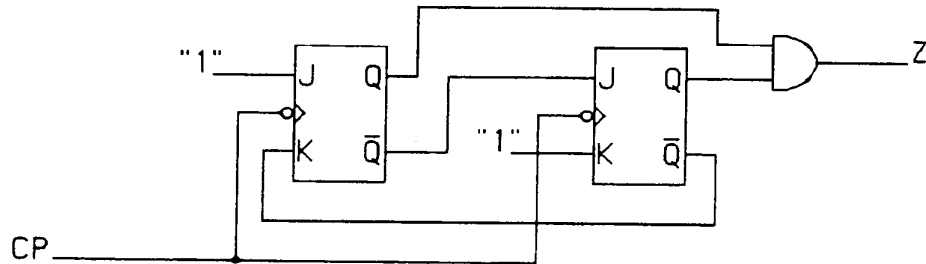


**Capítulo 7**  
**Circuitos Sequenciais**  
**Parte 1 - Circuitos Síncronos**

PROBLEMAS PROPOSTOS

**Problema 1**

Considere o seguinte circuito:



em que os flip-flops JK são edge-triggered negativos.

- A) Desenhe o diagrama de estados do circuito.  
B) Supondo que os dois flip-flops se encontram no estado "0", faça o diagrama temporal para a saída Z para a duração de 5 impulsos de relógio.

**Problema 2**

Projecte um circuito sequencial síncrono com uma entrada de dados e uma saída, que emite "1" sempre que detecta a sequência 101.

**Problema 3**

Projecte um contador que conte segundo o código: ...,0,3,7,2,5,0,...  
Pode utilizar os flip-flops que desejar.

**Problema 4**

Desenhe o diagrama de estados de um circuito sequencial síncrono com uma entrada e uma saída e que obedeça às seguintes especificações:

- i) A saída assume o valor "1" se os últimos 4 bits forem um número par em BCD.  
ii) Se for um número maior que 9 a saída será igual a "0".

(Notas: -O bit que entra primeiro é o bit mais significativo.

-Apenas interessa o valor da saída quando é recebido o 4º bit.)

**Problema 5**

Desenhe o diagrama de estados de um circuito sequencial síncrono de Moore com 2 entradas, X e Y, e uma saída Z, tais que:

- i) Se  $Y=0$ , então  $Z=X$ ;  
ii) Se  $Y=1$ , então Z é igual ao valor de X no período de relógio anterior. Admita que  $Y=0$  no instante inicial.

### Problema 6

( Exame 4 de Setembro de 1986 )

Determine o diagrama de estados de uma máquina sequencial síncrona com uma entrada e uma saída e com o seguinte comportamento:

- A máquina recebe pelo terminal de entrada seqüências de 4 bits. Desses 4 bits só considera os 3 primeiros. Como resposta a máquina fornece uma seqüência de 4 bits.

- A seqüência de saída é igual à seqüência de entrada mas inclui um 1 suplementar. Esse 1 segue-se à primeira seqüência de 2 zeros na entrada. Se tal seqüência não ocorrer na entrada o 1 será acrescentado no fim.

Exemplos:      Entrada    1 0 1 X 0 0 1 X 0 0 0 X  
                 Saída      1 0 1 1 0 0 1 1 0 0 1 0

### Problema 7

( Exame 4 de Setembro de 1986 )

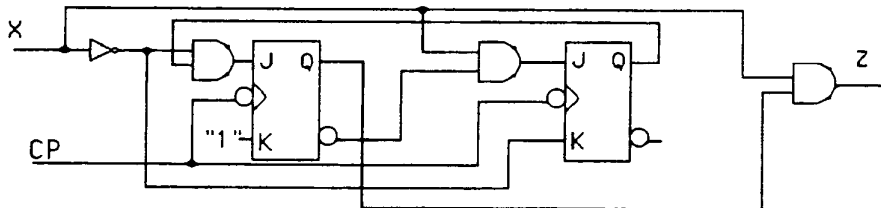
Projecte um circuito sequencial síncrono descrito por esta tabela. Pode simplificar a tabela, se o desejar.

E.P.	E.S./z	
	x=0	x=1
A	B/0	D/0
B	A/0	G/0
C	B/0	G/0
D	E/0	G/1
E	B/1	A/1
F	G/0	B/0
G	E/0	D/1

### Problema 8

(Exame - 22 de Fevereiro de 1988)

Considere o seguinte circuito:



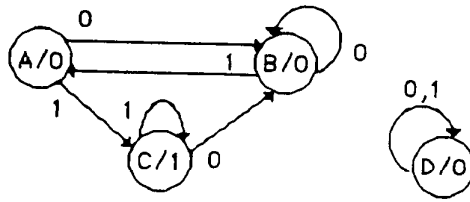
- Trata-se de um circuito concebido segundo o modelo de Moore ou de Mealy? Justifique brevemente (3 linhas no máximo).
- Determine a sua tabela de estados.



**Problema 9**

(Exame - 22 de Fevereiro de 1988)

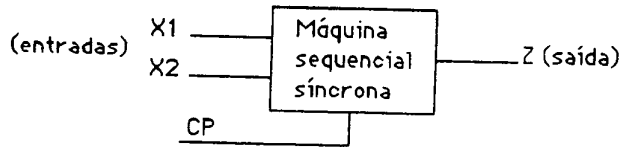
Faça o projecto do circuito sequencial síncrono especificado pelo seguinte diagrama de estados. Use os flip-flops que desejar. Não é necessário desenhar o logigrama.



**Problema 10**

(Teste - 1987)

Considere uma máquina sequencial síncrona com 2 entradas e uma saída, como representada na figura:



A saída permanece a 0 até que as entradas X1 e X2 sejam iguais uma à outra durante, pelo menos, 3 impulsos de relógio. Quando isso acontece a saída produzirá a sequência 1010.

Exemplo de funcionamento:

```

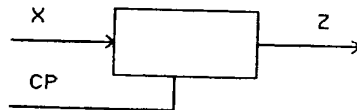
X1  01000110111
X2  10100101101
Z    00000010100
  
```

Determinar o diagrama de estados da máquina.

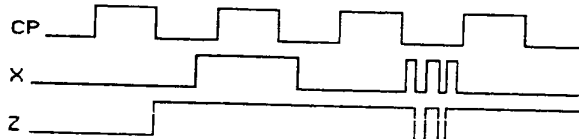
**Problema 11**

(Teste - 1987)

Considere a seguinte máquina síncrona:



Observou-se o seguinte comportamento:



A máquina foi construída segundo o modelo de Moore ou de Mealy? Porquê?

**Problema 12**

(Exame - 1987)

Usando flip-flops JK realize o projecto da seguinte máquina sequencial síncrona:

E.P.	E.S.	
	x=0	x=1
A	A/0	B/0
B	C/1	D/0
C	E/0	A/1
D	B/1	E/1
E	D/0	A/0

**Problema 13**

(Teste - 13 de Julho de 1987)

Um "Watchdog" é um circuito que vigia o bom funcionamento de outro circuito.

Para tal, o circuito vigiado vai periodicamente enviando impulsos ao "watchdog".

Se o circuito vigiado não enviar esse impulso periódico o "watchdog" activa uma saída de alarme.

Desenhe o diagrama de estados de um watchdog síncrono em que o impulso que vem do circuito vigiado surge com um período máximo de 6 impulsos de clock, dura o período do clock e é síncrono com este.

**Problema 14**

(Teste - 13 de Julho de 1987)

Desenhe o logigrama da máquina sequencial síncrona descrita pela seguinte tabela, usando os flip-flops que desejar.

E.P.	E.S./z			
	00	01	10	11
A	A/0	B/1	C/0	- / -
B	A/1	C/1	- / -	D/0
C	C/1	A/0	B/0	- / -
D	B/0	D/0	- / -	A/-

**Problema 15**

(Exame de 2ª Época - 24 de Abril de 1987)

Obtenha o diagrama de estados (ou o fluxograma) de um circuito sequencial síncrono com 2 entradas e 2 saídas que compare dois algarismos BCD.

Cada algarismo é presente em série por uma das entradas, começando pelo bit de menor peso. Nas entradas são presentes sequências sucessivas de 4 bits.

A saída deve indicar permanentemente se  $A > B$ ,  $A < B$  ou se  $A = B$ .**Problema 16**

(Exame - 6 de Fevereiro de 1987)

Implemente, com flip-flops JK o seguinte circuito sequencial síncrono:

E.P.	E.S./Z	
	x=0	x=1
A	A/0	B/1
B	C/1	C/0
C	D/1	A/0
D	A/0	D/1

**Problema 17**

(Exame de 2ª Época - 8 de Abril de 1986)

Considere a seguinte tabela de um circuito sequencial síncrono:

E.P.	E.S.		Z
	x=0	x=1	
A	A	B	0
B	C	E	0
C	F	D	1
D	A	C	1
E	E	A	1
F	F	B	0

Simplifique a tabela e implemente um circuito que cumpra o funcionamento especificado pela tabela. Use o tipo de flip-flops que preferir.

**Problema 18**

(Exame de 2ª Época - 8 de Abril de 1986)

Determine o diagrama de estados de um circuito sequencial síncrono de Moore com uma entrada x e uma saída z com o seguinte funcionamento: A saída z só vai a 1 após a entrada x ter ido a 1 e regressar a 0. A duração da permanência a 1 da saída é de um período de relógio.

**Problema 19**

(Exame 12 de Julho de 1986)

Determine o diagrama de estados de uma máquina sequencial síncrona com duas entradas e duas saídas, com o seguinte comportamento:

- A máquina recebe, através das duas entradas, sequências sucessivas de 4 bits.
- No fim de cada sequência a máquina deve indicar se as duas sequências que entraram pelas duas entradas correspondem **ambas** a dígitos BCD ou não.
- No caso das duas sequências corresponderem a dígitos BCD, a máquina deve indicar se eles são ou não iguais.

**Problema 20**

(Exame 12 de Julho de 1986)

Considere a seguinte tabela de uma máquina sequencial síncrona:

E.P.	E.S./z	
	x=0	x=1
A	B/0	A/1
B	C/1	C/0
C	D/1	B/1
D	A/1	D/0

Desenhe o logigrama de um circuito que a realize, usando flip-flops JK.

### Problema 21

(Exame 28 de Julho de 1986)

Determine o diagrama de estados de uma máquina sequencial síncrona com uma entrada e uma saída e com o seguinte comportamento:

- A máquina tem dois modos de funcionamento. No modo 1 a saída copia a entrada. No modo 2 a saída da máquina é permanentemente 0.
- A máquina passa do modo 1 para o modo 2 quando recebe a sequência de entradas 1111.
- A máquina passa do modo 2 para o modo 1 quando recebe a sequência 0101.

### Problema 22

(Rep. do 2º Teste - 20 de Fevereiro de 1987)

Determine o diagrama de estados de um circuito sequencial síncrono com uma entrada e uma saída, normalmente a 0 que, ao identificar a sequência 101, envia pela sua saída a sequência 1010.

### Problema 23

(Exame de 2ª Época - 13 de Abril de 1988)

Desenhe o diagrama de estados ou o fluxograma de um circuito sequencial síncrono com uma entrada e três saídas com o seguinte comportamento:

O circuito recebe sequências sucessivas de 4 bits que interpreta como algarismos BCD com o bit mais significativo a entrar em primeiro lugar. A máquina apresentará em duas saídas e simultaneamente com o último bit que entra, o resultado da divisão inteira do algarismo por 3.

Se a sequência de entrada não for um algarismo BCD, a terceira saída da máquina assumirá o valor 1 também em simultâneo com o último bit entrado.

Consideram-se as sequências de entrada sem sobreposição, como grupos sucessivos e independentes de 4 bits.

### Problema 24

(Exame de 2ª Época - 13 de Abril de 1988)

Considere a seguinte tabela de um circuito sequencial síncrono:

E.P.	xy		E.S./saída	
	00	01	10	11
A	A/0	B/1	A/0	B/1
B	C/1	D/0	A/0	B/1
C	B/1	B/0	A/0	C/0
D	A/1	D/0	B/1	C/1

Projecte o circuito. **Não desenhe o logigrama.**

**Problema 25**

(1º Exame - 8 de Julho de 1988)

Construa o diagrama de estados de um circuito sequencial síncrono com uma entrada e uma saída e o seguinte comportamento:

A saída é 1 durante um impulso de relógio sempre que as últimas 5 entradas começarem por dois uns seguidos e tenham exactamente 3 uns.

Ex.:           Entrada    001010101101001100100111001...  
                  Saída     000000000000010000010000001...

**Problema 26**

(1º Exame - 8 de Julho de 1988)

Usando flip-flops T projecte o circuito sequencial síncrono descrito pela seguinte tabela:

E.P./Z	E.S.	
	X=0	X=1
A/0	A	C
B/1	C	A
C/0	B	A

**Problema 27**

(Exame de 31 de Janeiro de 1989)

Determine o diagrama de estados (ou, se preferir a tabela ou o fluxograma) de uma máquina sequencial síncrona com uma entrada x e uma saída z com o seguinte funcionamento:

Nos dois primeiros impulsos de relógio a saída é 0. A partir daí, a saída é 1 se a entrada em cada instante é igual à entrada dois impulsos de relógio atrás e 0 nos restantes casos.

**Problema 28**

(Exame de 31 de Janeiro de 1989)

Projecte, usando flip-flops T um contador UP/DOWN síncrono módulo 3.

**Problema 29**

(Exame de 21 de Fevereiro de 1988)

Utilizando flip-flops D projecte um contador de módulo 8 com possibilidade de ser inicializado **sincronamente** a 6.

**Problema 30**

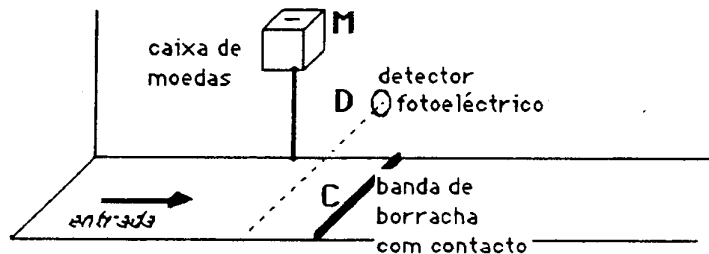
(Exame de 21 de Fevereiro de 1988)

Determine o diagrama ou uma tabela de estados de uma máquina sequencial síncrona que recebe algarismos BCD a começar pelo bit menos significativo. A máquina terá saída 1 se o algarismo for múltiplo de 4. (Não se esqueça que 0 é múltiplo de toda a gente...).

**Problema 31**

(Exame de 17 de Março de 1989)

Considere a entrada de um parque de estacionamento com a seguinte constituição:



Para um carro ser admitido no parque tem de introduzir uma moeda na ranhura. Após isso, uma cancela (não representada na figura) levanta e o carro pode prosseguir. Durante todo o tempo que o carro está a entrar o detector D está a 1. A cancela fecha após o carro ter saído de frente do detector. No caso de a banda ser pisada 3 vezes, isso significa que uma camionete está a tentar entrar (o que é proibido) ou há uma fraude. Nesse caso a cancela dverá fechar, caindo em cima do capot do carro e amachucando-o (bem feito).

Determine um fluxograma (ou qualquer outro método de representação de um circuito sequencial síncrono que implemente o control da cancela.

A moeda actua o sensor M durante 1 impulso de relógio.

**Problema 32**

(Exame de 17 de Março de 1989)

Projecte um contador binário de módulo 3, usando um flip-flop D para o bit menos significativo e um JK para o mais significativo.

**Problema 33**

(Exame de 7 de Julho de 1989)

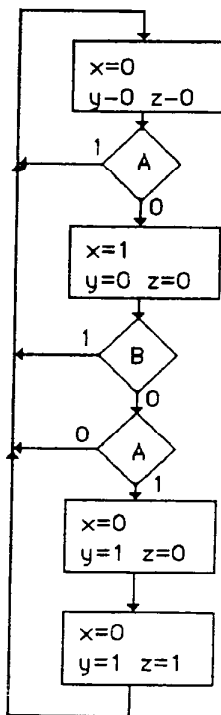
Determine o diagrama de estados de uma máquina sequencial síncrona com duas entradas ( $x_0$  e  $x_1$ ) e com duas saídas ( $y$  e  $z$ ). O funcionamento é o seguinte:

Pelas entradas são apresentados números em binário ( $x_1$ : bit mais significativo). A máquina analisa seqüências sucessivas de 3 números. Se a seqüência for 2,1,2, a variável  $y$  assume o valor 1 e a máquina recomeça a análise de outra seqüência. No caso da seqüência não ser a prevista,  $z$  assume o valor 1 e a máquina recomeça a análise de outra seqüência. As saídas mantêm o valor 1 durante um impulso de relógio.

**Problema 34**

(Exame de 7 de Julho de 1989)

Utilizando flip-flops JK projecte um circuito sequencial síncrono descrito pelo seguinte logograma:



**Problema 35**

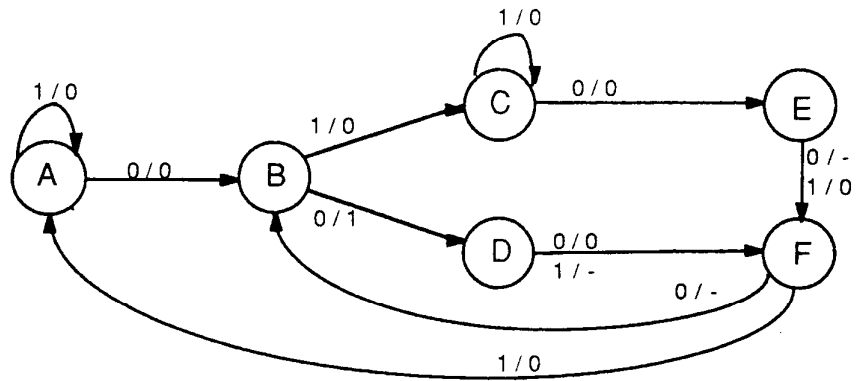
(Exame de 17 de Julho de 1989)

Determine o diagrama de estados de um circuito sequencial síncrono que detecte a sequência 010.

**Problema 36**

(Exame de 17 de Julho de 1989)

Considere a seguinte máquina sequencial síncrona:



- Simplifique, se possível, o diagrama de estados.
- Transforme este modelo num modelo de Moore. (Pode trabalhar sobre o modelo simplificado ou sobre este, como preferir)

**Problema 37**

(Exame de 8 de Setembro de 1989)

Determine o diagrama de estados de um circuito que faça as funções de divisor de frequência por 2 ou por 3 conforme o valor de uma linha de control M.



**Capítulo 7**  
**Circuitos Sequenciais**  
**Parte 1 - Circuitos Assíncronos**

PROBLEMAS PROPOSTOS

**Problema 1**

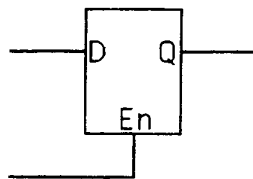
Sabendo que um flip-flop T tem a seguinte tabela de verdade:

T	$Q_{t+1}$
0	$Q_t$
1	$\bar{Q}_t$

Obtenha a tabela primitiva de fluxos desse flip-flop. (Pretende-se que o flip-flop seja edge-triggered positivo.)

**Problema 2**

Obtenha a tabela primitiva de fluxos de um latch D:



En	D	$Q_{t+1}$
0	X	$Q_t$
1	0	0
1	1	1

**Problema 3**

(Exame - 20 de Fevereiro de 1987)

Obtenha a tabela primitiva de fluxos de uma máquina sequencial assíncrona que resolva o seguinte problema:

Numa sala entra-se por um corredor estreito onde só cabe uma pessoa. Nesse corredor existem dois detectores a uma distância curta um do outro (imagine 5 cm). Pretende-se acender a luz da sala quando lá se encontra alguém. Admite-se que não podem estar mais de duas pessoas na zona (sala + corredor).

**Problema 4**

(Exame - 6 de Fevereiro de 1987)

Implemente sem simplificar, mas usando de todos os cuidados necessários, o seguinte circuito sequencial assíncrono:

	00	01	11	10	XY
a	(a)/1	c/-	c/-	(a)/1	
b	(b)/0	d/-	-/-	a/-	
c	b/-	(c)/0	(c)/0	a/-	
d	a/-	(d)/1	c/-	-/-	

**Problema 5**

(Teste - 13 de Julho de 1987)

A partir da seguinte tabela de fluxos e usando de todos os cuidados necessários, construa o respectivo circuito sequencial assíncrono:

	00	01	11	10	AB
x	(x)/0	y/-	-/-	z/-	
y	z/-	(y)/1	w/-	-/-	
z	(z)/1	w/-	w/-	(z)/1	
w	x/-	(w)/0	(w)/0	z/-	

**Problema 6**

( Exame 4 de Setembro de 1986 )

Considere um sistema de control de uma fechadura com as seguintes características:

Existem duas teclas de entrada, A e B. Se o utilizador carregar sequencialmente em A, depois em B e, por fim, novamente em A, a fechadura deve abrir (saída da máquina = 1). Em todos os restantes casos a fechadura permanece fechada. Assume-se que nunca estão duas teclas carregadas simultaneamente.

No caso de se introduzir uma sequência errada, o control deve ficar bloqueado e, não permitir a nova utilização da fechadura.

Construa a tabela primitiva de fluxos do circuito de control.

**Problema 7**

( Exame 4 de Setembro de 1986 )

Considere a seguinte tabela de uma máquina sequencial assíncrona:

	IJ			
	00	01	11	10
a	(a)/0	c	b	(a)/0
b	c	(b)/1	(b)/1	a
c	(c)/1	(c)/0	b	d
d	a	b	(d)/0	(d)/1

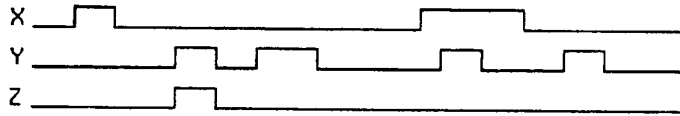
Desenhe o logigrama de um circuito que a realize usando de todos os cuidados incluindo a ausência de picos nas saídas nas transições de estados.

**Problema 8**

(Teste - 22 de Fevereiro de 1988)

Determine a tabela primitiva de fluxos de um circuito sequencial assíncrono com duas entradas X e Y e uma saída Z, com o seguinte comportamento: A saída Z copiará o primeiro impulso que surgir na entrada Y, após a entrada X ter recebido um impulso com a entrada Y permanentemente a 0. Z=0 durante o resto do tempo.

Exemplo:



**Problema 9**

(Teste - 22 de Fevereiro de 1988)

A partir da seguinte tabela de fluxos e usando de todos os cuidados necessários, construa o respectivo circuito sequencial assíncrono:

	00	01	11	10
a	a/0	b/- c/-	a/0	
b	a/-	b/1 b/0	c/-	
c	a/-	b/- c/1	c/1	

**Problema 10**

(2º Exame - 22 de Fevereiro de 1988)

Determine a tabela primitiva de fluxos de um latch SR simples.

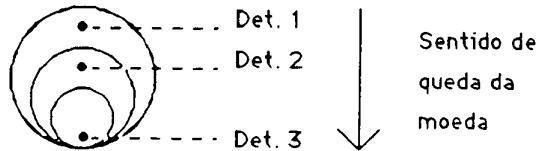
**Problema 11**

(Teste - 1987)

Determine a tabela primitiva de fluxos de um circuito sequencial assíncrono que identifique moedas de 3 tipos (2\$50, 5\$00 e 25\$00) introduzidas numa cabine telefónica.

Para tal, existem 3 detectores colocados a distâncias relacionadas com o diâmetro da moeda, conforma figura junto:

Para simplificar, ignore a existência das restantes moedas (1\$00, 10\$00, 20\$00, 50\$00).



**Problema 12**

(Teste - 1987)

Sem simplificar a tabela de fluxo seguinte:

	x,y			
	00	01	11	10
x	y/- x/0	w/- x/1		
y	y/1 y/0	w/- x/-		
z	z/0 x/-	w/- z/0		
w	w/0 y/-	w/1 z/-		

- Especifique as saídas dos estados instáveis de modo a evitar picos.
- Atribua uma codificação aos estados de modo a evitar corridas críticas.

**Problema 13**

(Teste - 13 de Julho de 1987)

Obtenha a tabela primitiva de fluxos de um flip-flop T edge-triggered.

**Problema 14**

(Exame de 2ª Época - 24 de Abril de 1987)

Implemente com todos os cuidados necessários o circuito sequencial assíncrono descrito pela seguinte tabela:

	00	01	11	10
a	a/0 a/0	b	b	
b	c	b/1	d	b/0
c	c/1	a	c/1	-
d	c	b	d/0	d/1

**Problema 15**

(Exame - 6 de Fevereiro de 1987)

Obtenha a tabela primitiva de fluxos de um latch D com enable.

**Problema 16**

(Exame de 2ª Época - 8 de Abril de 1986)

Determine a tabela primitiva de fluxos de um circuito sequencial assíncrono com 2 entradas, D e CP e uma saída Q que tem o comportamento de um flip-flop D edge-triggered.

**Problema 17**

(Exame de 2ª Época - 8 de Abril de 1986)

Simplifique a tabela primitiva de fluxos que se segue e construa o circuito correspondente, usando de todos os cuidados necessários para o bom funcionamento do circuito, incluindo a não existência de picos nas saídas.

	00	01	11	10
a	a/0	b	-	d
b	a	b/1	f	-
c	-	e	c/0	g
d	a	-	c	d/1
e	a	e/1	f	-
f	-	b	f/1	g
g	a	-	c	g/0

**Problema 18**

(Exame 12 de Julho de 1986)

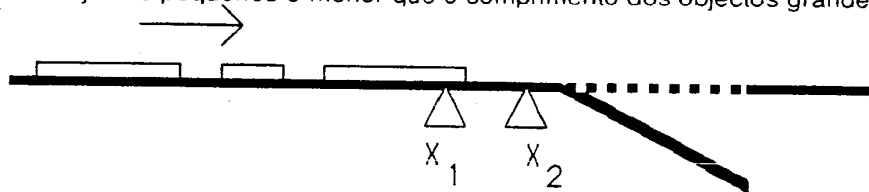
Construa a tabela primitiva de fluxos de um flip-flop D edge-triggered que reaja a ambos os flancos de relógio.

**Problema 19**

(Exame 28 de Julho de 1986)

Considere que dispõe de uma correia transportadora onde circulam objectos com dois comprimentos diferentes.

Existem dois detectores  $X_1$  e  $X_2$  situados a uma distância um do outro, maior que o comprimento dos objectos pequenos e menor que o comprimento dos objectos grandes.



Dessa forma é possível distinguir um objecto de uma classe de um objecto da outra. Uma máquina sequencial assíncrona tem esses dois detectores como entradas e tem uma saída  $z$  que controla um alçapão que deve ser aberto para deixar cair os objectos pequenos.

Dadas as decisões em consideração nunca é possível estarem mais de 2 objectos na zona dos detectores.

Construa a tabela primitiva de fluxos do sistema de controlo do alçapão.

**Problema 20**

(Exame 28 de Julho de 1986)

Considere a seguinte tabela de uma máquina sequencial assíncrona:

	IJ			
	00	01	11	10
a	a/0	a/1	b	c
b	d	b/1	b/0	c
c	a	c/0	b	c/0
d	d/1	c	b	d/1

Desenhe o logigrama de um circuito que a realize usando de todos os cuidados incluindo a ausência de picos nas saídas nas transições de estados.

**Problema 21**

(Rep. do 2º Teste - 20 de Fevereiro de 1987)

Projecte a seguinte máquina assíncrona usando de todos os cuidados necessários:

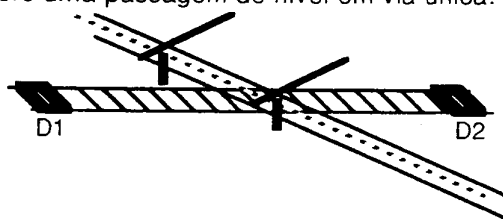
Por facilidade projecte apenas uma das variáveis de realimentação.

	IJ			
	00	01	11	10
a	a/0	a/1	b	c
b	b/0	a	b/1	d
c	a	-	c/1	c/1
d	b	a	d/0	d/0

**Problema 22**

(Exame de 2ª Época - 13 de Abril de 1988)

3. Considere uma passagem de nível em via única:



O mecanismo é activado automaticamente pelos comboios. Quando surge um comboio numa direcção, a sua passagem sobre o detector anterior à passagem de nível, provoca o fecho desta e a passagem sobre o detector posterior provoca a sua abertura. Os comboios são muito mais curtos que a distância D1-D2.

Determine a tabela primitiva de fluxos para um circuito sequencial assíncrono que controle a passagem de nível.

**Problema 23**

(Exame de 2ª Época - 13 de Abril de 1988)

a) Determine uma codificação adequada para os estados do seguinte circuito sequencial assíncrono.

	00	01	11	10
a	a/1	a/1	b	c
b	c	b/0	b/0	d
c	c/0	a	b	c/0
d	a	b	d/1	d/1

b) Defina as saídas não especificadas de modo a evitar picos.

**Problema 24**

(1º Exame - 8 de Julho de 1988)

Determine o diagrama primitivo de fluxos de um circuito sequencial assíncrono com duas entradas x e y que produz uma saída z=1 quando as duas entradas são simultaneamente iguais a 1, desde que a entrada x tenha chegado a 1 antes da entrada y.

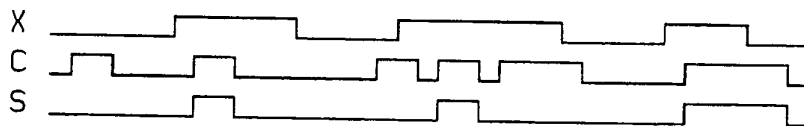
**Problema 25**

(Exame de 31 de Janeiro de 1989)

Determine o diagrama primitivo de fluxos para um circuito sequencial assíncrono com 2 entradas e 1 saída e com o seguinte funcionamento:

A saída é sempre 0 excepto quando a entrada C passa de 0 a 1 com a entrada X a 1. Nesse caso a saída mantém-se a 1 enquanto C for 1. Para a saída voltar a ser 1, a entrada X tem de voltar a ser 0 e, repetir-se a condição referida.

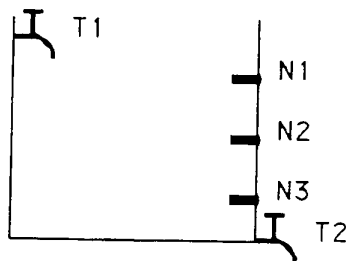
Exemplo:



**Problema 26**

(Exame de 21 de Fevereiro de 1988)

Determine a tabela primitiva de fluxos de um circuito sequencial assíncrono que controla o encher e o despejar do seguinte depósito:



T são torneiras que deixam passar líquido quando a variável do mesmo nome está a "1"  
N são sensores que estão a "1" quando em contacto com líquido e a "0" no caso contrário.  
Considere o seguinte funcionamento:

Quando o líquido subir acima de N1 fecha-se a torneira T1 e mantém-se T2 aberta. T1 volta a ser ligada apenas se o líquido descer abaixo de N2. Se o líquido descer abaixo de N3 deverá fechar-se a torneira T2 mantendo-se fechada até o líquido ultrapassar N2.

**Problema 27**

(Exame de 17 de Março de 1989)

Determine a tabela primitiva de fluxo de um circuito sequencial assíncrono com 2 entradas (X e C) e uma saída (Z) com o seguinte funcionamento:

A saída muda de valor lógico sempre que ocorra um flanco (ascendente ou descendente) na linha C quando a linha X está a "1".

**Problema 28**

(Exame de 7 de Julho de 1989)

Conceba a tabela primitiva de fluxos de uma máquina sequencial assíncrona que, após um flanco ascendente na sua linha de entrada, forneça um pico, tão curto quanto possível na sua linha de saída.

**Problema 29**

(Exame de 17 de Julho de 1989)

Construa a tabela primitiva de fluxos de um circuito sequencial assíncrono que detecta coincidências.

A máquina tem duas entradas e uma saída. Quando as duas entradas são simultaneamente 0, a saída assume o valor 0 que mantém até as duas entradas coincidirem no valor 1, caso em que assume o valor 1. Suponha que inicialmente as duas entradas são 0.

**Problema 30**

(Exame de 17 de Julho de 1989)

Codifique, sem aumentar o número de estados, os estados da máquina assíncrona descrita na seguinte tabela de maneira a evitar corridas críticas:

EP	00	01	11	10	XY
A	A/0	-	B/-	-	
B	-	D/-	B/1	C/0	
C	D/-	-	-	C/0	
D	E/-	D/0	-	E/-	
E	E/1	-	F/0	E/1	
F	A/0	-	F/0	C/-	

**Problema 31**

(Exame de 8 de Setembro de 1989)

Construa a tabela primitiva de fluxos de um circuito sequencial assíncrono com duas entradas e uma saída. O circuito deve apresentar o valor 1 à saída sempre que as entradas sejam



"10" após terem sido por esta ordem "00", "01" e "11" (e apenas nesta sequência). Exemplo:

x1 001011000011110...  
x2 011110010110100...  
z1 000000000001000...

**Problema 32**

(Exame de 8 de Setembro de 1989)

Codifique, evitando corridas críticas, de preferência sem aumentar o número de estados, os estados do circuito sequencial assíncrono descrito pela seguinte tabela de fluxos:

x1		0	1	1	0
x2		0	0	1	1
=====					
a		<b>a/0</b>	c/-	-/-	b/-
b		<b>b/0</b>	-/-	d/-	<b>b/1</b>
c		b/0	<b>c/-</b>	d/0	-/-
d		a/-	-/-	<b>d/0</b>	-/-

**Capítulo 7**  
**Circuitos Sequenciais**  
**Parte 3 - Simplificação de Tabelas**

PROBLEMAS PROPOSTOS

**Problema 1**

(Exame - 6 de Fevereiro de 1987)

Simplifique a seguinte tabela de uma máquina sequencial síncrona:

E.S./Z	0	1	X
A	B/1	E/0	
B	F/0	D/1	
C	F/1	B/0	
D	B/1	D/0	
E	B/1	A/0	
F	C/1	B/0	

E.P.

**Problema 2**

Simplifique a seguinte tabela de uma máquina sequencial síncrona:

E.S./Z	0	1	X
A	E/0	A/1	
B	C/1	B/0	
C	C/0	E/1	
D	E/1	B/0	
E	E/0	D/1	
F	F/0	E/1	

E.P.

**Problema 3**

(Exame - 20 de Fevereiro de 1987)

Simplifique a seguinte tabela de um circuito sequencial assíncrono:

	00	01	11	10	XY
a	Ⓐ/0	b	-	e/0	
b	a	Ⓑ/1	c	-	
c	-	e/0	Ⓒ/0	d	
d	a	-	f	Ⓓ/1	
e	a/0	Ⓔ/0	c/0	e/0	
f	-	b	Ⓕ/0	d	

**Problema 4**

(2º Teste - 6 de Fevereiro de 1987)

Simplifique a tabela primitiva de fluxos do seguinte circuito sequencial assíncrono:

	00	01	11	10	XY
a	Ⓐ/1	c /-	- /-	b /-	
b	a /1	- /-	g /-	Ⓑ/1	
c	f /0	Ⓒ/0	d /-	- /-	
d	- /-	h /-	Ⓓ/1	e /-	
e	f /1	- /-	d /-	Ⓔ/0	
f	Ⓕ/1	c /0	- /-	b /-	
g	- /-	h /-	Ⓖ/0	b /-	
h	a /-	Ⓗ/1	g /-	- /-	

**Problema 5**

(Teste - 13 de Julho de 1987)

Simplifique a seguinte máquina sequencial assíncrona:

	00	01	11	10	AB
x	Ⓐ/0	y /0	- /-	z /-	
y	x /0	Ⓒ/0	w /-	- /-	
z	s /1	- /-	r /-	Ⓓ/1	
w	- /-	u /-	Ⓖ/1	t /-	
r	- /-	u /-	Ⓕ/0	z /-	
s	Ⓖ/1	y /-	- /-	z /-	
t	x /0	- /-	w /-	Ⓓ/0	
u	s /-	Ⓒ/1	r /-	- /-	

**Problema 6**

Minimize a seguinte tabela primitiva de fluxos, indicando os conjuntos compatíveis máximos:

	00	01	11	10	AB
1	Ⓐ/0	2 /-	- /-	3 /-	
2	1 /-	Ⓑ/0	4 /-	- /-	
3	1 /-	- /-	5 /-	Ⓒ/0	
4	- /-	2 /-	Ⓓ/0	3 /-	
5	- /-	6 /-	Ⓔ/1	7 /-	
6	8 /-	Ⓑ/1	5 /-	- /-	
7	8 /-	- /-	5 /-	Ⓕ/1	
8	Ⓖ/1	2 /-	- /-	7 /-	

**Problema 7**

(Exame - 22 de Fevereiro de 1988)

Simplifique a seguinte tabela de um circuito sequencial síncrono incompletamente especificado:

E.P.	E.S./z			
	00	01	10	11
A	-/-	-/-	E/1	-/-
B	C/0	A/1	B/0	-/-
C	C/0	D/1	-/-	A/0
D	-/-	E/1	B/-	-/-
E	B/0	-/-	C/-	B/0

**Problema 8**

(Teste - 1987)

Simplifique a seguinte máquina sequencial síncrona:

E.P	x=0	x=1
A	D/0	F/1
B	H/0	A/1
C	B/0	G/0
D	G/0	D/1
E	C/0	D/1
F	E/0	F/1
G	A/0	C/0
H	C/0	H/1

**Problema 9**

(Teste - 1987)

Simplifique a tabela da seguinte máquina sequencial assíncrona:

	00	01	11	10
a	a/0	b	-	d
b	e/1	b/1	c	-
c	-	b	c/0	d
d	a	-	f/1	d/1
e	e/1	b/1	-	d/1
f	-	b/1	f/1	d/1

**Problema 10**

(Exame de 2ª Época - 24 de Abril de 1987)

Simplifique a seguinte tabela de uma máquina sequencial síncrona.

E.P.	E.S./Z			
	00	01	10	11
A	A/0	B/-	-/-	C/1
B	A/0	-/-	C/0	C/1
C	C/-	-/-	H/1	-/-
D	B/0	B/0	-/-	C/-
E	D/-	-/-	E/0	-/-
F	-/-	F/1	-/-	B/0
G	C/1	-/-	E/-	G/0
H	-/-	-/-	-/-	D/1

**Problema 11**

(Exame 12 de Julho de 1986)

2. Simplifique a tabela do seguinte circuito sequencial assíncrono:

	00	01	11	10
a	(a)/0	b	-	c
b	a	(b)/0	d	-
c	a	-	e	(c)/0
d	-	b	(d)/0	f
e	-	g	(e)/1	f
f	h	-	e	(f)/1
g	a	(g)/1	e	-
h	(h)/1	b	-	f

**Problema 12**

(Exame 28 de Julho de 1986)

Simplifique a tabela do seguinte circuito sequencial síncrono:

E.P.	E.S. XY			
	00	01	10	11
A	C/0	-	F/0	C/1
B	C/-	A/0	-	C/1
C	D/-	C/0	-	-
D	D/1	-	F/-	D/-
E	E/-	-	A/1	C/0
F	F/1	A/1	F/1	F/-

**Problema 13**

(Rep. do 2º Teste - 20 de Fevereiro de 1987)

Simplifique a seguinte máquina sequencial síncrona:

EP/z	ES	
	x=0	x=1
A/0	F	A
B/1	C	B
C/0	B	D
D/1	E	H
E/0	F	A
F/1	G	F
G/0	B	D
H/0	F	C

**Problema 14**

(1º Exame - 8 de Julho de 1988)

Simplifique a seguinte tabela que descreve um circuito sequencial síncrono:

E.P.	E.S./Z	
	X=0	X=1
A	B/1	H/1
B	F/1	D/1
C	D/0	E/1
D	C/0	F/1
E	D/1	C/1
F	C/1	C/1
G	C/1	D/1
H	C/0	A/1

**Problema 15**

(Exame de 31 de Janeiro de 1989)

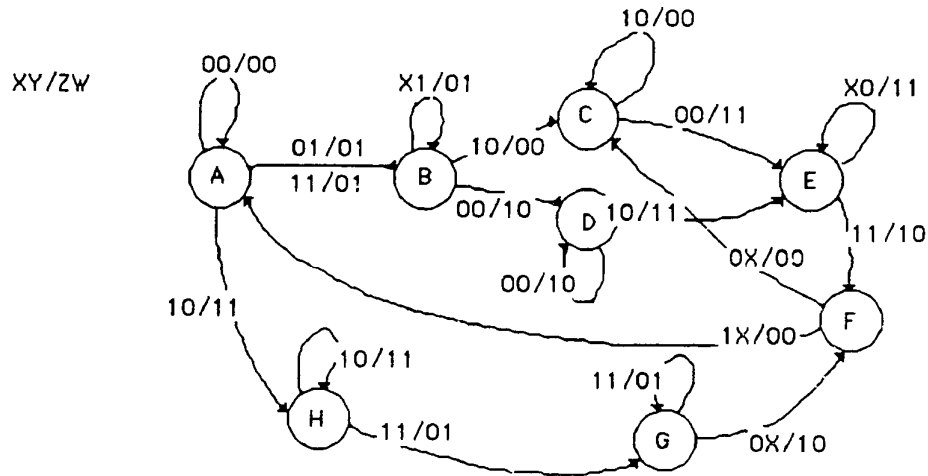
Simplifique a seguinte máquina sequencial:

EP	ES			
	00	01	10	11
S0	S0/00	S2/01	-	S0/01
S1	S0/00	-	-	S1/11
S2	-	S2/01	S4/00	-
S3	-	S6/10	S3/00	S1/11
S4	-	S5/10	S4/00	S5/11
S5	S0/00	-	-	S5/11
S6	S0/00	S6/10	-	-

**Problema 16**

(Exame de 21 de Fevereiro de 1988)

Considere o seguinte diagrama de estados de um circuito sequencial síncrono:



- Determine a respectiva tabela de estados
- Minimize a tabela de estados

**Problema 17**

(Exame de 17 de Março de 1989)

Simplifique a tabela do seguinte circuito sequencial síncrono:

E.P.	E.S./saída z	
	X=0	X=1
A	E/0	D/0
B	A/0	E/1
C	B/0	G/0
D	A/0	D/0
E	F/0	B/1
F	E/0	G/0
G	C/0	G/0

**Problema 18**

(Exame de 7 de Julho de 1989)

Considere a seguinte tabela de fluxos de um circuito sequencial assíncrono:

xy	00	01	11	10
a	a/0	-	b/1	-
b	-	d/1	b/1	c/-
c	a/-	-	a/1	c/0
d	-	d/1	b/1	-

Faça uma atribuição de variáveis de estado que evite corridas críticas.

**Problema 19**

(Exame de 8 de Setembro de 1989)

Simplifique a seguinte tabela de fluxos de um circuito sequencial assíncrono:

x1		0	1	1	0
x2		0	0	1	1

---

---

a		a/0	a/1	-/-	f/0
b		e/-	-/-	b/1	f/0
c		c/0	d/-	-/-	c/1
d		-/-	d/0	e/-	-/-
e		e/0	-/-	e/0	c/1
f		c/-	-/-	b/-	f/0