

# FAQ

**FAQ v0.4.3**

**Perguntas frequentes relacionadas  
com ISE da Xilinx e ferramentas associadas**

**Versão da ferramenta: Xilinx ISE 10.1**

Departamento de Engenharia Electrotécnica e de Computadores

Instituto Superior Técnico

Outubro de 2012

## Table of Contents

1.	Instalação do Xilinx ISE 10.1 / Máquina Virtual.....	1
	• Não consigo instalar o Xilinx ISE 10.1 no Windows 7 / Windows 64-bits. ....	1
	• Como instalar a máquina virtual?.....	1
	• O Virtual Box não reconhece o disco virtual.....	1
	• Como partilhar uma pasta na máquina virtual? .....	1
	• Como activar a rede na máquina virtual?.....	1
2.	Dúvidas de utilização.....	2
	• Como criar um novo projecto? .....	2
	• Como efectuar um AND de um sinal com todos os sinais de um barramento .....	2
	• Como seleccionar entre dois dos sinais de dois barramentos diferentes .....	3
	• Como usar símbolos múltiplos ou iterados .....	3
3.	Problemas com o projecto .....	4
	• O projecto não compila e dá um fatal error .....	4
	• Alterei um circuito do projecto, mas o ISE não actualiza a simulação. ....	4
	• A ferramenta não apresenta o símbolo de um esquema acabado de criar. ....	4
	• A ferramenta não actualiza o símbolo que acabei de editar. ....	4
	• Os portos de entrada/saída de um símbolo são diferentes dos indicados no esquema .....	4
	• Como expandir o número de bits de um sinal? .....	5
	• O ISE não cria o ficheiro de testbench apresentando erros de compilação. ....	5
4.	Erros de compilação em Xilinx ISE.....	6
	• Pin "O" is connected to a bus of a different width. ....	6
	• Net "X" cannot be connected to both an input port and an instance output pin. ....	6
	• Net "X" is connected to too many source pins and/or I/O markers. ....	6
	• Incorrect bus tap at (...); destination branch (...) is not part of the source branch (...). ....	7
	• HDLParsers:3562 - ___ Expecting 'vhdl' or 'verilog' keyword, found 'work'. ....	7
	• HDLCompiler:89 - ___ Line ___ . ___ remains a black-box since it has no binding entity.....	7
	• HDLCompiler:245 - ___ Line ___ . Binding entity ___ does not have port ___ .....	8
	• ERROR:Simulator:222 - Generated C++ compilation was unsuccessful.....	8
5.	Problemas com a simulação.....	9
	• O diagrama temporal não apresenta o sinal de relógio já com a forma de onda definida. ....	9
	• O diagrama temporal apresenta todos os sinais a vermelho. ....	10
	• O diagrama temporal apresenta valores transitórios durante o período de relógio. ....	10
	• Como verificar, na simulação, o valor de um sinal sem ter de criar um porto específico? .....	10
	• Como aumentar o test bench (definição dos sinais de entrada) para além 1000ns?.....	11
	• Como aumentar o tempo de simulação para além dos 1000ns? .....	11

- Não vejo o diagrama temporal completo na janela da simulação. .... 11
- Criei uma nova entrada num esquema de um circuito mas esta não aparece na simulação..... 11
- 6. Problemas com o relatório..... 12
  - Como imprimir um ficheiro na máquina virtual?..... 12
  - Como tirar um print-screen na máquina virtual? ..... 12
  - Os diagramas temporais vêm-se mal quando impressos com o fundo preto. .... 12
  - Como alterar as cores da simulação? ..... 12

# 1. Instalação do Xilinx ISE 10.1 / Máquina Virtual

- *Não consigo instalar o Xilinx ISE 10.1 no Windows 7 / Windows 64-bits.*

A versão da ferramenta usada no laboratório (Xilinx ISE 10.1), não é suportada em Windows 7 ou qualquer versão de Windows 64-bits (<http://www.xilinx.com/support/answers/18419.htm>). A ferramenta só é suportada a partir da versão 12.x, a qual não é totalmente compatível com a versão 10.1, nomeadamente:

- Os ficheiros de esquema em 12.x são diferentes dos ficheiros de esquema da versão 10.1. A versão mais recente consegue abrir os projectos e ficheiros criados na versão 10.1, mas o inverso não é verdade.
- Na versão 12.x não é possível fazer simulações através da interface gráfica. Não será leccionado nas aulas como fazer simulações sem a ferramenta gráfica (i.e., em VHDL).

A solução é usar a máquina virtual disponibilizada para esse efeito. A alternativa (não recomendada e não suportada pelo corpo docente) é a activação do serviço webclient.

- *Como instalar a máquina virtual?*

Ler as instruções sobre instalação na página <http://web.ist.utl.pt/~ist14359/sw/boole/>.

- *O Virtual Box não reconhece o disco virtual.*

A imagem do disco virtual disponibilizada está comprimida no formato RAR. Assim, antes de instalar o disco virtual é necessário descompactar o ficheiro. Para tal poderá usar um programa de compactação como o WinRAR ou o 7-Zip.

- *Como partilhar uma pasta na máquina virtual?*

Nas opções de configuração da máquina virtual (no VirtualBox), pressionar em Settings, seguidamente:

Activate Shared Folders

1. No icon "Add Shared Folder"
2. Folder Path: (seleccionar a pasta a partilhar)
3. Folder Name: host\_folder
4. Auto-mount

A pasta partilhada será montada automaticamente na máquina virtual em: /media/sf\_host\_folder.

- *Como activar a rede na máquina virtual?*

A máquina virtual neste momento não suporta activação da placa de rede. Futuras versões deverão resolver este problema.

## 2. Dúvidas de utilização

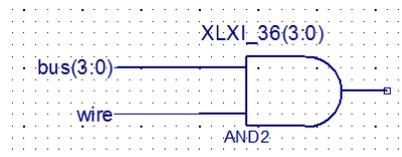
- **Como criar um novo projecto?**

Criar um novo projecto, fazendo File→New Project. Indique o nome do projecto e a localização. O novo projecto deve ser criado com as seguintes opções:

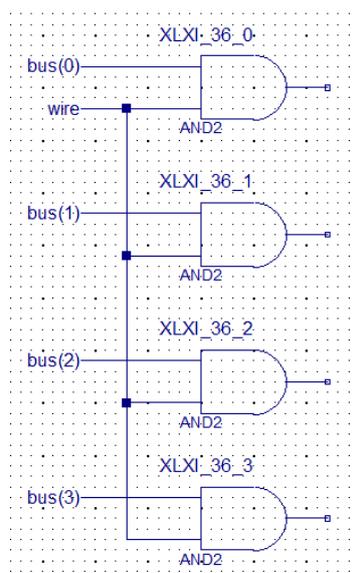
- *Step 1: Top level Source Type: Schematic*
- *Step 2: Product Family: Spartan 3*
- *Simulator: ISE Simulator (VHDL/Verilog)*
- *Preferred Language: VHDL*

- **Como efectuar um AND de um sinal com todos os sinais de um barramento**

Assumindo que o barramento tem n bits, vai ser necessário um conjunto de n ANDs, em que uma das entradas de cada AND está ligada a uma linha do barramento (bit) e a outra entrada está ligada ao outro sinal. Para criar o tal conjunto de ANDs pode-se utilizar um símbolo múltiplo ou iterado. Para tal coloca-se um AND no esquema a editar e altera-se o nome acrescentado (n-1:0) no final. Temos então que uma AND com o nome XLXI\_10 e num barramento de 32 bits, o nome passará a XLXI(31:0). O símbolo deverá passar a traço grosso. Depois liga-se a uma das entradas o barramento e a outra entrada o outro sinal. O ISE vai ligar automaticamente cada um dos fios do barramento à entrada da AND correspondente e o fio do sinal extra à segunda entrada de todas as ANDs. O resultado final deverá ser como apresentado na figura em baixo.

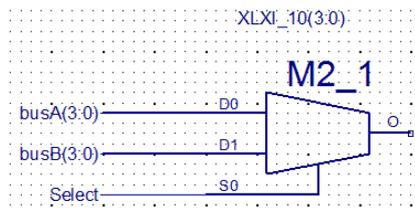


Este esquema é equivalente ao esquema apresentado a seguir.

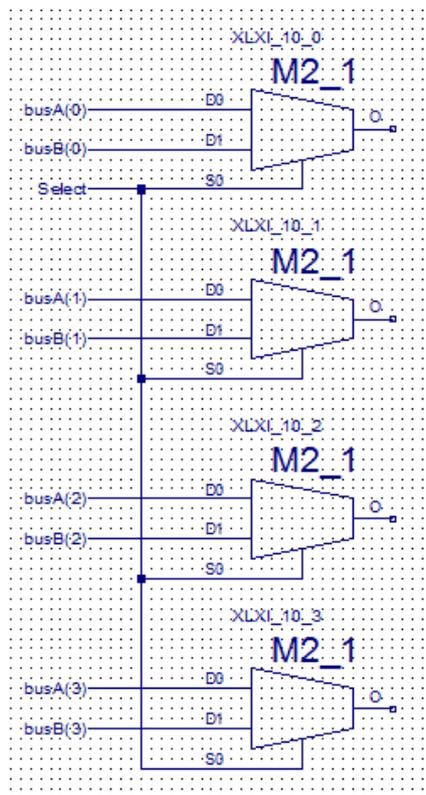


- **Como seleccionar entre dois dos sinais de dois barramentos diferentes**

Assumindo que temos dois barramentos, A e B de n bits, vai ser necessário um conjunto de n MUXs, em que uma das entradas de cada um dos MUXs está ligada a um dos fios do barramento A e a outra entrada de cada um dos MUXs está ligada ao fio correspondente do barramento B. A entrada de selecção de cada um dos MUXs está ligada á entrada de selecção. Para tal coloca-se um MUX no esquema a editar e altera-se o nome acrescentando (n-1:0) no final. Temos então que um MUX com o nome XLXI\_10 passará a XLXI\_10(31:0). O símbolo deve passar a traço grosso. Depois liga-se uma das entradas do MUX ao barramento A e a outra entrada do MUX ao barramento B. A entrada de selecção liga-se ao sinal de controlo (fio). O ISE liga automaticamente cada um dos fios dos barramentos à entrada do MUX correspondente, nomeadamente bit 0 ao MUX 0, bit 1 ao MUX 1, etc. O resultado final deve ser como apresentado na figura em baixo.



Este esquema é equivalente ao esquema apresentado a seguir.



- **Como usar símbolos múltiplos ou iterados**

Podem-se usar símbolos múltiplos ou iterados para criar conjuntos de símbolos que ligam a barramentos de forma automática. Vejam os exemplos em cima. Para criar os símbolos múltiplos basta acrescentar ao nome do símbolo (n-1:0) em que n é o número de símbolos que pretendemos criar. Podem se ligar á entrada dos símbolos múltiplos barramentos de dimensão n ou fios. No caso dos barramentos cada fio (bit) do barramento liga á entrada da instância correspondente do símbolo, bit 0 liga ao símbolo 0, bit 1 liga ao símbolo 1, etc. Na caso de fios a estrada

fica ligada à entrada correspondentes de todos os símbolos do conjunto. Nas saídas devem ser sempre ligados barramentos de dimensão n.

### 3. Problemas com o projecto

- *O projecto não compila e dá um fatal error*

Criar um novo projecto, fazendo **add copy of source** dos ficheiros .sch e .vhd. O novo projecto deve ser criado com as seguintes opções:

- *Step 1: Top level Source Type: Schematic*
- *Step 2: Product Family: Spartan 3*
- *Simulator: ISE Simulator (VHDL/Verilog)*
- *Preferred Language: VHDL*
- *Step 3: -*
- *Step 4: Add Copy of Source: Todos os ficheiros .vhd e .sch disponibilizados.*

- *Alterei um circuito do projecto, mas o ISE não actualiza a simulação.*

O problema pode surgir em duas situações distintas:

1. As alterações foram mal feitas e portanto o problema está no circuito. Neste caso a solução é corrigir o problema.
2. O ISE não actualizou os circuitos alterados quando correu a simulação. A solução consiste em compilar o esquema actualizado (fazendo "Implementation->Design Utilities->Check Design Rules" e depois "Behavioral Simulation->Xilinx ISE Simulator->Simulate Behavioral Model (botão direito do rato)->Rerun All").

- *A ferramenta não apresenta o símbolo de um esquema acabado de criar.*

Na tab "Design", modo de vista "Implementation", seleccionar o esquema acabado de criar; de seguida, em "Design Utilities", fazer "Create Schematic Symbol".

- *A ferramenta não actualiza o símbolo que acabei de editar.*

Na tab "Design", modo de vista "Implementation", seleccionar o esquema acabado de criar; de seguida, em "Design Utilities", fazer "Create Schematic Symbol".

- *Os portos de entrada/saída de um símbolo são diferentes dos indicados no esquema.*

Este problema pode ter várias origens:

- a) Foi criado um novo sinal no esquema, mas não foi adicionado (ao esquema) o respectivo porto de entrada. Solução: criar o porto respectivo e seguir para b).
- b) Foram criados novos portos de entrada ou alterados alguns dos portos existentes, mas não foi pedido ao Xilinx ISE que criasse um novo símbolo. Solução: na tab "Design", modo de vista "Implementation",

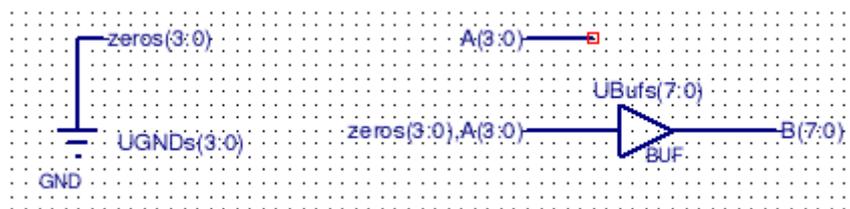
seleccionar o esquema acabado de criar; de seguida, em “Design Utilities”, fazer “Create Schematic Symbol”. Se o problema persistir seguir para c).

- c) Após criar um novo símbolo a ferramenta continua a não mostrar as alterações ao circuito. Este problema acontece quando a ferramenta cria um erro no projecto. A solução passa por tentar eliminar os erros de projecto. Para tal aceda ao menu “Project” e seguidamente pressione em “Cleanup Project Files”. Se o problema persistir experimente criar um novo projecto (ver [Como criar um novo projecto?](#)).

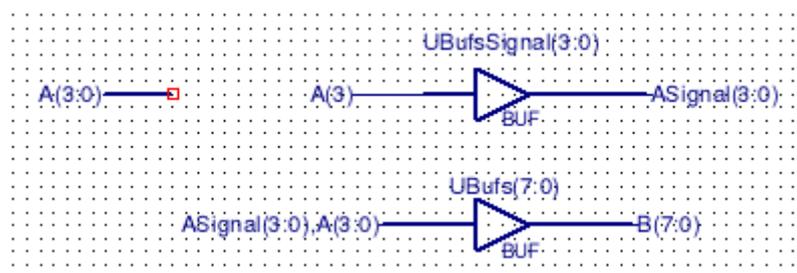
- **Como expandir o número de bits de um sinal?**

Consideremos que pretende definir um bus B que contém a expansão do número de bits de um sinal A(3:0) de 4 para 8 bits. Para resolver esta questão deverá começar por determinar a representação do sinal A.

**Se A representa um número sem sinal**, então o resultado deverá ser: B=0,0,0,0,A(3:0). No Xilinx ISE deverá criar um bus de 4 grounds, dando-lhe o nome de (p.ex.) zeros(3:0); posteriormente deverá ligar ao bus B o valor “zeros(3:0),A(3,0)” – ver figura em baixo.



**Se A for um número representado em complemento para dois**, então o resultado deverá ser B=A(3),A(3),A(3),A(3),A(3:0). Para resolver esta questão poderá criar um bus ASignal(3:0); posteriormente atribua a B o valor “ASignal(3:0),A(3:0)” – ver figura em baixo.



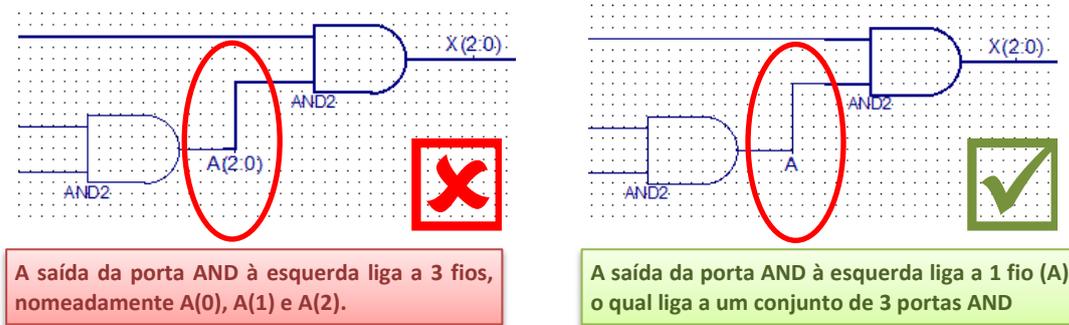
- **O ISE não cria o ficheiro de testbench apresentando erros de compilação.**

Para a criação do ficheiro de testbench, o ISE compila previamente todos os ficheiros de projecto. Se for encontrado algum erro num ficheiro (mesmo que não seja usado), não será possível criar o testbench. A solução para este problema passa por fazer o **Check Schematic** em todos os esquemas e corrigir qualquer erro encontrado. Note-se que existe uma solução alternativa para o caso do ficheiro não ser necessário: remover o ficheiro do projecto.

## 4. Erros de compilação em Xilinx ISE

- *Pin "0" is connected to a bus of a different width.*

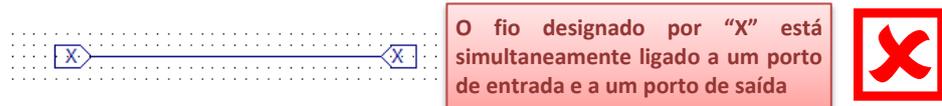
O ISE não permite que a saída de uma porta lógica esteja ligada a mais do que um fio. Para identificar o problema, deve verificar a saída de todos os componentes no circuito em questão. Ex.:



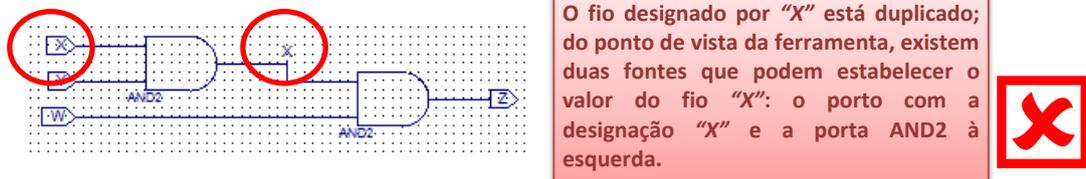
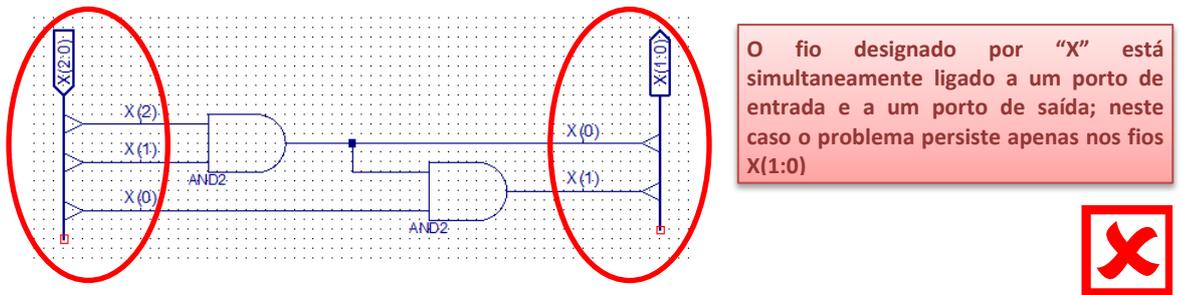
- *Net "X" cannot be connected to both an input port and an instance output pin.*

Este erro pode surgir em duas ocasiões:

1. Existe um sinal que liga directamente um porto de entrada e um porto de saída, o qual não é suportado, ex:



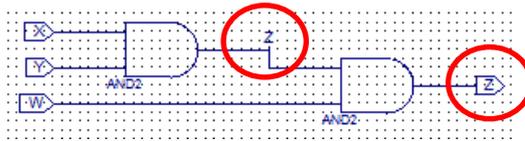
2. Existem dois sinais com o mesmo nome no circuito; um ligado a um porto de entrada, outro ligado a um porto de saída, ex:



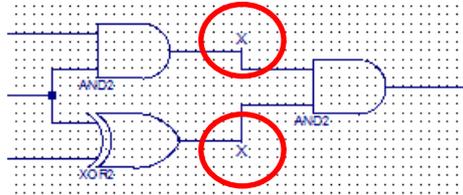
Uma situação muito semelhante a esta é originada pelo aviso (*warning*): "Net "X" is connected to too many source pins and/or I/O markers."

- *Net "X" is connected to too many source pins and/or I/O markers.*

Este aviso ocorre quando existem dois sinais (fios) no circuito que, por erro, têm com o mesmo nome, e.x.:



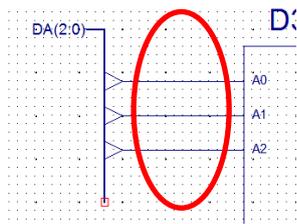
O fio designado por "Z" está duplicado; do ponto de vista da ferramenta, existe um curto-circuito entre ambas as saídas das portas AND2.



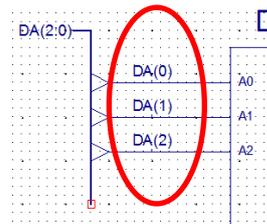
O fio designado por "X" está duplicado; tal como o circuito está desenhado existe um curto-circuito entre a saída da porta AND2 à esquerda e a saída da porta XOR2

- *Incorrect bus tap at (...); destination branch (...) is not part of the source branch (...).*

Existe um "bus tap" cuja saída não está identificada ou está mal identificada; a solução passa por mudar o nome do fio à saída do "bus tap". Ex.:



Dado que não foram dadas designações para os "Bus Tap", a ferramenta não percebe qual dos sinais, D(0), D(1) ou D(2), deverá ligar a cada um dos portos, A0, A1 e A2, respectivamente.



A solução para o problema à esquerda é a nomeação de cada um dos "Bus Tap". No exemplo em cima, a entrada do porto A0 é DA(0); a entrada do porto A1 é DA(1); a entrada do porto A2 é DA(2).

- *HDLParser:3562 - \_\_ Expecting 'vhdl' or 'verilog' keyword, found 'work'.*

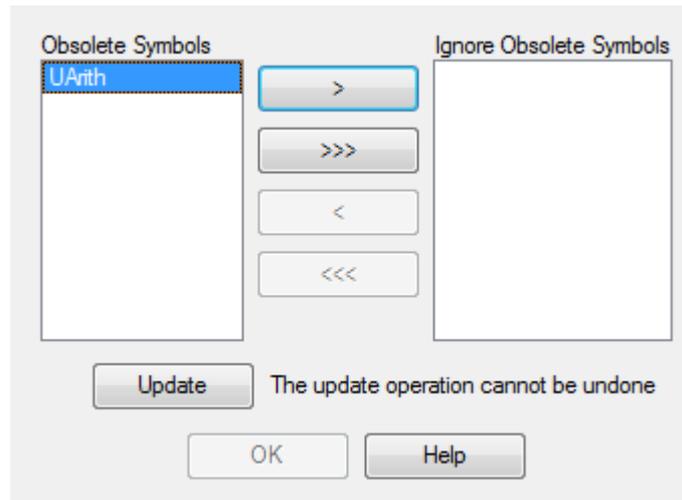
Esta mensagem aparece quando existem espaços no caminho do ficheiro. Mude a diretoria do projecto para um **caminho sem espaços no nome**.

- *HDLCompiler:89 - \_\_ Line \_\_ . \_\_ remains a black-box since it has no binding entity*

Esta mensagem indica que não foi encontrado o ficheiro correspondente ao símbolo \_\_\_\_. Verifique se:

- algum ficheiro foi apagado por acaso,
- todos os esquemáticos têm a versão mais recentes dos símbolos,
- actualizou todos os símbolos correspondentes aos esquemas modificados.

Para verificar se os esquemas têm a versão mais actual do símbolo basta abri-los e fazer update symbol se aparecer a caixa de diálogo correspondente.



- ***HDLCompiler:245 - \_\_\_ Line \_\_\_. Binding entity \_\_\_ does not have port \_\_\_***

Esta mensagem indica que um dos esquemas utiliza um símbolo que se encontra desatualizado. Siga os mesmos passos que no tópico anterior.

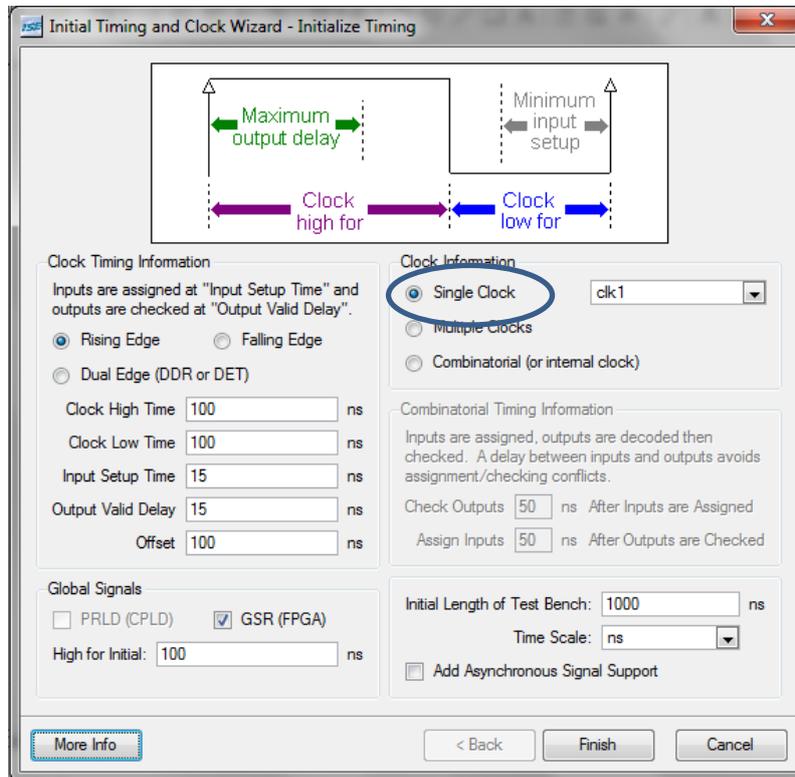
- ***ERROR:Simulator:222 - Generated C++ compilation was unsuccessful***

Este erro aparece porque se encontra ainda a decorrer um processo do simulador que deveria ter sido terminado. O processo tem um nome da forma name\_of\_test\_bench\_isim\_beh. Terminando este processo e desaparece o erro.

## 5. Problemas com a simulação

- *O diagrama temporal não apresenta o sinal de relógio já com a forma de onda definida.*

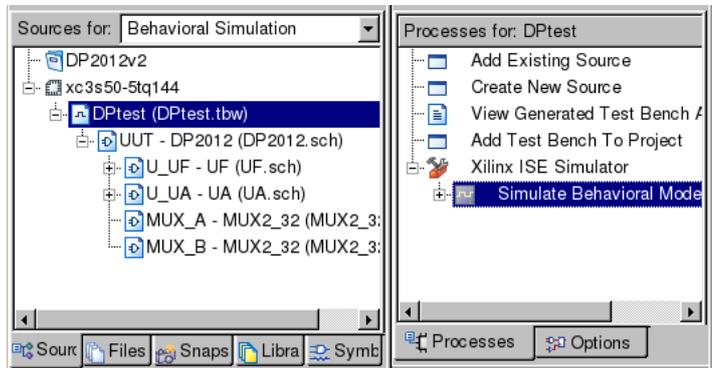
Este erro surge porque durante a criação do test bench, foi indicado que o circuito é puramente combinatório (i.e., sem sinal de relógio). A solução consiste em criar um novo test bench indicando que o circuito tem um sinal de relógio (opção *single clock*).



- **O diagrama temporal apresenta todos os sinais a vermelho.**

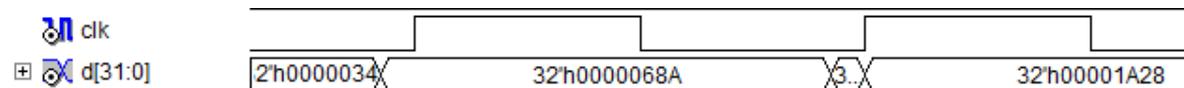
Este problema surge quando simula o ficheiro de esquema e não o ficheiro de simulação.

Para melhor perceber qual é o problema, observe a figura ao lado. Ao simular o ficheiro "UUT - DP2012 (DP2012.sch)", o simulador conhece a lógica interna do circuito mas não conhece as entradas do mesmo. Assim, não consegue determinar as saídas, dando origem a que todas as saídas do circuito apareçam a vermelho. Para resolver este problema terá que indicar o valor das entradas do circuito. Esta definição encontra-se no ficheiro de simulação (neste caso o "DPtest (Detest.tbw)"). Ao seleccionar este ficheiro e depois pressionar em "Simulate Behavioral Model", o simulador passa a conhecer o circuito assim como as entradas. Assim é capaz de determinar o valor das saídas.



- **O diagrama temporal apresenta valores transitórios durante o período de relógio.**

Operações em que o registo de destino é igual ao registo de origem (p. ex.  $R3 \leftarrow LSL R3$ , como ilustrado na figura seguinte) podem causar alguma confusão quando se analisa para o diagrama temporal, já que podem aparecer valores transitórios durante o período de relógio.



Para o exemplo fornecido ( $R3 \leftarrow LSL R3$ ), o registo R3 é actualizado com o novo valor no flanco de relógio, o que provoca uma alteração do valor na saída. Esta alteração vai corresponder à deslocação para a esquerda duas vezes em vez de só uma. No entanto não existe nenhum erro: o valor armazenado no registo está correcto (corresponde a um deslocamento de apenas 1x). Para confirmar este facto, verifique o valor do registo após o flanco de relógio. Pode fazê-lo de duas formas:

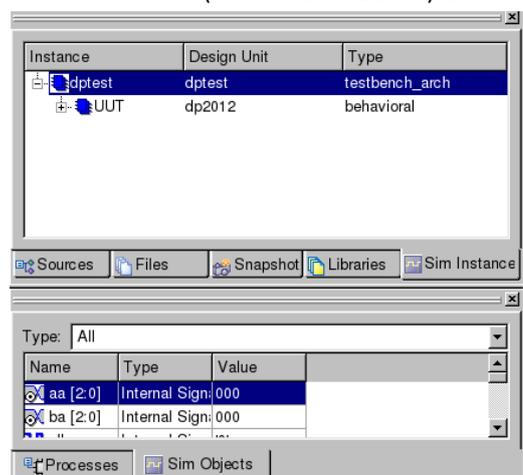
- realizando uma operação de leitura do registos;
- observando directamente o valor à saída do registo após o flanco de relógio (ver *Como verificar, na simulação, o valor de um sinal sem ter de criar um porto específico?*).

- **Como verificar, na simulação, o valor de um sinal sem ter de criar um porto específico?**

O simulador da ferramenta Xilinx ISE permite vizualizar o valor de qualquer sinal interno à arquitectura, p.ex., o valor de um registo. Para o fazer considere a simulação da datapath do laboratório 1 (ficheiro DP2012.sch). Dentro da datapath existe um bloco (UA) o qual contém diversos registos. Considere que a saída do registo R1 é o sinal D1(31:0).

Para mostrar o sinal na janela de simulação execute os seguintes passos:

- seleccionar no separador lateral as janelas "Sim Instances" e "Sim Objects" – ver figura ao lado.



2. Na janela “*Sim Instances*”, seleccionar o bloco lógico que contém o sinal que pretende visualizar; neste caso é o bloco UA, o qual se encontra dentro do bloco DP2012.
3. Na janela de Sim Objects seleccione o sinal que pretende ver, neste caso será o sinal D1(31:0).
4. Arraste o sinal para a janela de simulação.
5. Re-inicie a simulação de forma a que o Xilinx actualize o sinal pretendido; para tal pressione no botão “*restart simulation*” (botão da esquerda da figura em baixo) e posteriormente “*run for specified time*” (botão da direita da figura em baixo).



- **Como aumentar o test bench (definição dos sinais de entrada) para além 1000ns?**

Clique com o botão direito em cima do diagrama temporal e faça set end of test bench. Seguidamente indique o período de tempo que pretende.

- **Como aumentar o tempo de simulação para além dos 1000ns?**

Clique no botão da direita da figura ao lado para prolongar o tempo de simulação por mais 1000ns.



- **Não vejo o diagrama temporal completo na janela da simulação.**

Click no botão “*Zoom to Full View*”.

- **Criei uma nova entrada num esquema de um circuito mas esta não aparece na simulação**

As entradas de um esquema que pretendemos simular têm de estar indicadas como IO markers no esquema. Só assim aparecem no ficheiro testbench para editar. Se acrescentou uma entrada a um símbolo editando o seu esquema e pretende que esta seja acessível como entrada da simulação, este tem de ser uma entrada (IO marker) no esquema de topo. Para isso deve actualizar o símbolo escolhendo o esquema na janela Sources, em modo Implementation fazendo duplo click em Design Utilities→Create Schematic Symbol. Depois deve acrescentar um novo IO marker no esquema de topo, e ligar à entrada do símbolo.

## 6. Problemas com o relatório

- **Como imprimir um ficheiro na máquina virtual?**

A máquina virtual trás, por omissão, uma impressora de postscript instalada, a qual imprime para ficheiro (formato .ps). O Windows não reconhece nativamente este tipo de ficheiro, sendo necessário a instalação de um programa de visualização. A alternativa é a conversão deste ficheiro para PDF. Para tal deverá correr, na linha de comandos:

```
ps2pdf <nome do ficheiro .ps > <nome do ficheiro .pdf>
```

- **Como tirar um print-screen na máquina virtual?**

A máquina virtual não permite, directamente tirar um print-screen (o software não está instalado por omissão). Existem duas alternativas:

- a) Imprissão do esquema/diagrama temporal
- b) Em Windows 7, usar o programa “Snipping Tool” (em Português “Ferramenta de Recorte”).

- **Os diagramas temporais vêm-se mal quando impressos com o fundo preto.**

- **Como alterar as cores da simulação?**

Pode-se alterar o esquema de cores usado pela ferramenta de simulação. Para tal, no Xilinx ISE, em *Edit*→*Preferences*, expando a tópicos *ISE Simulator* e clique em *Simulation Waveform colors*. Escolha a opção *classic simulation* em vez de *default simulation*, ou crie um esquema de cores próprio.