

SISTEMAS DIGITAIS

Introdução ao Ambiente de Projecto do Xilinx ISE 10.1

Pedro Tomás, Paulo Lopes, Horácio Neto Revisão de Novembro de 2012



INTRODUÇÃO

O "**Xilinx ISE**" é um ambiente integrado de projecto de circuitos digitais. Inclui, entre outras ferramentas de projecto, um Editor de Esquemas, um Simulador Lógico e programas para mapeamento automático de um circuito digital em dispositivos lógicos programáveis da família Xilinx. O ambiente usado no contexto do laboratório de Sistemas Digitais serve apenas para ensino. Existem outras ferramentas, integradas no Xilinx ISE, usadas para fins profissionais. No entanto, dada a complexidade acrescida, estas ferramentas não serão abordadas no contexto da unidade curricular de Sistemas Digitais.

Nas secções que se seguem, são introduzidos exemplos básicos de utilização do Editor de Esquemas e do Simulador Lógico.

INSTALAÇÃO DO XILINX ISE 10.1

A versão instalada nos laboratórios é o ISE 10.1i. As versões mais recentes não são recomendadas, pois não incluem o editor de formas de onda (diagrama temporal) a utilizar no laboratório. O pacote de software Xilinx ISE WebPACK 10.1 é compatível com os seguintes sistemas operativos:

- Windows XP 32 bits
- Windows Vista 32 bits
- Linux 32 bits

Chama-se a atenção dos alunos que a instalação deste software é complexa (e por vezes impossível), pelo que se recomenda a instalação da máquina virtual Boole.

Alternativamente, os alunos poderão tentar instalar o software nativamente (sem máquina virtual). Contudo, o corpo docente não irá dar suporte ou ajuda na realização desta tarefa.

INSTALAÇÃO DA MÁQUINA VIRTUAL

Para facilitar a instalação de todas as ferramentas de software que irão ser utilizadas no ambiente de laboratório, está disponível a máquina virtual "Boole Virtual Machine" que contém todo o ambiente de desenvolvimento já devidamente instalado e configurado, nomeadamente:

• Xilinx ISE Webpack 10.1

A máquina virtual poderá correr sobre qualquer versão de Windows, Linux ou MacOS (32 ou 64 bits), após a instalação de um cliente de virtualização (p. ex., Virtual Box ou VMWare).

Dada a complexidade (e por vezes impossibilidade) em instalar nativamente este software (sem virtualização), recomenda-se vivamente que os alunos adoptem esta solução.

Na página da <u>Boole Virtual Machine</u> (<u>http://web.ist.utl.pt/~ist14359/sw/boole/</u>) os alunos dispõem de todos os elementos de auxílio à instalação desta máquina. Recomenda-se a leitura atenta desta página, de modo a evitar problemas na instalação.

CRIAÇÃO DE UM NOVO PROJECTO

Comece por correr o Xilinx ISE Project Manager, pressionando o botão respectivo.



Abrir-se-á o ambiente de desenvolvimento, o qual tem o aspecto indicado na Figura 1.

፼ File Edit View Project Source Process Window Help	Xilinx - ISE		S 💿 S
	= = =] 🎤 😵] M 🕷	· [f & z # X X X X] ?	
No project is open			
Select:			
File->Open Project or			
File->New Project			
🗝 Sour 🖺 Files 👸 Snapt 🚺 Libr			
No flow available			
			have the second line and
" Processes			http://www.xilinx.com
×			×
Console SErrors 🔬 Warnings 🚾 Tcl Shell 😹 Find in Files			L I

Figura 1 - Ambiente de desenvolvimento Xilinx ISE 10.1

- 1 Na Menu *File* seleccione *New Project*.
- 2 Abrir-se á uma janela onde deverá indicar o nome e localização em disco do projecto (ver Figura 2). Após preenchimento dos campos, pressione em *"Next"*.
- 3 Na janela seguinte deverá indicar as opções de projecto. No laboratório de Sistemas Digitais são usadas duas placas de desenvolvimento, a Basys e a Basys2, as quais são baseadas nas FPGAs¹ da Spartan3E, referências XC3S100E-TQ144 e XC3S100E-CP132, respectivamente. De acordo com o seu horário, insira as propriedades indicadas na Figura 3 e na tabela em baixo.

	Laboratório LSD1	Laboratório LE3
Placa de desenvolvimento	Basys2	Basys
Device	Spartan3E	Spartan3E
Package	CP132	TQ144
Synthesis Tool	XST (VHDL/Verilog)	XST (VHDL/Verilog)
Simulator	ISE Simulator	ISE Simulator
Preferred Language	VHDL	VHDL

4 Complete a criação do projecto pressionando *Next* \rightarrow *Next* \rightarrow *Finish*.

¹ Field-Programmable Gate Array, que corresponde a um dispositivo lógico re-programável.



🚾 🕟 New Project Wizard - Create New Project 😒 🐼 🤄				
Enter a name and lo	cation for the project —			
Project name:		Project location		
Lab		/home/SD/Lab/		
Select the type of to	p-level source for the pro	ject		
Top-level source typ	ie:			
Schematic				•
More Info		< <u>B</u> ack	<u>N</u> ext >	Canc el

Figura 2 - Janela de criação de um novo projecto.

\odot	New Project Wizard - Device Properties	\odot \odot \otimes	5	New Project Wizard - Device Properties	\odot
Select the device and design	flow for the project		Select the device and design flo	ow for the project	
Property Name	Value		Property Name	Value	
Product Category	All	_	Product Category	All	-
Family	Spartan3E	_	Family	Spartan3E	•
Device	XC3S100E	_	Device	XC3S100E	-
Package	TQ144		Package	CP132	_
Speed	-5		Speed	-5	•
Top-Level Source Type	Schematic	<u> </u>	Top-Level Source Type	Schematic	Y
Synthesis Tool	XST (VHDL/Verilog)	_	Synthesis Tool	XST (VHDL/Verilog)	-
Simulator	ISE Simulator (VHDL/Verilog)	_	Simulator	ISE Simulator (VHDL/Verilog)	•
Preferred Language	VHDL		Preferred Language	VHDL	•
Enable Enhanced Design Su	ummary 🔽		Enable Enhanced Design Sum	ımary 🔽	
Enable Message Filtering			Enable Message Filtering	r -	
Display Incremental Messag	ges 🔽		Display Incremental Messages	s 🔽	
<u>⊿</u> ore Info	< Back Next	> Cancel	More Info	< <u>B</u> ack <u>N</u> ext >	Cancel

Figura 3 - Definições de projecto para os dispositivos XC3S100E-TQ144 (esquerda) e XC3S100E-CP132 (direita), correspondentes às placas Basys (laboratório LE3) e Basys2 (laboratório LSD1).

CRIAÇÃO DE UM NOVO ESQUEMA

- 1 Comece por criar um novo ficheiro de esquemas fazendo *Project* \rightarrow *New Source.*
- 2 Será aberta uma nova janela onde deverá indicar qual o nome e o tipo de ficheiro a criar (ver Figura 4).
- 3 Complete a criação do novo esquema pressionando *Next* \rightarrow *Finish*.

New Source Wizard	- Select Source Type 💿 📀 🛞
 IP (CORE Generator & Architecture Wizard) Schematic Test Bench Waveform User Document Verilog Module Verilog Test Fixture VHDL Module VHDL Library VHDL Package VHDL Test Bench 	Eile name: teste Location: /home/pedro.tomas/Downloads/Lab
More Info	✓ Add to project

Figura 4 – Janela de criação de um novo esquema.



EDIÇÃO DE ESQUEMAS

Após criar o novo esquema, o ambiente de desenvolvimento terá o aspecto indicado na Figura 5. Note que o aspecto poderá ser modificado, alterando a dimensão e localização de cada um dos painéis.

Xilinx - ISE - /home/pedro tomas/Downloads/Lab/Lab ise - [Design Summary]						• •			
II Elle Edit View Project Source Process Window Help						δ×			
□ 含目4 (2) ※16 (2) ♀♀××≫◎ (2) ◎ 日 □ □ 〃 ∀ ∧ ※									
<u>■</u> ■□≝===================================	34 7 AASS 00								
	EPGA Design Summary			Lab Pro	ject Status				1
Categories	e-Design Overview	Project File:	Lab.ise		Current State:		New		
<all symbols=""></all>	IOB Properties	Module Name:	teste		Errors:				-
age16	Module Level Utilization	Target Device:	xc3s100e-5cp132	2	Warnings:				-
Symbol Name Eilter	Diming Constraints	Product Version:	ISE 10.1.03 - We	bPACK	Routing Result	ts:			
Symbol Name Filter	Pinout Report	Design Goal:	Balanced		• Timing Constr	aints:			-
Orientation	Errors and Warnings	Design Strategy:	Xilinx Default (unl	locked)	Final Timing S	core:			
Rotate 0	🗋 Synthesis Messages								_
	Translation Messages		Lab Pa	artition Su	immary			E	
Symbol Info	- Place and Boute Messages	No partition information	was found.						
🚌 Sources 🖺 Files 🛛 📸 Snapshots 🖺 Libit ries 😂 Symbol	s Timing Messages								
	- Ritrian Macesriae		Del	tailed Rep	orts				4
Colort Ontions	Project Properties	Report Name	Status	Generate	d Errors	W	arnings	Infos	
Select Options		Synthesis Report							- 11
When you click on a branch	Display Incremental Messages	Translation Report							-
Select the entire branch	Enhanced Design Summary Contents	Map Report							- 11
	- 🗹 Show Partition Data	Place and Route Report							
Select the line segment	Show Errors	Static Timing Report							
	- U Show Warnings	Bitgen Report							
when you move an object			D-1 -0-		10000010 101010				-
Processes \$2 Options	teste.sch Design Summary								
×									
1									٠Ť
Console CErrors 🔔 Warnings 🔂 Tcl Shell	K Find in Files								
								[-2360,13	388]

Figura 5 - Ambiente de desenvolvimento do Xiline ISE.

- 1 Selecione a TAB teste.sch, correspondente ao nome do esquema criado anteriormente.
- 2 Clique no botão "Add Symbol" and TAB "Symbols" para inserir um símbolo. Escolha uma porta NOT (símbolo inv), uma porta OR de 3 entradas (símbolo or3), e uma porta AND de 2 entradas (símbolo and2). Pode seleccionar as portas directamente na lista de componentes, ou escrever o nome na linha inferior "Symbol Name Filter" da janela de símbolos. Após selecionar a porta pretendida, pressione no esquema para as inserir, como se ilustra na Figura 6.
- 3 Utilize o botão 🏓 para fazer *zoom* sobre o circuito.
- 4 Para ligar os componentes utilize o modo *"Add Wire"*, pressionando o botão ¹. Para fazer uma ligação entre 2 pinos, pressione o botão esquerdo do rato em cima de um dos pinos, arraste a ligação para cima do segundo pino, e volte a pressionar o botão esquerdo do rato. Faça as ligações de acordo com a Figura 7.
- 5 Use novamente o modo "Add Wire" para colocar as entradas/saídas do circuito em aberto. Para que isso aconteça arraste com o rato desde a porta até ao lugar onde quer colocar a entrada/saída e pressione Esc.
- 6 Pressione no botão 🖾. Na TAB *"Options"* deixe ligada a opção *"Add an automatic marker"*. Pressione nas entradas e nas saídas do circuito para colocar as marcas de entrada e de saída.
- 7 Para alterar o nome das entradas e saídas pressione no botão (*Rename Net*). Na TAB *"Options"* (ver Figura 8) insira o novo nome do fio. Seguidamente pressione em cima dos fios correspondentes a cada um dos marcadores de entrada/saída.



INTRODUÇÃO AO AMBIENTE XILINX ISE 10.1

a 🕘	Xilinx - ISE - /home/pedro.tomas/Downloads/Lab	Lab.ise - [teste.sch*]	$\odot \odot \otimes$
Eile Edit View Project Source Process Add Tools Window Help			_18 ×
I 🗅 🖻 🖶 🕼 👗 🖞 🖞 🖄 🖄 🖄 🖄 🛤 🐼 🔽 🔎 🔛 🗶 🗩 🖉 🔜	💫 🗟 🗉 🖸 🌽 🕺 🖄 🕷	III I I I I I I I I I I I I I I I I I	
I = = = = = = = = = = = = = = = = = = =	L A S S 00		
×			_
Categories			
<all symbols=""></all>			
Arithmetic			
Symbols (that begin with and2)			
and2	<u></u>	•	
and2b1	μ _w γ		
Symbol Name Filter			
and2			
Orienteller		1	
Botate 0		• ``````	
Symbol Info		00	
🚌 Sources 🎦 Files 🛛 👩 Snapshots 🏠 Libraries 🕏 Symbols			
Select Options			
When you click on a branch			
Select the entire branch			
C salest the line segment			
Processes 32 Options			
teste.s	cn° Normany		
×			÷
			⊳
Console 🛛 Errors 🔥 Warnings 🔂 Tcl Shell 🕅 Find in Fi	les		
			[1128,1248]









Figura 8 – Para alterar o nome do fio, utilize a opção *"Rename Net"*. Na TAB *"Options"*, indique o novo nome do fio e posteriomente pressione em cima do fio (*net*) para fazer a renomiação.



VALIDAÇÃO DO ESQUEMA

Após editar o circuito certifique-se que não efectuou nenhum erro de ligação. Deverá seguir este procedimento sempre que editar um esquema e antes de efectuar qualquer simulação. Tal como ilustrado na Figura 9, selecione na TAB *"Sources"* o ficheiro teste.sch e depois, na TAB *"Processes"*, execute o comando *"Check Design Rules"*. Caso exista algum erro deverá corrigi-lo. Na página de Sistemas Digitais encontra-se uma FAQ (*Frequently Asked Questions*) com a informação de alguns erros típicos.

	^
Sources for: Implementation	-
😇 Lab	
⊡ · ∰ xc3s100e-5cp132 2	
💶 🖬 teste (teste. sch)	
4	
1	
1 Sources Files 👸 Snapshot 🕞 Librarie: 👷 Sy	mbol
1 Sources Files 👸 Snapshot 🖺 Libraries 👥 Sy	mbol
1 Sources Files 👸 Snapshot 🖺 Libraries 🕸 Sy	mbol:
1 Sources Files Snapshot CLibraries ♀ Sy Processes for: teste	mbol:
1 Sources Files Snapshot CLibraries Sy Processes for: teste ↓ Design Utilities	mbol:
1 Sources Files Snapshot CLibraries Sy Processes for: teste Processes for: teste Create Schematic Symbol	mbol:
1 Sources Files Snapshot CLibraries Sympton Processes for: teste Design Utilities Create Schematic Symbol View Command Line Log File	mbol:
1 Sources Files Snapshot CLibraries System Processes for: teste Design Utilities Create Schematic Symbol View Command Line Log File Check Design Rules	mbol:
1 Sources Files Snapshot Libraries Sy Processes for: teste □ Design Utilities □ Year Create Schematic Symbol User Command Line Log File Sy View Command Line Log File Check Design Rules Sy	

Figura 9 – Para validação de um esquema, selecione na TAB *"Sources"* o ficheiro correspondente e, seguidamente, na TAB *"Processes"* execute o comando *"Check Design Rules"*.

SIMULAÇÃO DO CIRCUITO

- 1 Crie um novo ficheiro de simulação executando o comando *Project* → *New Source*.
- 2 Na janela *"New Source Wizard"* escolha um ficheiro do tipo *"Test Bench Waveform"*. Escolha um nome para o ficheiro, o qual deverá ser diferente do indicado anteriormente. Neste exemplo será usado o nome circuit_simulation. Pressione em *Next*.
- 3 Na janela seguinte indique qual o circuito que quer simular (neste caso o ficheiro teste.sch). Pressione em *Next* e depois em *Finish*.
- 4 Na Janela *"Initial Timing and Clock Wizard"* escolha a opção *"Combinatorial"* (ver Figura 10), uma vez que este circuito não tem nenhum sinal de relógio. Caso desenhe um circuto síncrono (i.e., com flip-flops) deverá escolher uma das outras opções e indicar qual a entrada de relógio.

I	Initial Timing and C	lock Wizard - Initialize Timing 💿 💿 🛞
	Assign C Inputs C Wait To Check	Check Assign Dutputs Inputs Wait To Assign ➡
Clock Timing Informa	tion	Clock Information
outputs are assigned a outputs are checked	at "Output Valid Delay".	C Single Clock A
C Rising Edge	C Falling Edge	C Multiple Clocks
C Dual Edge (DDR o	r DET)	Combinatorial (or internal clock)
Clock High Time	100 ns	Combinatorial Timing Information
Clock Low Time	100 ns	Inputs are assigned, outputs are decoded then checked. A delay between inputs and outputs avoids
Input Setup Time	I5 ns	assignment/checking conflicts.
Output Valid Delay	15 ns	Check Outputs 50 ns After Inputs are Assigned
Offset) ns	Assign Inputs 50 ns After Outputs are Checked
Global Signals	GSR (FPGA)	Initial Length of Test Bench: 1000 ns Time Scale: ns
More Info		< Back Einish Cancel

Figura 10 - Definições do ficheiro de estímulos do circuito teste.sch.

- 5 O ficheiro *"Test Bench Waveform"* consiste na definição das entradas do circuito ao longo do tempo. Seguindo o exemplo da Figura 11 pressione nas marcas a azul de forma a alterar a forma dos sinais de entrada. **Grave o ficheiro de estímulos.**
- 6 Para simular o circuito, na TAB *"Sources"* escolha a opção *"Behavioral Simulation"* (ver Figura 12) e depois o ficheiro de estímulos circuit_simulation. Seguidamente, na TAB *"Processes"* execute o comando *"Simulate Behavioral Model"*. Deverá aparecer uma janela com a evolução temporal dos sinais de entrada e saída do circuito, tal como ilustrado na Figura 13. *Nota: se tentar simular directamente o circuito (em vez do ficheiro de estímulos) aparecerá uma janela com todos os sinais a vermelho, i.e., com a indicação de valor indefinido. Isto acontece porque a ferramenta de simulação não é capaz de calcular o valor de saída das portas lógicas se não conhecer o valor de entrada.*
- 7 Se desejar, pode alterar o tempo de simulação. Para tal, localize na barra de ferramentas os seguintes botões:



Pressione o primeiro botão para recomeçar a simulação. Seguidamente insira na caixa de texto o tempo de simulação desejado. Finalmente pressione o botão com uma ampulheta (5º botão a contar da esquerda) para correr a simulação durante esse tempo.



End Time: 1000 ns		950 0 ns 100 ns 200 ns 300 ns 400 ns 500 ns 600 ns 700 ns 800 ns 900 ns 1	. <u>0 ns</u> 1000 ns
A L	1		<u>^</u>
ВТІ В	0		
<mark>вл</mark> с	0		
} ,∎s	0		





e 0	Xilinx - ISE - /home/pedro.tomas/Downloads/Lab/Lab.ise - [Simulation]	\odot \odot \otimes			
Elle Edit View Project Source Process Test Bench Simulation Window Help					
] 🗋 🖻 🖉 😓] X 🗛 🕲 🗙 🗠 🖉 🖉 🖉 🖉 🗡 🗶 🖉 🦄]'	▙ 曰 ◘] ≁ ¥] ٨ 🕷 📃 💽 🗹 🐼 🗴 🛠 ‼ ৠ	R 🕄 🛛 V 🗍 😋 🕥			
<u>■</u> • · · · · · · · · · · · · · · · · · ·	5. 忠山 11 11 11 11 11 11 11 11 11 11 11 11 11				
		ns			
Sources for: Behavioral Simulation	0 ns 100 ns 200 ns 300 ns 400 ns 500 ns 600 ns	700 ns 800 ns 900 ns 1000 ns			
@Lab	<u>, </u>				
E C xc3s100e-5cp132					
Circuit_simulation (circuit_simulation.tow)					
OUT - teste (teste sch)					
Qu's					
📽 Sourc 🖺 Files 👩 Snaps 🖺 Librar 🎡 Syml 🔤 Sim Inst					
×					
Processes for circuit simulation					
Create New Source	▶				
View Generated Test Bench As HDL					
Add lest Bench to Project					
Simulate Rehavioral Model		×			
		Þ			
* Processes 12 Options Sim Object Hierarchy - c Design Summary	teste.sch circuit_simulation.tbw				
≝ ▶ run 1000 ns		×			
Simulator is doing circuit initialization process.					
Finished circuit initialization process.					
		<u>ک</u> ا			
Console CErrors Warnings Console Kerrors	Sim Console - circuit_simulation				
		Time:			





CRIAÇÃO DE UM NOVO SÍMBOLO

Por vezes é necessário integrar um circuito já desenhado num esquema mais complexo. Para simplificar o processo, é possível criar um símbolo para o esquema do circuito teste.sch. Após este processo pode utilizar o símbolo noutros esquemas como se tratasse de qualquer outra porta lógica. Deve prosseguir da seguinte forma:

- 1 Tal como indicado na Figura 14, na TAB *"Sources"*, modo *"Implementation"*, escolha o circuito teste.sch. Seguidamente, na TAB *"Processes"*, execute o comando *"Create Schematic Symbol"*.
- 2 Para ilustrar como pode agora usar o novo símbolo, crie um novo esquema. Para tal, execute *Project* \rightarrow *New Source*, e selecione um esquema do tipo *"Schematic"*.
- 3 Insira no novo esquema o símbolo "teste" como se tratasse de qualquer outra porta lógica (ver Figura 15).
- 4 A Figura 16 ilustra um exemplo de um circuito consituído pela "porta lógica" teste, acabada de criar.

×	
Sources for: Implementation	
	Categories
Ė- ∰ xc3s100e-5cp132	<all symbols=""></all>
🔤 🗗 teste (teste.sch)	Symbols (that begin with teste)
	teste
	Symbol Name Filter
	teste
	Orientation
	Rotate 0
	Symbol Info
🖻 Sourc 🖺 Files 🥳 Snaps 🖺 Librar 😒 Syml 🔤 Sim Insti	📭 Sourc 👔 Files 🛛 👩 Snaps 🕞 Librar
×	
Processes for: teste	·
	Break the connections to other o
Croate Schematic Symbol	
View Command Line Log File	
View Command Line Log File	When you use the area select tool,
	objects that
	Are enclosed by the area
ିଙ୍କୁ Processes ୍ରୁସ Options 🥂 Sim Object 🚾 Hierarchy - c	다. Sim Options From Sim O

Figura 14 - Criação de um símbolo para o circuito teste.sch.

Figura 15 - Inserção do símbolo Teste.

I X

*

+

4

×

앞 Symt 🗖 Sim Inst

bjects

select the

bject 🚾 Hierarchy





Figura 16 - Exemplo de um esquema constituído por um flip-flop com reset síncrono com o sinal de relógio (clk) e pelo circuito teste.



ARQUIVAR O PROJECTO

Pode arquivar o seu projecto num único ficheiro usando *Project* \rightarrow *Archive*. Recomenda-se que guarde uma cópia do arquivo em pen própria, visto que a área no disco rígido do computador do laboratório não está protegida.

RESOLUÇÃO DE PROBLEMAS E QUESTÕES

Existe uma FAQ na página da Unidade Curricular (UC) de Sistemas Digitais com a resposta a perguntas frequentes. Antes de consultar um dos docentes da UC verifique se a sua dúvida não está respondida nesse documento.