

1. [1,5 val] Converta (justificando) o número $1011010101_{(2)}$ para:

- Hexadecimal
- Decimal
- BCD

$$\underbrace{101101}_{2} \underbrace{0101}_{D} \underbrace{0101}_{5} = 2D5_{(16)}$$

$$\begin{aligned} 1011010101 &= 2^9 + 2^7 + 2^6 + 2^4 + 2^2 + 2^0 \\ &= 512 + 128 + 64 + 16 + 4 + 1 \\ &= 725_{(10)} \end{aligned}$$

$$725_{(10)} = \underbrace{111001}_{7} \underbrace{0010}_{2} \underbrace{101}_{5} (BCD)$$

2. [2,5 val] Considere a seguinte função booleana, em que A é a variável de maior peso:

$$f(A, B, C, D, E) = \sum m(3, 4, 6, 7, 12, 14, 18, 22, 26, 29, 30) + \sum m_d(5, 16, 17, 19, 21, 23, 31)$$

Simplifique a função apresentada utilizando o método de Karnaugh, de modo a obter a sua forma mínima disjuntiva (soma de produtos). Identifique, justificando, os Implicantes Primos Essenciais que encontrou. Indique todos os implicantes que considerou.

AB \ CDE	000 001 011 010				110 111 101 100			
	000	001	011	010	110	111	101	100
00	0	0	1	0	1	1	X	1
01	0	0	0	0	1	0	0	1
11	0	0	0	1	1	X	1	0
10	X	X	X	1	1	X	X	0

Os implicantes primos essenciais são:

\overline{BDE} porque o mintermo $\overline{A}\overline{B}\overline{C}DE$ não pertence a mais nenhum implicante primo.

\overline{ACE} porque o mintermo $\overline{A}BC\overline{D}\overline{E}$ não pertence a mais nenhum implicante primo.

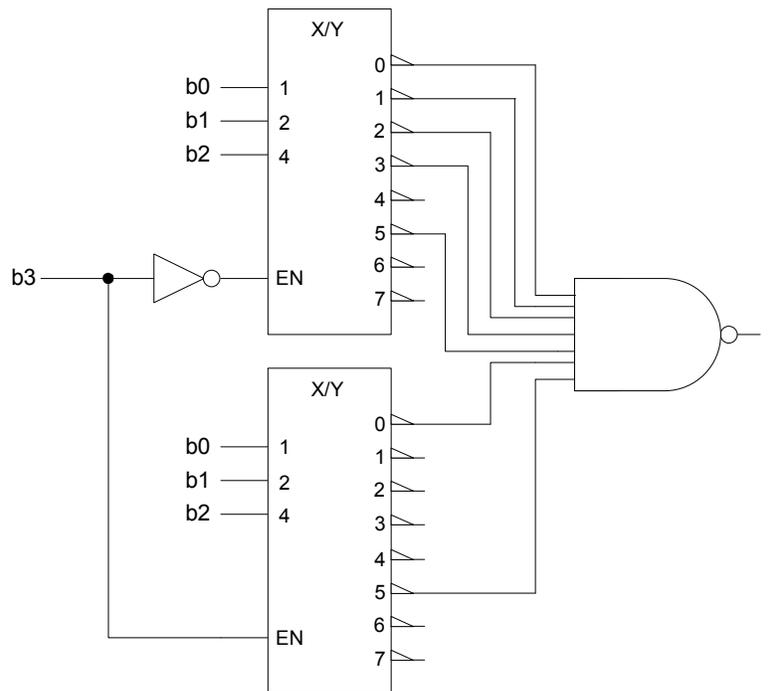
$AD\overline{E}$ porque o mintermo $AB\overline{C}D\overline{E}$ não pertence a mais nenhum implicante primo.

ACE porque o mintermo $ABC\overline{D}E$ não pertence a mais nenhum implicante primo.

Como todos os 1's estão resolvidos pelos implicantes primos essenciais não é necessário considerar mais nenhum implicante primo.

A forma mínima disjuntiva é, portanto: $\overline{BDE} + \overline{ACE} + AD\overline{E} + ACE$

3. [2 val] A partir de descodificadores com 3 entradas de selecção, enable e saídas activas a Low, realize um circuito que permita detectar os primeiros 8 números de Fibonacci (0,1,1,2,3,5,8,13). Pode utilizar apenas 2 portas lógicas básicas adicionais (NOT, AND, OR, NAND, NOR, XOR ou XNOR). Justifique.



O bit de maior peso, b3, selecciona o descodificador de modo que o descodificador de cima está activo quando um número de 0 a 7 está presente nas entradas, e o descodificador de baixo está activo para os números de 8 a 15.

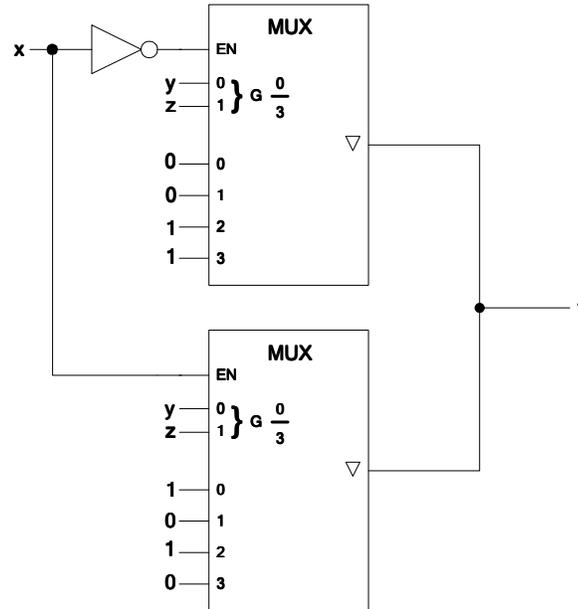
As saídas dos descodificadores são activas a zero. Utiliza-se, portanto, uma porta NAND para que a função f seja activa a 1 quando a saída respectiva dos descodificadores é activa a 0.

4. [2 val] Expresse a função $f(x,y,z)$, concretizada pelo circuito abaixo, na forma disjuntiva (soma de produtos) mínima. Justifique. Explique sucintamente o funcionamento do circuito.

O sinal x activa o MUX de cima, quando 0, ou o MUX de baixo, quando 1.

Como são MUXs tri-state e apenas um deles está activo de cada vez, as suas saídas podem ser ligadas ao mesmo ponto, neste caso, à saída f .

O sinal z está ligado à entrada de selecção de peso 1, em ambos os MUXs, e o sinal y está ligado à entrada de selecção de peso 0.

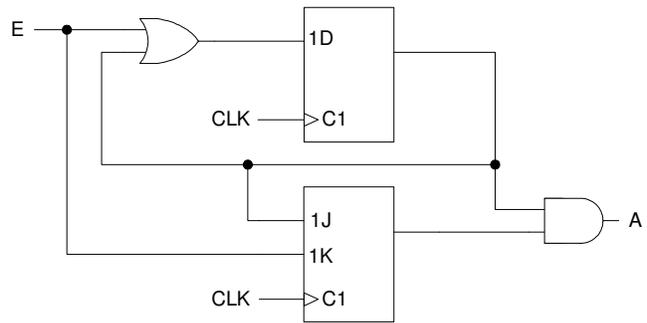


x	z	y	f
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

X \ ZY	00	01	11	10
0	0	1	0	1
1	1	0	0	1

$$f = \bar{x}z + x\bar{y}$$

5. Considere o circuito sequencial da figura ao lado e as características temporais dos FF e das portas lógicas indicadas na tabela.



a) [1,5 val] Considere que o sinal de relógio tem um período de relógio $T=20ns$ com a primeira transição positiva em $t=10ns$. Considere ainda que inicialmente (em $t=0$) ambos os flip-flops estão no estado 0 e a saída A também está a 0. Suponha ainda que em $t=0$ a entrada E transita de 0 para 1. Qual o instante de tempo em que a saída A vai passar a 1? Justifique.

b) [1 val] Considerando as características temporais dos elementos de circuito indicadas na tabela, calcule a frequência máxima de relógio para que o circuito funcione correctamente. Justifique.

$t=0$ $Q_D=J=0, Q_{JK}=0, A=0, E=K$ passa a 1
 $t=5ns$ saída da OR = D passa a 1
 (D=1, J=0, K=1)
 $t=10ns$ CLK passa a 1 (FFD com D=1)
 $t=20ns$ $Q_D=J$ passa a 1, $Q_{JK}=0, A=0, CLK$ passa a 0
 (D=1, J=1, K=1)
 $t=30ns$ CLK passa a 1 (FFJK com J=K=1)
 $t=46ns$ Q_{JK} passa a 1
 $t=53ns$ $A=Q_D \cdot Q_{JK}$ passa a 1

FF JK	
t_{SETUP}	5 ns
t_{HOLD}	2 ns
t_{PHL}	16 ns
t_{PLH}	16 ns
FF D	
t_{SETUP}	4 ns
t_{HOLD}	1 ns
t_{PHL}	10 ns
t_{PLH}	10 ns
AND	
t_{PHL}	7 ns
t_{PLH}	7 ns
OR	
t_{PHL}	5 ns
t_{PLH}	5 ns

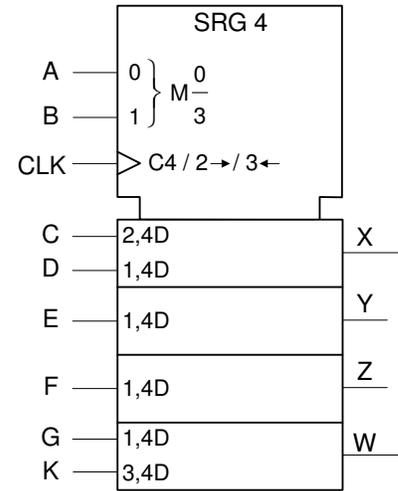
Existem 2 caminhos que começam num FF e terminam num FF:

$$T_{min} = \max \begin{cases} t_{P_FFD} + t_{P_OR} + t_{SETUP_FFD} = 10 + 5 + 4 = 19ns \\ t_{P_FFD} + t_{SETUP_FFJK} = 10 + 5 = 15ns \end{cases}$$

$$f_{max} = \frac{1}{19ns} = \frac{1}{19} GHz \approx 53MHz$$

6. [1,5 val] Considere o circuito da figura ao lado e, em cada caso, os valores lógicos fixados nas suas entradas e o estado inicial do circuito. Indique, em cada caso, qual o estado para que o circuito vai transitar após um ciclo de relógio. Justifique.

	A	B	C	D	E	F	G	K	X	Y	Z	W
Antes do flanco de CLK:	1	1	0	0	1	1	0	1	1	1	0	1
Após um período de CLK:									1	0	1	1



Modo 3 (B=1,A=1): deslocamento com entrada série K activa

- X ← Y
- Y ← Z
- Z ← W
- W ← K

	A	B	C	D	E	F	G	K	X	Y	Z	W
Antes do flanco de CLK:	1	0	1	0	0	1	1	0	1	1	0	1
Após um período de CLK:									0	0	1	1

Modo 1 (B=0,A=1): carregamento paralelo com entradas D,E,F,G activas

- X ← D
- Y ← E
- Z ← F
- W ← G

	A	B	C	D	E	F	G	K	X	Y	Z	W
Antes do flanco de CLK:	0	1	0	1	0	1	1	0	1	1	0	1
Após um período de CLK:									0	1	1	0

Modo 2 (B=1,A=0): deslocamento com entrada série C activa

- X ← C
- Y ← X
- Z ← Y
- W ← Z

7. [1,5 val] Considere o circuito da figura inicialmente no estado 3, $(Q_2Q_1Q_0)=(011)$.
Indique qual a sequência de estados nos 2 períodos de relógio seguintes. Indique em cada caso qual o modo de funcionamento do circuito. Justifique.

Estado 011:

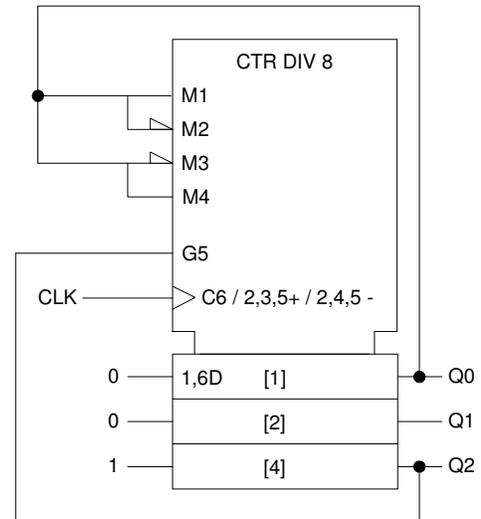
$Q_0=1 \rightarrow M1$ activo = carregamento paralelo
transita para o estado 100

Estado 100:

$Q_0=0 \rightarrow M2$ e $M3$ activos = contagem +
 $Q_2=1 \rightarrow G5$ activo = contagem habilitada
transita para o estado 101

Portanto, a sequência de estados é:

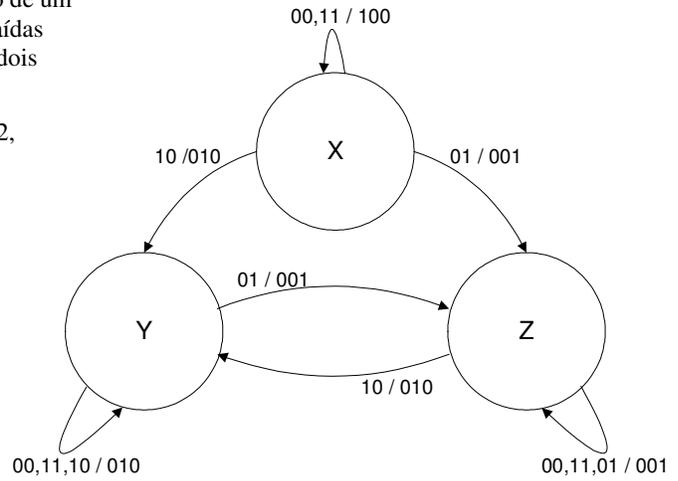
011 \rightarrow 100 \rightarrow 101



8. O diagrama de estados da figura descreve o comportamento de um circuito sequencial síncrono com duas entradas A e B e três saídas C2, C1 e C0. O estado é codificado pelas saídas, Q₁ e Q₀, de dois flip-flops JK, de acordo com X=00, Y=01 e Z=11.

a) [1,5 val] Obtenha as expressões mínimas para as saídas C2, C1 e C0. Justifique.

Estado Actual	Entradas		Saídas				
	Q1	Q0	A	B	C2	C1	C0
X	0	0	0	0	1	0	0
X	0	0	0	1	0	0	1
X	0	0	1	1	1	0	0
X	0	0	1	0	0	1	0
Y	0	1	0	0	0	1	0
Y	0	1	0	1	0	0	1
Y	0	1	1	1	0	1	0
Y	0	1	1	0	0	1	0
Z	1	1	0	0	0	0	1
Z	1	1	0	1	0	0	1
Z	1	1	1	1	0	0	1
Z	1	1	1	0	0	1	0



Q1Q0		AB			
		00	01	11	10
AB	00	1	0	0	X
	01	0	0	0	X
	11	1	0	0	X
	10	0	0	0	X

$$C_2 = \bar{A}\bar{B}\bar{Q}_0 + AB\bar{Q}_0$$

Q1Q0		AB			
		00	01	11	10
AB	00	0	1	0	X
	01	0	0	0	X
	11	0	1	0	X
	10	1	1	1	X

$$C_1 = A\bar{B} + A\bar{Q}_1Q_0 + \bar{B}\bar{Q}_1Q_0$$

Q1Q0		AB			
		00	01	11	10
AB	00	0	0	1	X
	01	1	1	1	X
	11	0	0	1	X
	10	0	0	0	X

$$C_0 = \bar{A}B + BQ_1 + \bar{A}Q_1$$

9. O diagrama de estados da figura descreve o comportamento de um circuito sequencial síncrono com uma entrada E e duas saídas Y1 e Y0. Admita a codificação com um flip-flop por estado (“one-hot encoding”), e utilize 3 FF D.

- a) [2 val] Obtenha as expressões mínimas para os sinais nas entradas D dos 3 FF e para Y1, Y0 em função dos 3 Qs e de E. Justifique.
- b) [1 val] Esboce o logograma correspondente à implementação do circuito.

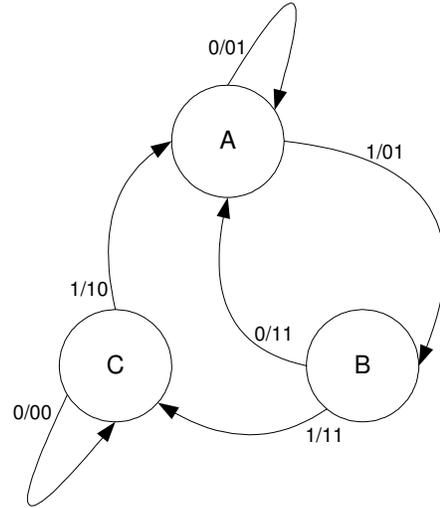
$$D_A = Q_A \cdot \bar{E} + Q_B \cdot \bar{E} + Q_C \cdot E$$

$$D_B = Q_A \cdot E$$

$$D_C = Q_B \cdot E + Q_C \cdot \bar{E}$$

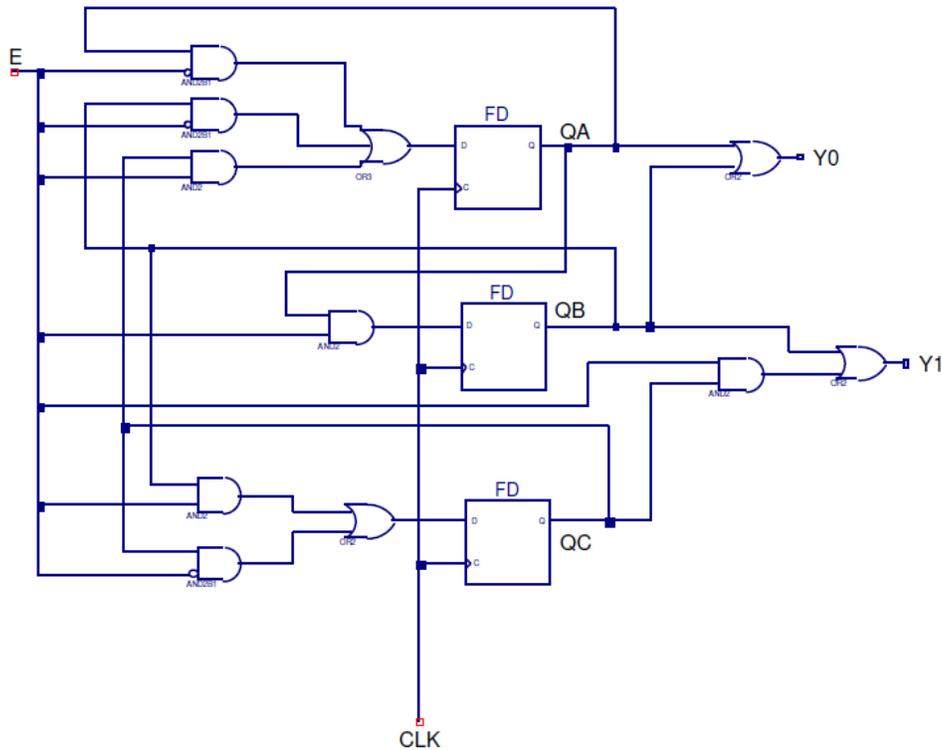
$$Y_1 = Q_B + Q_C \cdot E$$

$$Y_0 = Q_A + Q_B$$



Passar-se-á para o estado A quando:
 se está no estado A e E=0, ou
 se está no estado B e E=0, ou
 se está no estado C e E=1
 ...

A saída Y1 é 1 quando:
 se está no estado B, ou
 se está no estado C e E=1
 ...



10. [2 val] Considere o seguinte sistema de aviso do funcionamento de uma central de monitorização:

A central tem 2 sensores distintos e independentes. Quando um dos sensores está activo em 2 flancos ascendentes de relógio consecutivos, a central acende uma luz de aviso amarela. Se ambos os sensores estiverem activos simultaneamente basta ocorrer um flanco ascendente para a luz amarela acender. A luz amarela deve continuar acesa enquanto o(s) sensor(es) que a activou(aram) não ficarem inactivos durante pelo menos 1 período completo. A luz vermelha deve acender se as condições que motivaram o acendimento da luz amarela continuarem durante mais um período. Assim que a luz vermelha acender, já não deve apagar.

Desenhe o diagrama de uma máquina de estados que implemente o comportamento pretendido. Caso exista algum factor não especificado, tome a decisão que achar mais conveniente e justifique-a.

Entradas: <Sensor1, Sensor2>

Saídas: <luz amarela, luz vermelha>

Estados:

I - estado inicial

S1 - sensor 1 activo por 1 período

S2 - sensor 2 activo por 1 período

A - luz amarela acesa por ambos os sensores activos por 1 período

A1 - luz amarela acesa por sensor 1 activo por 2 períodos

A2 - luz amarela acesa por sensor 2 activo por 2 períodos

V - luz vermelha acesa

