

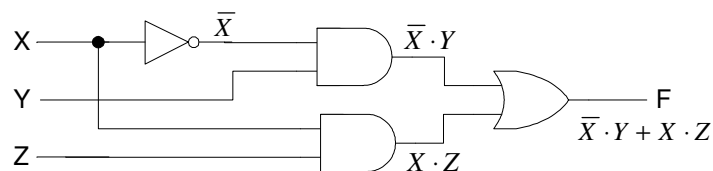
1. [1 val] Converta para base 2 o número hexadecimal (base 16) B06E. Justifique.

$$\text{B06E} = \underbrace{1011}_{\text{B}} \underbrace{0000}_{\text{0}} \underbrace{0110}_{\text{6}} \underbrace{1110}_{\text{E}}$$

Como $16=2^4$ é uma potência de 2, a conversão entre base 16 e base 2 pode fazer-se directamente: na posição de cada algarismo hexadecimal corresponde o seu número binário de 4 bits.

$$\begin{aligned} \text{B06E} &= 11 \times 16^3 + 0 \times 16^2 + 6 \times 16 + 14 \\ &= 11 \times 2^{12} + 0 \times 2^8 + 6 \times 2^4 + 14 \\ &= (1011)_2 \times 2^{12} + (0000)_2 \times 2^8 + (0110)_2 \times 2^4 + (1110)_2 \end{aligned}$$

2. [2 val] Indique qual a função concretizada pelo esquema lógico do circuito abaixo. Justifique.

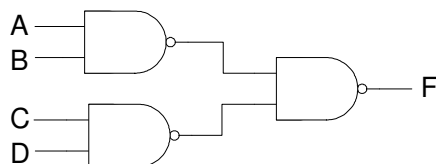


$$F = \bar{X} \cdot Y + X \cdot Z$$

3. [2 val] Desenhe o esquema lógico do circuito que concretiza a função $g = \overline{\overline{a+b}} + c \cdot d$, com o número mínimo de portas e utilizando apenas portas lógicas NAND de 2 entradas. Justifique.

Aplicando a Lei de Morgan:

$$\begin{aligned} g &= \overline{\overline{a+b}} + c \cdot d \\ &= a \cdot b + c \cdot d \\ &= \overline{\overline{a \cdot b + c \cdot d}} \\ &= \overline{\overline{a \cdot b} \cdot \overline{c \cdot d}} \\ &= \overline{\overline{a \cdot b} \cdot \overline{c \cdot d}} \end{aligned}$$



4. [1 val] Considere a seguinte função booleana, em que A é a variável de maior peso:

$$f(A, B, C, D, E) = \sum m(2,3,4,5,7,18,19,25,28,31) + \sum m_d(0,1,12,23,27,30)$$

Identifique as linhas e colunas do mapa de Karnaugh abaixo com os valores correspondentes de AB e CDE. Preencha o mapa com os mintermos e indiferenças especificados acima.

		CDE							
		000	001	011	010	110	111	101	100
AB	00	X	X	1	1	0	1	1	1
	01	0	0	0	0	0	0	0	X
	11	0	1	X	0	X	1	0	1
	10	0	0	1	1	0	X	0	0

5. [2 val] Considere o seguinte mapa de Karnaugh. Assinale no mapa dois Implicantes Primos Essenciais e um Implicante Primo Não Essencial. Justifique.

AB \ CDE	000	001	011	010	110	111	101	100
	00	01	11	10	00	01	10	01
00	X	X	1	1	X	1	0	1
01	0	0	X	0	0	0	0	0
11	0	1	X	0	1	0	1	1
10	1	0	1	1	1	X	X	0

AB \ CDE	000	001	011	010	110	111	101	100
	00	01	11	10	00	01	10	01
00	X	X	1	1	X	1	0	1
01	0	0	X	0	0	0	0	0
11	0	1	X	0	1	0	1	1
10	1	0	1	1	1	X	X	0

AB \ CDE	000	001	011	010	110	111	101	100
	00	01	11	10	00	01	10	01
00	X	X	1	1	X	1	0	1
01	0	0	X	0	0	0	0	0
11	0	1	X	0	1	0	1	1
10	1	0	1	1	1	X	X	0

Existem 3 implicantes primos essenciais, assinalados acima. Cada um deles é essencial porque o quadrado a cinzento não pertence a mais nenhum implicante primo.

Nos mapas abaixo estão assinalados implicantes primos não essenciais. Cada um deles é não essencial porque todos os 1's que lhe pertencem estão também incluídos em outro implicante primo.

AB \ CDE	000	001	011	010	110	111	101	100
	00	01	11	10	00	01	10	01
00	X	X	1	1	X	1	0	1
01	0	0	X	0	0	0	0	0
11	0	1	X	0	1	0	1	1
10	1	0	1	1	1	X	X	0

AB \ CDE	000	001	011	010	110	111	101	100
	00	01	11	10	00	01	10	01
00	X	X	1	1	X	1	0	1
01	0	0	X	0	0	0	0	0
11	0	1	X	0	1	0	1	1
10	1	0	1	1	1	X	X	0

6. [3 val] Considere a função representada no mapa, abaixo. Obtenha a expressão mínima na forma disjuntiva (soma de produtos) para esta função. Justifique e identifique quais os implicantes primos essenciais da função.

O implicante $\overline{A}D$ é primo essencial.
 É primo porque não pode ser mais simplificado.
 É essencial porque o mintermo $\overline{A}B\overline{C}D$ não pertence a mais nenhum único implicante primo.

Todos os outros 1's da função correspondem a mintermos que pertencem a mais do que um implicante primo, portanto não existe mais nenhum implicante primo essencial.

Os 3 1's não incluídos no implicante primo essencial podem ser agrupados num único implicante primo: $\overline{B}D$

A expressão mínima é, portanto: $\overline{A}D + \overline{B}D$

AB \ CD	00	01	11	10
	00	01	11	10
00	1	1	1	1
01	0	1	X	X
11	0	0	0	X
10	X	X	0	1

7. [3 val] Pretende-se realizar um circuito combinatório com 3 entradas e 3 saídas, em que a entrada é um número constituído por três bits de dados (b_2, b_1, b_0), e as 3 saídas concretizam as seguintes funções:

- saída $g_0 = 1$ sse todos os bits (b_2, b_1, b_0) forem iguais a “0”;
- saída $g_1 = 1$ sse todos os bits (b_2, b_1, b_0) forem iguais a “1”;
- saída $g_2 = 1$ sse o número binário $b_2b_1b_0$ pertencer ao intervalo [3,5];

Realize o circuito com o decodificador da figura e o mínimo de portas lógicas adicionais. Indique os sinais (ou valores lógicos) que liga em todas as entradas do circuito. Justifique.

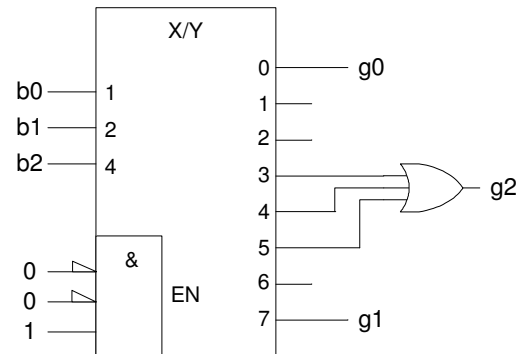
b_2, b_1 e b_0 são ligados às entradas de selecção com pesos 4, 2 e 1, respectivamente.

Para habilitar o decodificador, as entradas de enable activas a zero são ligadas a 0, e a entrada de enable activa a um é ligada a 1.

A saída g_0 apenas é activa quando estiver presente nas entradas (de selecção) o número binário $0=000_2$. É, portanto, ligada à saída 0 do decodificador.

A saída g_1 apenas é activa quando estiver presente nas entradas (de selecção) o número binário $7=111_2$. É, portanto, ligada à saída 7 do decodificador.

A saída g_2 é activa quando estiverem presentes nas entradas (de selecção) os números binários 3 ou 4 ou 5. É, portanto, utilizada uma porta OR para concretizar a soma lógica das saídas 3, 4 e 5 do decodificador.



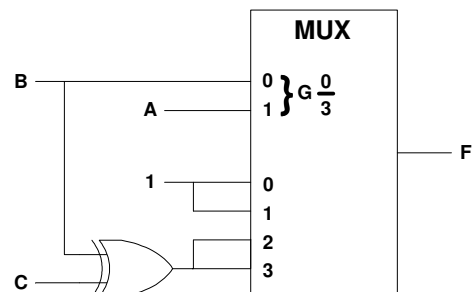
8. [3 val] Obtenha a expressão mínima da função $f(A,B,C)$ concretizada pelo circuito abaixo. Justifique.

O multiplexers selecciona a entrada a ligar a F de acordo com o número binário AB:

$$\begin{aligned} f(A=0, B=0, C) &= 1 \\ f(A=0, B=1, C) &= 1 \\ f(A=1, B=0, C) &= B \oplus C \\ f(A=1, B=1, C) &= B \oplus C \end{aligned}$$

Portanto,

$$\begin{aligned} f &= 1 \cdot (\overline{A}B + \overline{A}\overline{B}) + (B \oplus C) \cdot (AB + AB) \\ &= \overline{A} + (B \oplus C) \cdot A \\ &= \overline{A} + (B \oplus C) \end{aligned}$$



A tabela da função é:

BC A	BC			
	00	01	11	10
0	1	1	1	1
1	0	1	0	1

9. [3 val] A partir de somadores idênticos ao indicado na figura abaixo (utilize o número mínimo que considerar necessário), desenhe um circuito que permita realizar somas de números (com sinal) de 8 bits.

Considere que os números presentes nas entradas utilizam a representação de complemento para 2. Faça todas as ligações necessárias e indique quais os valores lógicos que tem de impôr em todas as entradas do circuito para realizar a operação $38 - 67$. Indique também quais os valores lógicos nas saídas do circuito para essa situação. Justifique.

Para somar 2 números de 8 bits cada, têm de ser utilizados 2 somadores de 4-bits, ligados em cascata: o 1º somador soma os 4-bits menos significativos de cada número e o 2º somador soma os 4-bits mais significativos. O transporte do resultado do 1º somador é passado ao 2º ligando a saída carry_out do 1º à entrada carry_in do 2º.

$$38 = 00100110$$

$$67 = 01000011$$

$$-67 = 10111100 + 1 = 10111101$$

Resulta então:

$$\begin{array}{r} (0) \ (0) \ (1) \ (1) \ (1) \ (1) \ (0) \ (0) \\ \quad 1 \ 0 \ 1 \ 1 \ 1 \ 1 \ 0 \ 1 \\ + \quad 0 \ 0 \ 1 \ 0 \ 0 \ 1 \ 1 \ 0 \\ \hline \quad 1 \ 1 \ 1 \ 0 \ 0 \ 0 \ 1 \ 1 \end{array}$$

