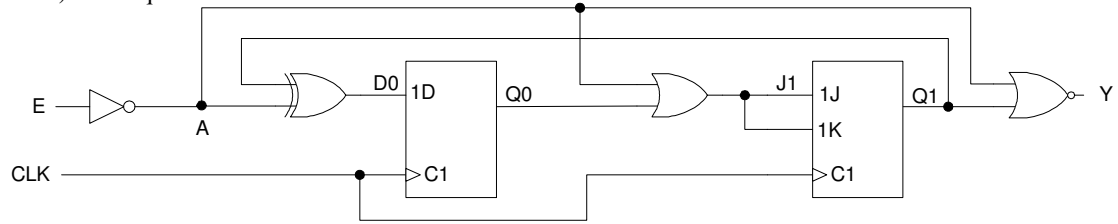
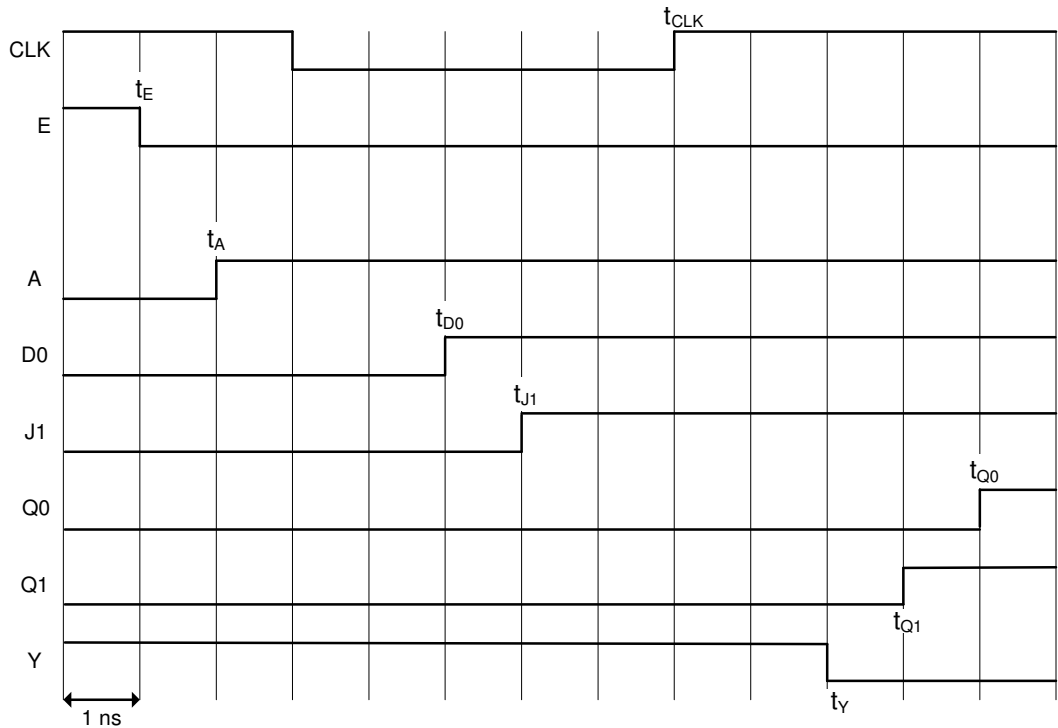


1. Suponha o circuito da figura inicialmente no estado $Q1=Q0=0$, e com $E=1$, $A=0$, $D0=0$, $J1=0$ e $Y=1$.

- a) [2 val] Esboce as formas de onda dos sinais indicados, tendo em conta as formas de onda indicadas no diagrama temporal para o relógio e para a entrada E, as características temporais dos elementos de circuito indicadas na tabela, e a escala indicada. Justifique.
- b) [1 val] Indique se existe algum problema de violação dos tempos de *setup* ou *hold*, no intervalo de tempo e para as formas de onda obtidas em a). Justifique.



FF JK	
t_{SETUP}	1 ns
t_{HOLD}	1 ns
t_{PHL}	2 ns
t_{PLH}	3 ns
FF D	
t_{SETUP}	2 ns
t_{HOLD}	1 ns
t_{PHL}	1 ns
t_{PLH}	4 ns
NOT	
t_{PHL}	2 ns
t_{PLH}	1 ns
OR	
t_{PHL}	5 ns
t_{PLH}	4 ns
NOR	
t_{PHL}	8 ns
t_{PLH}	6 ns
XOR	
t_{PHL}	5 ns
t_{PLH}	3 ns



$$\begin{aligned}
 t_A &= t_E + t_{\text{PLH_NOT}} = t_E + 1\text{ns} \\
 t_{D0} &= t_A + t_{\text{PLH_XOR}} = t_A + 3\text{ns} \\
 t_{J1} &= t_A + t_{\text{PLH_OR}} = t_A + 4\text{ns} \\
 t_{Q0} &= t_{\text{CLK}} + t_{\text{PLH_FFD}} = t_{\text{CLK}} + 4\text{ns} \\
 t_{Q1} &= t_{\text{CLK}} + t_{\text{PLH_FFJK}} = t_{\text{CLK}} + 3\text{ns} \\
 t_Y &= t_A + t_{\text{PHL_NOR}} = t_A + 8\text{ns}
 \end{aligned}$$

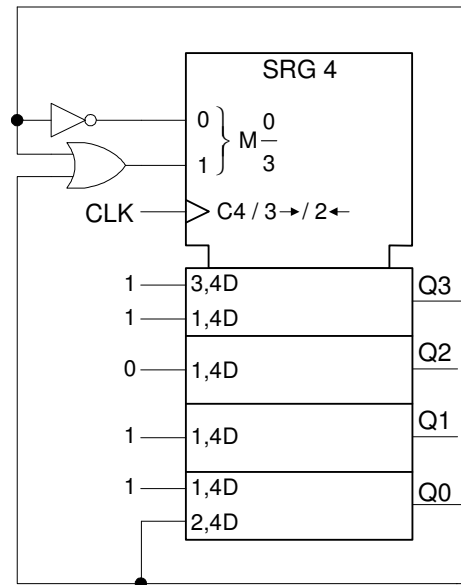
Não existe nenhum problema de setup ou hold porque não há variações nas entradas dos flip-flops durante os intervalos de tempo respectivos: no FFD a entrada D0 não varia no intervalo de 2ns antes do flanco positivo de relógio (setup) nem no intervalo de 1ns a seguir ao flanco positivo de relógio (hold); no FFJK as entradas J1 e K1 não variam no intervalo de 1ns antes do flanco positivo de relógio (setup) nem no intervalo de 1ns a seguir ao flanco positivo de relógio (hold).

2. [2 val] Considere o circuito da figura inicialmente no estado 1. Indique qual a sequência de estados nos 4 períodos de relógio seguintes. Indique em cada caso qual o modo de funcionamento do registo. Justifique.

$$m_1 = Q_3 + Q_0$$

$$m_0 = \overline{Q_3}$$

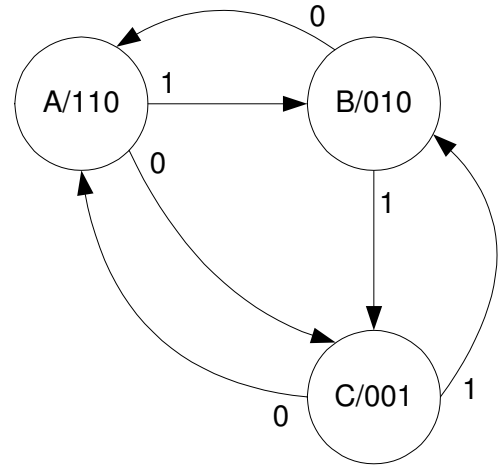
$$D_{0serie} = Q_0$$



Estado actual														Estado seguinte			
Q ₃	Q ₂	Q ₁	Q ₀	m ₁	m ₀	modo	função	D _{3serie}	D ₃	D ₂	D ₁	D ₀	D _{0serie}	Q ₃	Q ₂	Q ₁	Q ₀
0	0	0	1	1	1	3	deslocamento↓	1	-	-	-	-	-	1	0	0	0
1	0	0	0	1	0	2	deslocamento↑	-	-	-	-	-	0	0	0	0	0
0	0	0	0	0	1	1	carregamento	-	1	0	1	1	-	1	0	1	1
1	0	1	1	1	0	2	deslocamento↑	-	-	-	-	-	1	0	1	1	1

Sequência de estados: 1 → 8 → 0 → 11 → 7

4. O diagrama de estados da figura descreve o comportamento de um circuito sequencial síncrono com uma entrada E e três saídas Y2, Y1 e Y0. O estado é codificado pelas saídas de dois flip-flops, Q₁ e Q₀, de acordo com A=00, B=01 e C=11.



- a) [1,5 val] Complete a tabela de transições de estados em baixo (os valores de Q₁ e Q₀ são dados pelas saídas de dois flip-flops do tipo D). Justifique.
- b) [2 val] Obtenha as expressões para D₁, D₀ e Y₂, Y₁, Y₀ em função de Q₁, Q₀ e E. Justifique.
- c) [1 val] Esboce o logigrama correspondente à implementação do diagrama de estados apresentado.
- d) [1,5 val] Este circuito tem *lockout*? Justifique.

Estado Actual	Entrada	Saídas			Estado Seguinte		
Q ₁ Q ₀ (n)	E	Y ₂	Y ₁	Y ₀	Q ₁ Q ₀ (n+1)	D ₁	D ₀
00 A	0	1	1	0	C 11	1	1
00 A	1	1	1	0	B 01	0	1
01 B	0	0	1	0	A 00	0	0
01 B	1	0	1	0	C 11	1	1
11 C	0	0	0	1	A 00	0	0
11 C	1	0	0	1	B 01	0	1

As tabelas da verdade das funções lógicas D₁(Q₁,Q₀,E), D₀(Q₁,Q₀,E), Y₂(Q₁,Q₀), Y₁(Q₁,Q₀) e Y₀(Q₁,Q₀) estão directamente representadas nas colunas respectivas da tabela.

As expressões das saídas Y₂, Y₁ e Y₀ podem ser obtidas directamente da tabela: $Y_2 = \overline{Q_0}$

As expressões de D₁ e D₀ podem ser obtidas reescrevendo as colunas respectivas como mapas de Karnaugh:

$$Y_1 = \overline{Q_1}$$

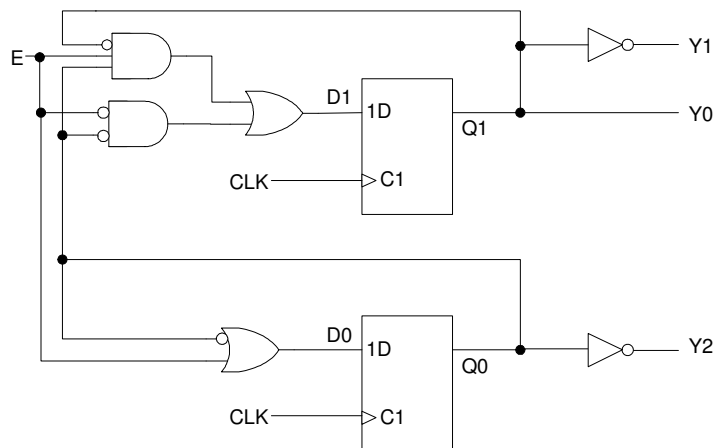
$$Y_0 = Q_1$$

Q ₁ Q ₀		E			
Q ₁	Q ₀	00	01	11	10
		0	1	0	X
0	0	1	0	0	X
1	0	0	1	0	X

Q ₁ Q ₀		E			
Q ₁	Q ₀	00	01	11	10
		0	1	0	X
0	0	1	0	0	X
1	0	1	1	1	X

$$D_1 = \overline{Q_0}\overline{E} + \overline{Q_1}Q_0E$$

$$D_0 = \overline{Q_0} + E$$



Não tem lockout. Quando Q₁Q₀=10 vem D₁D₀=11 (se E=0) ou D₁D₀=01 (se E=1), portanto a máquina passa sempre para um dos estados considerados.

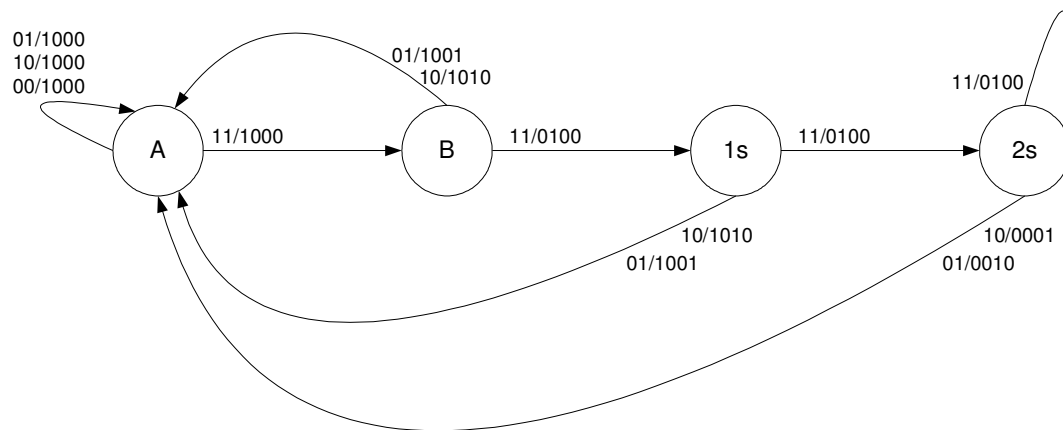
5. [3 val] Pretende-se implementar o controlador para um jogo entre 2 participantes. As regras do jogo são as seguintes:

- Cada participante tem 1 botão de pressão que gera um sinal lógico High de cada vez que é pressionado;
- Inicialmente nenhum dos participantes pode estar a carregar no botão e existe uma luz encarnada que está acesa;
- Após os 2 participantes estarem a pressionar o seu botão a luz encarnada apaga-se e acende-se uma luz verde;
- Após acender a luz verde ambos os participantes têm que manter o botão pressionado durante pelo menos mais 2 segundos (a luz verde mantém-se acesa enquanto os 2 participantes tiverem os botões pressionados);
- O primeiro participante que largar o botão após terem passado 2 segundos após o acender da luz verde ganha o jogo. Assim que um participante ganhe deve acender-se uma nova luz – se ganhar o participante 1 acende-se uma luz de cor laranja; se ganhar o participante 2 acende-se uma luz amarela;
- Um participante perde se soltar o botão de pressão antes de terem passado 2 segundos após o acender da luz verde. Nesse caso devem acender-se imediatamente a luz vermelha e a luz que indica quem ganhou.
- O jogo deve recomeçar após a vitória de um dos participantes.

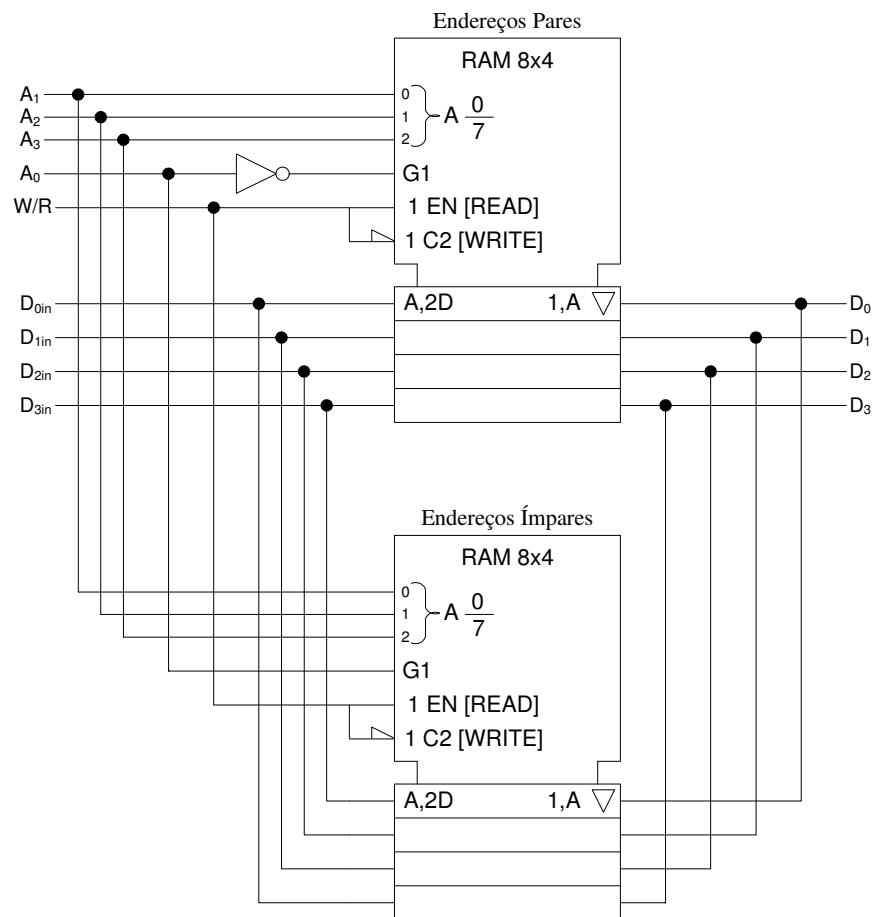
Esboce o diagrama de estados que concretiza a máquina especificada acima, considerando a utilização de um relógio com período $T_{CLK}=1s$. Indique o que cada estado representa. Tome as decisões e/ou simplificações que julgar mais razoáveis e justifique-as. Explique sucinta mas claramente o funcionamento da máquina de estados.

Entradas: B_1, B_2

Saídas: E, V, L, A



6. [2 val] Considere os circuitos de memória seguintes. Estabeleça as ligações que permitem associar os dois blocos de memória, de 8 palavras de 4 bits cada, de modo a obter um bloco de memória de 16 palavras de 4 bits, tal que as posições ímpares estão localizadas num dos componentes e as posições pares estão localizadas no outro componente. Designe por A3, A2, A1 e A0, os bits de endereço, e por D3, D2, D1 e D0 os bits de dados da memória. Justifique.



Os endereços pares ($A_0=0$) correspondem ao primeiro bloco de memória (enable=1 quando $A_0=0$), e os endereços ímpares ($A_0=1$) correspondem ao segundo bloco de memória (enable=1 quando $A_0=1$).

Os bits de endereço A3, A2, A1, a entrada de Write/Read e as entradas de dados D3, D2, D1, D0 são comuns a ambos os blocos.

As saídas de dados de ambos os blocos podem também ser ligadas entre si, pois as saídas são tri-state e apenas um deles está activo em cada acesso.