

1. [2 val] Considere a função representada no mapa, abaixo. Obtenha a expressão mínima na forma conjuntiva (produto de somas) para esta função. Justifique e identifique quais os implicados primos essenciais da função.

Expressão mínima na forma disjuntiva:

$$(\overline{A} + B + D) \cdot (\overline{A} + \overline{B} + \overline{D}) \cdot (B + \overline{C} + \overline{D}) \cdot (\overline{B} + \overline{C} + D)$$

São todos implicantes primos essenciais:

$$\overline{A} + B + D \quad \text{por } M_4$$

$$\overline{A} + \overline{B} + \overline{D} \quad \text{por } M_{13}$$

$$B + \overline{C} + \overline{D} \quad \text{por } M_3$$

$$\overline{B} + \overline{C} + D \quad \text{por } M_6$$

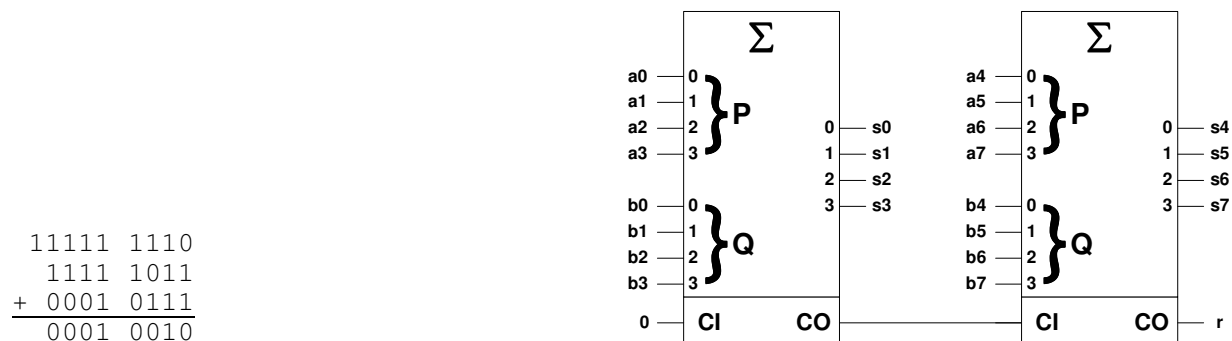
CD \ AB	00	01	11	10
00	1	1	0	1
01	1	1	1	0
11	1	0	X	X
10	0	1	0	0

2. [1,5 val] Considere o circuito da figura abaixo.

Considere $A \langle a_7 a_6 a_5 a_4 a_3 a_2 a_1 a_0 \rangle$, $B \langle b_7 b_6 b_5 b_4 b_3 b_2 b_1 b_0 \rangle$ e $S \langle s_7 s_6 s_5 s_4 s_3 s_2 s_1 s_0 \rangle$ números inteiros com sinal de 8-bits, representados em complemento para 2.

Suponha $\langle a_7 a_6 a_5 a_4 a_3 a_2 a_1 a_0 \rangle = 1111\ 1011$ e $\langle b_7 b_6 b_5 b_4 b_3 b_2 b_1 b_0 \rangle = 0001\ 0111$. Qual o valor de $\langle s_7 s_6 s_5 s_4 s_3 s_2 s_1 s_0 \rangle$?

Qual a operação aritmética que está a realizar e quais os operandos (em decimal)? Justifique.



$$s_7 s_6 s_5 s_4 s_3 s_2 s_1 s_0 = 00010010$$

$$\text{complemento_para_2 de } 1111\ 1011 = 0000\ 0100 + 1 = 0000\ 0101 = 5_{10}$$

$$\text{a operação é } -5 + 23 = 18$$

3. [1 val] Considere o seguinte mapa de Karnaugh. Indique a expressão para o implicante primo que contém o termo $\overline{B}\overline{C}\overline{E}$. Justifique.

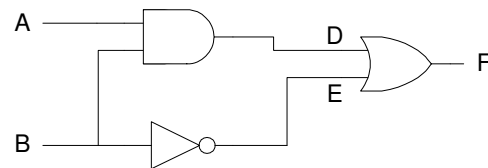
É o implicante $\overline{B}\overline{E}$, assinalado no quadro (grupo de 8 mintermos).

Resulta da simplificação do implicante $\overline{B}\overline{C}\overline{E}$ (grupo de 4 mintermos assinalados na metade esquerda do quadro) com o implicante $\overline{B}\overline{C}\overline{E}$.

A B \		C									
		D		0	0	0	0	1	1	1	1
		E		0	0	1	1	1	1	0	0
				0	1	1	0	0	1	1	0
0 0		1	X	0	1	1	0	0	X		
0 1		0	0	1	0	0	0	0	0		
1 1		0	1	1	1	1	0	X	X		
1 0		1	X	0	1	X	0	0	1		

4. Considere o circuito da figura e os tempos de propagação de cada uma das portas indicados na tabela.

	AND	OR	NOT
t_{PLH} (ns)	7	3	2
t_{PHL} (ns)	6	4	1



a) [0,5 val] Considere inicialmente $A=0$ e $B=1$. Quais os valores iniciais dos sinais D, E e F?

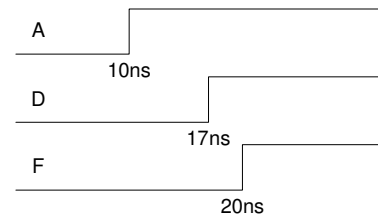
b) [1 val] Considere que o sinal A muda para 1 em $t=10\text{ns}$, mantendo-se $B=1$.

Esboce a forma de onda para o sinal F, indicando claramente qual o instante em que muda de valor. Justifique.

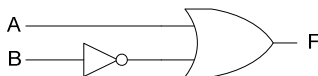
c) [1 val] É possível realizar um circuito que concretize a mesma função lógica F, usando apenas portas AND e/ou OR e/ou NOT, mas cujo tempo de propagação máximo seja inferior a 6 ns? Justifique.

a) $D=A \cdot B=0$ $E=\text{not}(B)=0$ $F=D+E=0$

b) O sinal A passa de 0 para 1 em $t=10\text{ns}$, logo faz D variar de 0 para 1 em 17ns ($10\text{ns}+t_{PLH-AND}$), o que faz F variar de 0 para 1 em 20ns ($17\text{ns}+t_{PLH-OR}$)



c) Sim. $F = \overline{B} + AB = \overline{B} + A$



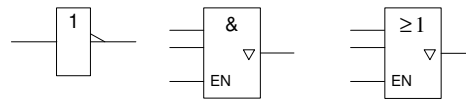
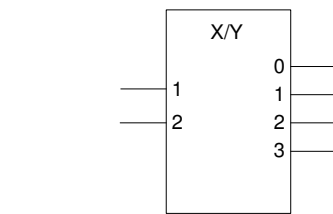
		B	
		0	1
A	0	0	1
	1	1	1

O novo circuito, logicamente equivalente, tem tempo de propagação máximo de 5ns:

$$t_{P\max} = \max \begin{cases} t_{PHL_NOT} + t_{PHL_OR} = 1 + 4 = 5\text{ns} \\ t_{PLH_NOT} + t_{PLH_OR} = 2 + 3 = 5\text{ns} \end{cases}$$

5. [1,5 val] Pretende-se concretizar um circuito que, dados 2 bits <A,B>, realize uma de 4 funções lógicas alternativas, de acordo com a tabela.

AB	F
00	$\overline{X+Y}$
01	$X+Y$
10	$\overline{X \cdot Y}$
11	$X \cdot Y$

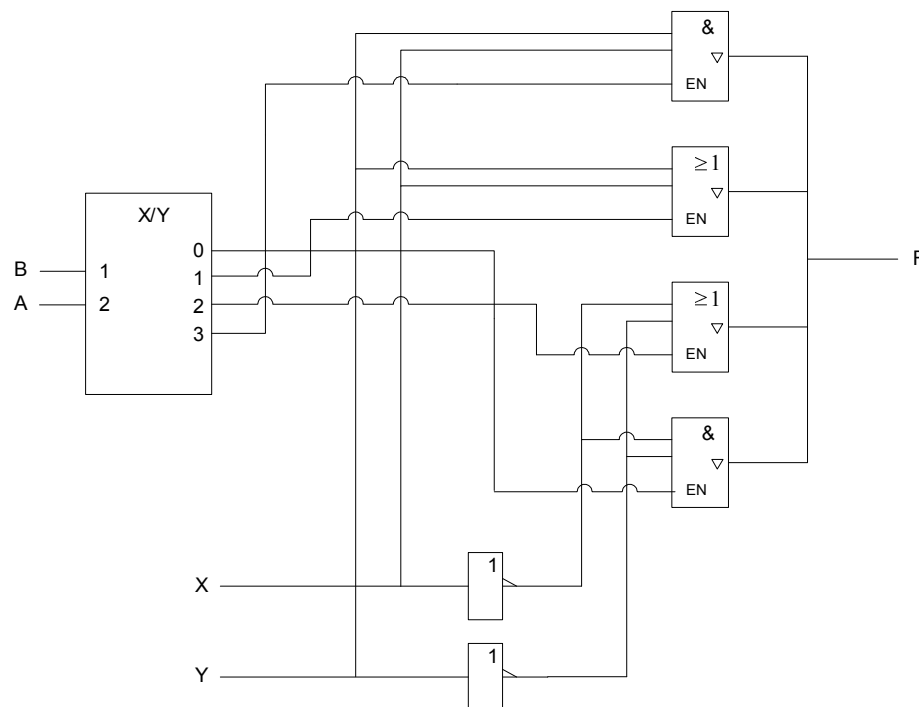


Esboce o esquema lógico do circuito pretendido utilizando **apenas** componentes do tipo indicado (descodificador 2:4, 2 inversores *standard* e 4 portas lógicas, AND e/ou OR, *tri-state*).

O descodificador permite seleccionar alternadamente cada uma das 4 portas tri-state, através das ligações às entradas de Enable respectivas, de acordo com a selecção do descodificador.

As saídas das portas tri-state podem ser ligadas entre si, desde que apenas uma delas esteja habilitada em cada instante, o que é garantido pelo descodificador.

As instruções 0 e 2 são realizadas como $\overline{X+Y} = \overline{X} \cdot \overline{Y}$ e como $\overline{X \cdot Y} = \overline{X} + \overline{Y}$ respectivamente.



As soluções propostas para as questões restantes podem ser consultadas no teste 2.