

1. [2 val] Considere a seguinte função booleana, em que A é a variável de maior peso:

$$f(A, B, C, D) = \sum m(1, 4, 8, 9, 10, 15) + \sum d(12, 13)$$

Obtenha a expressão mínima na forma disjuntiva (soma de produtos) para esta função. Justifique e identifique quais os implicantes primos essenciais da função.

Expressão mínima na forma disjuntiva:

$$\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{D} + \overline{B}\overline{C}D + ABD$$

São todos implicantes primos essenciais:

$$\overline{B}\overline{C}\overline{D} \quad \text{por } m_4$$

$$\overline{A}\overline{B}\overline{D} \quad \text{por } m_{10}$$

$$\overline{B}\overline{C}D \quad \text{por } m_1$$

$$ABD \quad \text{por } m_{15}$$

AB \ CD	CD			
	00	01	11	10
00	0	1	0	0
01	1	0	0	0
11	X	X	1	0
10	1	1	0	1

2. [2,5 val] Pretende-se realizar um circuito combinatório que realiza a multiplicação inteira entre 2 números, A e B, ambos pertencentes ao intervalo [0,2].

Quantos bits de entrada e de saída requer o circuito para concretizar o cálculo referido?

Escreva a tabela de verdade das funções lógicas necessárias, e determine as suas expressões mínimas. Desenhe o esquema lógico do circuito que concretiza o projecto utilizando o menor número possível de portas lógicas.

Entradas: A com 2 bits (a_1a_0), e B com 2 bits (b_1b_0).

Saída: M com 3 bits ($m_2m_1m_0$),

porque o maior resultado possível da multiplicação é $4=2 \times 2$ requer 3 bits.

Função lógica $M = m_2m_1m_0 = f(a_1, a_0, b_1, b_0)$

$a_1a_0 \backslash b_1b_0$	b_1b_0			
	00	01	11	10
00	000	000	xxx	000
01	000	001	xxx	010
11	xxx	xxx	xxx	xxx
10	000	010	xxx	100

$a_1a_0 \backslash b_1b_0$	b_1b_0			
	00	01	11	10
00	0	0	X	0
01	0	0	X	0
11	X	X	X	X
10	0	0	X	1

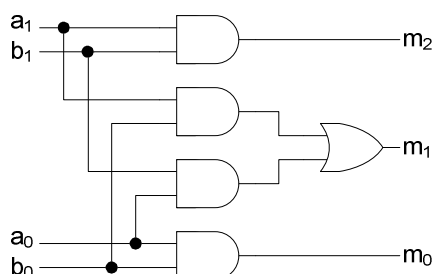
$$m_2 = a_1b_1$$

$a_1a_0 \backslash b_1b_0$	b_1b_0			
	00	01	11	10
00	0	0	X	0
01	0	0	X	1
11	X	X	X	X
10	0	1	X	0

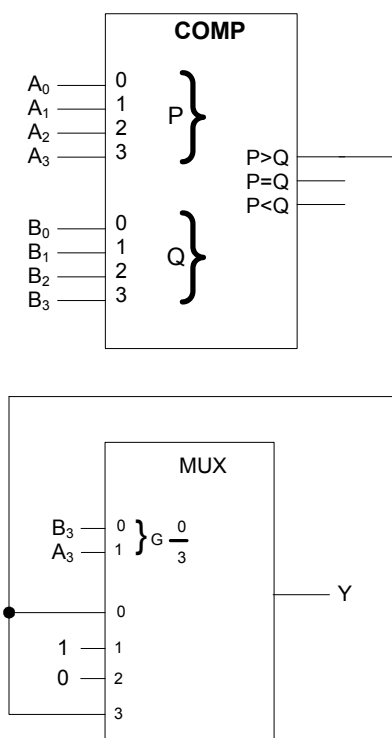
$$m_1 = a_1b_0 + a_0b_1$$

$a_1a_0 \backslash b_1b_0$	b_1b_0			
	00	01	11	10
00	0	0	X	0
01	0	1	X	0
11	X	X	X	X
10	0	0	X	0

$$m_0 = a_0b_0$$



3. [2 val] Utilizando o comparador da figura e um MUX 4:1, projecte um circuito que tem como entradas dois números de 4 bits com sinal, representados em complemento para 2, $A = (A_3A_2A_1A_0)$ e $B = (B_3B_2B_1B_0)$, e uma saída Y. A saída Y é activa sse $A > B$. Esboce o esquema lógico do circuito pretendido. Justifique a solução proposta.



O comparador compara números sem sinal, portanto é necessário considerar também as situações em que A e B têm sinais diferentes ($A_3 \neq B_3$). Estas situações são distinguidas utilizando o MUX:

$A_3=0, B_3=0$: mesmo sinal, $Y=P>Q$.

$A_3=0, B_3=1$: A positivo, B negativo, $Y=1$.

$A_3=1, B_3=0$: A negativo, B positivo, $Y=0$.

$A_3=1, B_3=1$: mesmo sinal, $Y=P>Q$.

4. [2,5 val] Pretende-se concretizar um registo que, dada uma instrução de 2 bits <I1,I0>, realize uma de 4 funções alternativas, de acordo com a tabela. Esboce o esquema lógico do circuito pretendido utilizando o registo indicado e o mínimo de lógica adicional.

I ₁ I ₀	Função a executar (após transição de relógio)	M ₁	M ₀	S ₂	S ₃	D ₃	D ₂	D ₁	D ₀
00	Deslocamento à direita, com entrada série de 1	1	0	1	X	X	X	X	X
01	Deslocamento à direita, com entrada série de 0	1	0	0	X	X	X	X	X
10	Deslocamento à esquerda, com entrada série de 1	1	1	X	1	X	X	X	X
11	Inicialização no estado 4	0	1	X	X	0	1	0	0

Directamente da tabela:

$$M_1 = \overline{I_1 \cdot I_0}$$

$$M_0 = \overline{I_1}$$

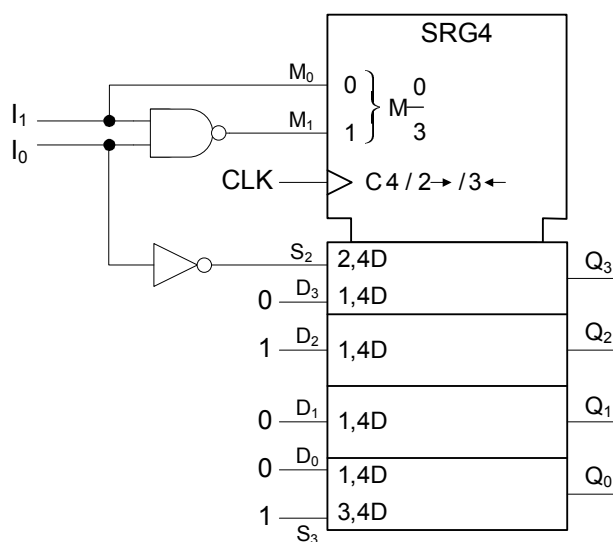
$$S_2 = \overline{I_0}$$

$$S_3 = 1$$

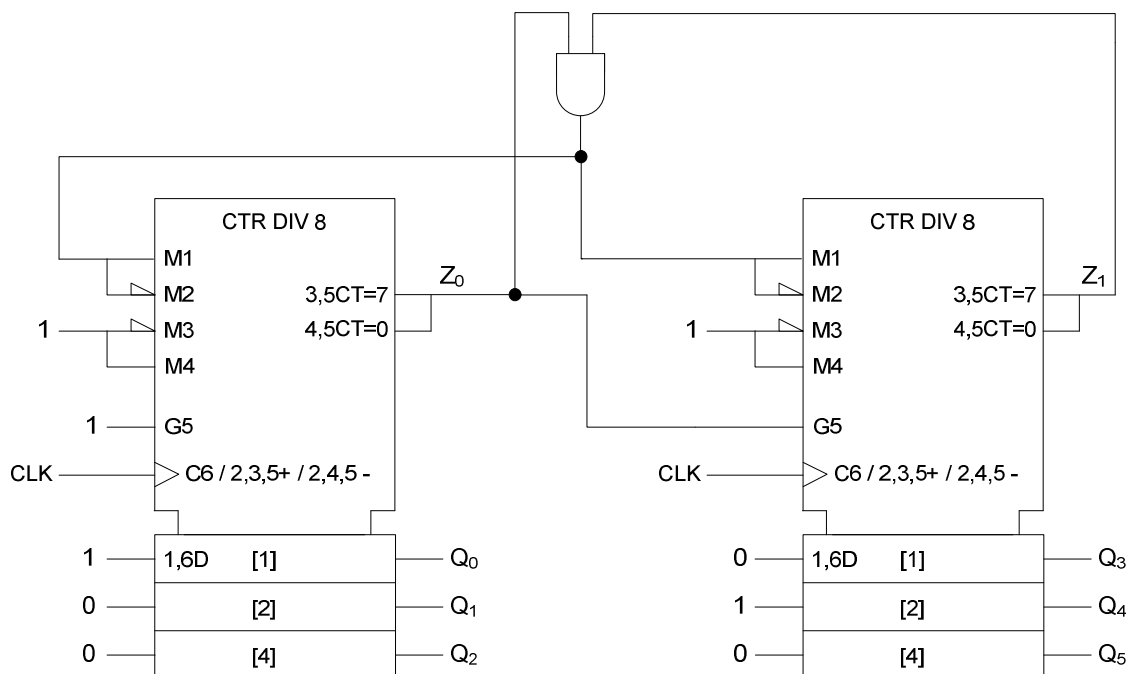
$$D_3 = 0$$

$$D_2 = 1$$

$$D_1 = 0$$

$$D_0 = 0$$


5. **[2 val]** Utilize os 2 contadores da figura para realizar um contador **binário descendente** que concretize um ciclo de contagem entre 17 e 0 (módulo 18). Utilize o mínimo de portas lógicas adicionais. Justifique.



A contagem é sempre decrescente, logo $M4=1$ em ambos os contadores.

O contador da esquerda (bits de menor peso) está sempre activo, logo $G5=1$, o contador da direita (bits de maior peso) só decrementa quando o da esquerda chega ao zero, logo $G5=Z0$.

Ambos os contadores estão sempre em modo de contagem, excepto quando chegam a zero e é necessário passar para o estado 17. Neste caso é feito o carregamento paralelo de 17=010001 (valores lógicos colocados nas entradas de carregamento paralelo dos contadores).

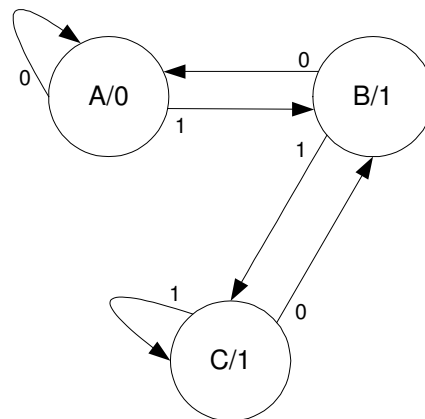
A detecção do estado zero pode ser efectuada através das saídas indicadoras de que a contagem decrescente chegou a zero, Z0 e Z1.

Logo, $M1=Z0.Z1$ para que o carregamento paralelo apenas seja activado quando $Z0=Z1=1$.

6. [4 val] O diagrama de estados da figura descreve o comportamento de um circuito sequencial síncrono com uma entrada E e uma saída Y.

a) Projecte o circuito que concretiza a máquina de estados especificada. Utilize a codificação de estados, e o número e o tipo de flip-flops que considerar mais apropriados. Obtenha todas as expressões lógicas necessárias para a realização do circuito.

b) Esboce o logigrama correspondente à concretização do diagrama de estados apresentado. (use a folha seguinte, se necessário)



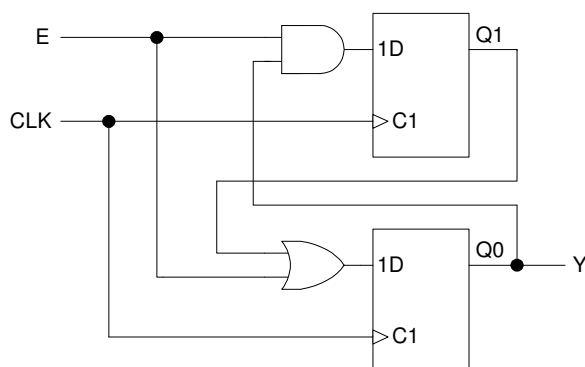
Estado Actual Q_1Q_0	Estado Seguinte		Saída	
	E=0	E=1	Y	
00 A	00 A	01 B	0	
01 B	00 A	11 C	1	
11 C	01 B	11 C	1	

Q_1Q_0	E		E		Y
	0	1	0	1	
00	0	0	0	1	0
01	0	1	0	1	1
11	0	1	1	1	1
10	X	X	X	X	X
	D_1		D_0		

$$D_1 = Q_0 \cdot E$$

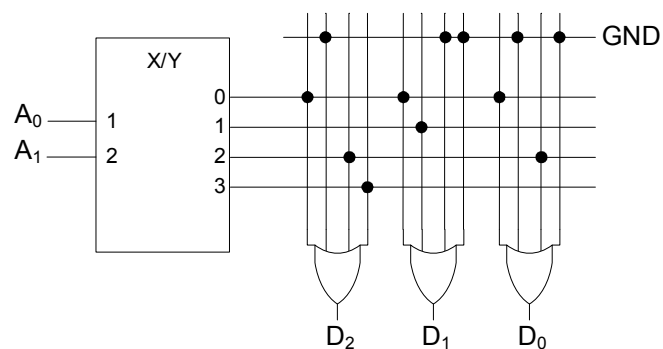
$$D_0 = Q_1 + E$$

$$Y = Q_0$$



8. [2 val] Pretende-se realizar uma ROM com o conteúdo indicado na tabela abaixo. Desenhe o esquema lógico do circuito que concretiza a ROM pretendida, utilizando o decodificador da figura e 3 portas OR de 4 entradas. Justifique.

Endereço A_1A_0	Conteúdo $D_2D_1D_0$
00	111
01	010
10	101
11	100



Cada uma das portas OR define um dos bits de dados da ROM. As entradas das portas OR são ligadas às saídas do decodificador de modo a realizar a forma canónica disjuntiva de cada uma das funções lógicas $D_2(A_1, A_0)$, $D_1(A_1, A_0)$ e $D_0(A_1, A_0)$.