

1. [1 val] Converta para base 2 o número hexadecimal 93C7. Justifique.

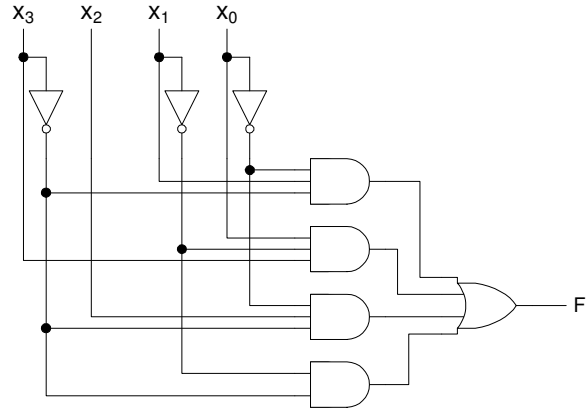
$$93C7_{16} = \underbrace{1001}_{9} \underbrace{0011}_{3} \underbrace{1100}_{C=12} \underbrace{0111}_{7}$$

2. [4 val] Considere a função lógica $F(x_3, x_2, x_1, x_0)$ concretizada pelo circuito do esquema abaixo.

- a) Obtenha a expressão mínima desta função na forma disjuntiva (soma de produtos). Justifique e identifique quais os implicantes primos essenciais da função.
- b) Concretize a mesma função utilizando apenas portas NOR e portas NOT, e utilizando o menor número de portas lógicas. Justifique.

$$f = \overline{x_3} \overline{x_1} x_0 + x_3 \overline{x_1} x_0 + x_3 x_2 x_0 + x_3 x_1$$

x_3x_2	x_1x_0			
	00	01	11	10
00	1	1	0	1
01	1	1	0	1
11	0	1	0	0
10	0	1	0	0



$$f = \underbrace{\overline{x_1} x_0}_{\text{IPE por } m_{13} \text{ ou } m_9} + \underbrace{\overline{x_3} x_0}_{\text{IPE por } m_2 \text{ ou } m_6}$$

$$f = \overline{\overline{\overline{x_1} x_0}} + \overline{\overline{\overline{x_3} x_0}} = \overline{\overline{x_1 + x_0}} + \overline{\overline{x_3 + x_0}} = \overline{\overline{x_1 + x_0}} + \overline{\overline{x_3 + x_0}}$$

O circuito pode ser realizado com 3 portas NOR e 2 portas NOT.

3. [2 val] Considere o seguinte mapa de Karnaugh. Obtenha a expressão mínima na forma disjuntiva (soma de produtos) para a função representada. Identifique quais os implicantes primos essenciais da função. Justifique.

		CDE							
		000	001	011	010	110	111	101	100
AB	00	X	0	0	0	X	0	0	X
	01	0	1	X	1	X	0	0	X
	11	0	0	0	0	0	0	0	X
	10	1	X	0	X	1	0	X	1

$$f = \overline{A}\overline{B}\overline{C}E + \overline{A}\overline{B}E + \overline{A}B\overline{D}\overline{E}$$

(representados no quadro)

(ou $f = \overline{A}\overline{B}\overline{C}E + \overline{A}\overline{B}E + \overline{A}\overline{B}\overline{C}D$)

$\overline{A}\overline{B}\overline{C}E \leftarrow$ Implicante primo essencial por m_0

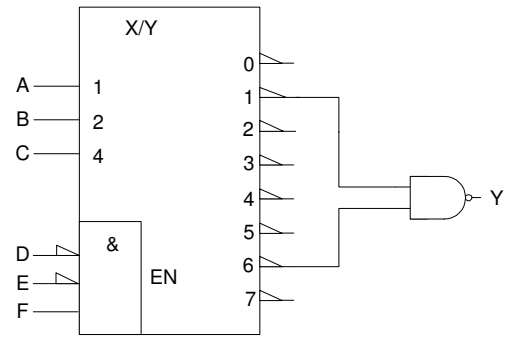
$\overline{A}\overline{B}E \leftarrow$ Implicante primo não essencial

$\overline{A}B\overline{D}\overline{E} \leftarrow$ Implicante primo não essencial

$\overline{A}\overline{B}\overline{C}D \leftarrow$ Implicante primo não essencial

4. [3 val] Considere o circuito da figura.

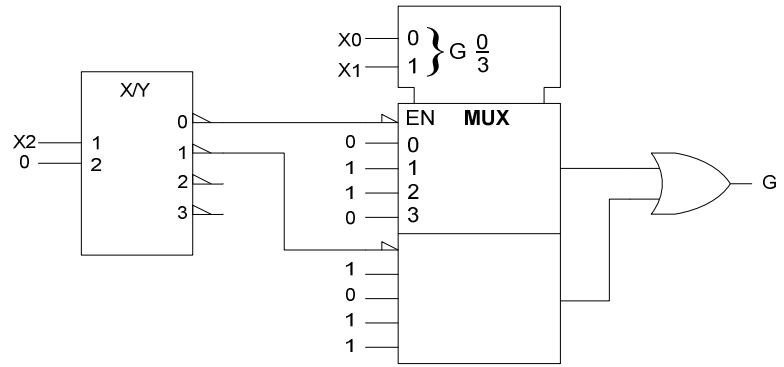
- a) Explique sucintamente o seu funcionamento.
- b) Preencha a tabela abaixo, com os valores lógicos da saída Y para as combinações de entrada indicadas. Justifique.



A	B	C	D	E	F	Y	
0	0	1	1	1	1	0	Enable=0 descodificador inactivo, saídas 1 e 6 inactivas (a 1), Y=0
0	0	1	0	0	1	0	Enable=1, seleccionada saída 4 (a 0), saídas 1 e 6 inactivas (a 1), Y=0
1	0	0	1	1	0	0	Enable=0 descodificador inactivo, saídas 1 e 6 inactivas (a 1), Y=0
0	1	1	0	0	1	1	Enable=1, seleccionada saída 6 (a 0) Y=1

A saída Y (porta NAND) indica se uma das saídas 1 ou 6 do descodificador estão activas (a zero), portanto se as entradas são CBA=001 ou CBA=110. O descodificador só é activado se DEF=001.

5. [2,5 val] Obtenha a expressão mínima da função $G(X_2, X_1, X_0)$ concretizada pelo circuito da figura. Justifique.



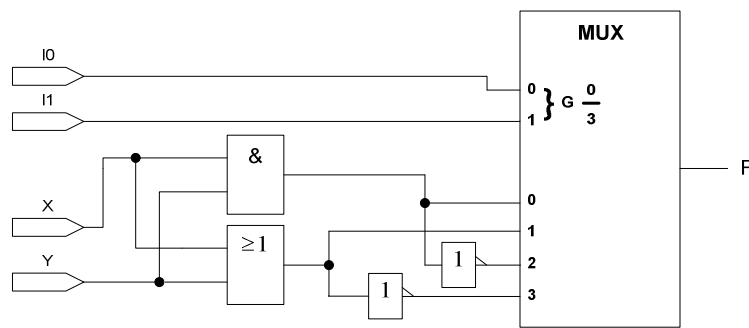
$X_2=0$ activa o MUX de cima;
 $X_2=1$ activa o MUX de baixo

$X_1 X_0$		00	01	11	10
		0	1	0	1
X_2	0	0	1	0	1
	1	1	0	1	1

$$G = (X_2 + X_1 + X_0) \cdot (X_2 + \overline{X_1} + \overline{X_0}) \cdot (\overline{X_2} + X_1 + \overline{X_0})$$

6. [3 val] Pretende-se concretizar um circuito que, dada uma instrução de 2 bits <I1,I0>, realize uma de 4 funções lógicas alternativas, de acordo com a tabela. Esboce o esquema lógico do circuito pretendido utilizando um MUX 4:1 e o número mínimo de portas lógicas adicionais. Explique sucintamente o funcionamento do circuito.

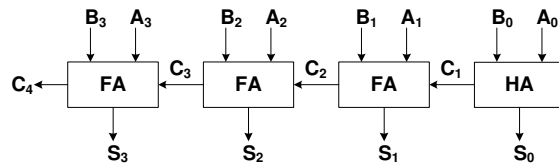
Instrução I ₁ I ₀	F
00	$X.Y$
01	$X + Y$
10	$\overline{X.Y}$
11	$\overline{X + Y}$



De acordo com as entradas de selecção I₁I₀, o MUX selecciona qual das entradas de dados vai ligar à saída.

Assim, o circuito que concretiza X.Y tem de ligar à entrada 0 do MUX, o circuito que concretiza X+Y tem de ligar à entrada 1 do MUX, etc.

7. [3 val] Considere o circuito da figura, constituído pela ligação de um componente semi-somador (HA-“half-adder”) e de 3 componentes somador-completo (FA-“full-adder”).



Explique sucintamente o funcionamento do circuito. Preencha a tabela abaixo, com os valores lógicos dos sinais S_{3-0} e C_{4-1} , para as combinações de entrada indicadas. Justifique.

B_3	B_2	B_1	B_0	A_3	A_2	A_1	A_0	S_3	S_2	S_1	S_0	C_4	C_3	C_2	C_1
0	0	1	1	0	1	1	1	1	0	1	0	0	1	1	1
1	0	1	0	0	1	1	0	0	0	0	0	1	1	1	0
0	0	1	0	1	1	1	1	0	0	0	1	1	1	1	0

```

0111 ← C4-1 transportes
 0011 ← B3-0
+0111 ← A3-0
-----
1010 ← S3-0 resultado da soma
    
```

```

1110
 1010
+0110
-----
0000
    
```

```

1110
 0010
+1111
-----
0001
    
```

8. [1,5 val] Represente, em notação de complemento para 2 com 5 bits, os seguintes números decimais: +1, -1, +15, -15. Justifique.

```

+1 = 00001
-1 = 11111 ← 11110+1
+15 = 01111
-15 = 10001 ← 10000+1
    
```