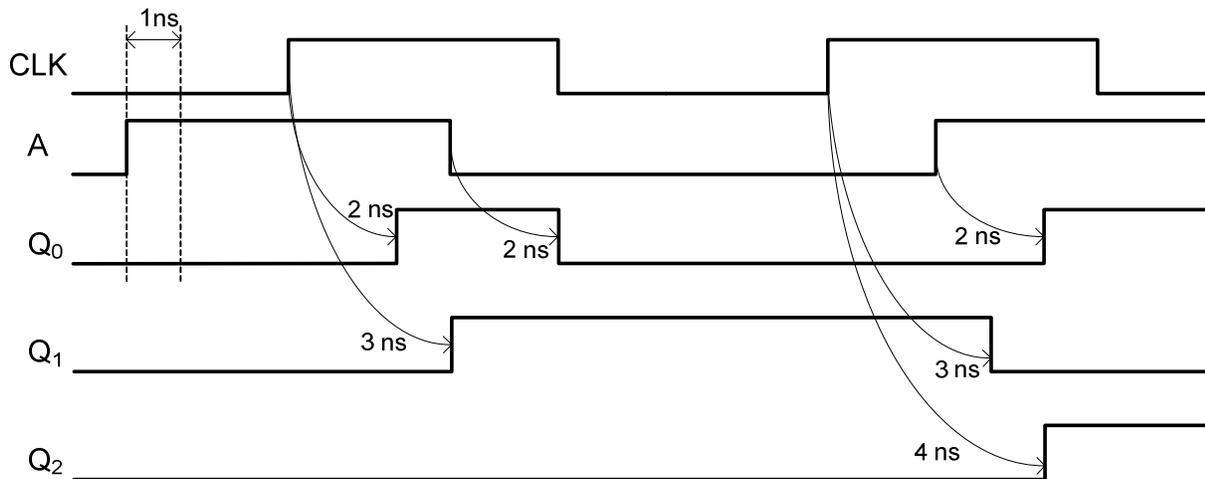
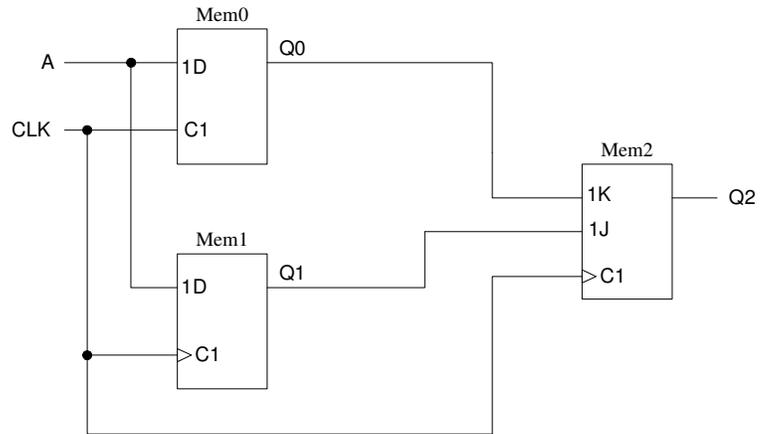


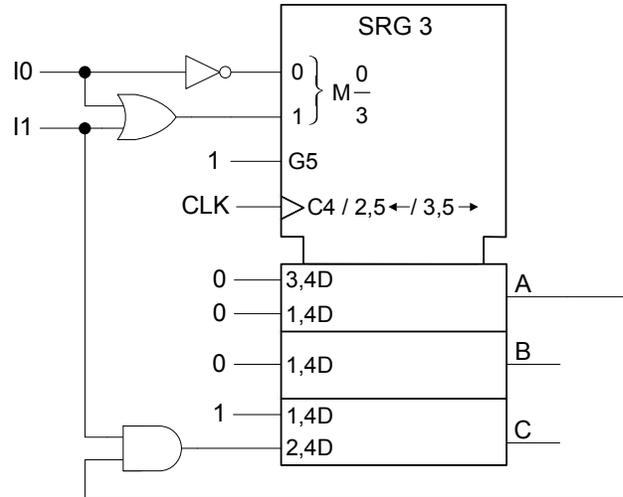
1. [3 val] a) Considere o circuito da figura e as formas de onda indicadas. Esboce as formas de onda dos sinais Q_0 , Q_1 e Q_2 , considerando Q_0 , Q_1 e Q_2 inicialmente a 0 e tendo em conta os tempos de propagação indicados para os elementos de memória. Justifique.
- b) Indique se existe algum problema de violação dos tempos de *setup* ou *hold*, no intervalo de tempo e para as formas de onda obtidas em a). Justifique.

	Mem0	Mem1	Mem2
t_{SETUP}	2 ns	2 ns	2 ns
t_{HOLD}	1 ns	1 ns	1 ns
t_{PHL}	2 ns	3 ns	4 ns
t_{PLH}	2 ns	3 ns	4 ns



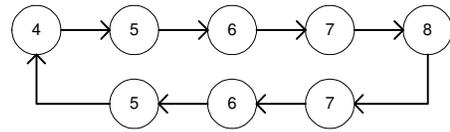
Não existem problemas de setup (nenhuma entrada de elemento de memória varia menos de 2ns antes do flanco de relógio), nem de hold (nenhuma entrada de elemento de memória varia menos de 1ns depois do flanco de relógio)

2. [3 val] Indique quais as acções realizadas pelo circuito da figura para cada uma das 4 combinações das entradas I0 e I1. Justifique.



I1	I0	M1	M0	
0	0	0	1	modo 1 : carregamento paralelo de $1_{10}=001$ $ABC(n+1) = 001$
0	1	1	0	modo 2: deslocamento à esquerda com entrada série 0 $ABC(n+1) = BC0$
1	0	1	1	modo 3 : deslocamento à direita com entrada série 0 $ABC(n+1) = 0AB$
1	1	1	0	modo 2 : deslocamento à esquerda com entrada série A = rotação à esquerda $ABC(n+1) = BCA$

3. [4 val] a) Utilize o contador da figura para realizar um circuito sequencial síncrono que concretize o ciclo indicado. Utilize o mínimo de elementos de circuito adicionais. Justifique.



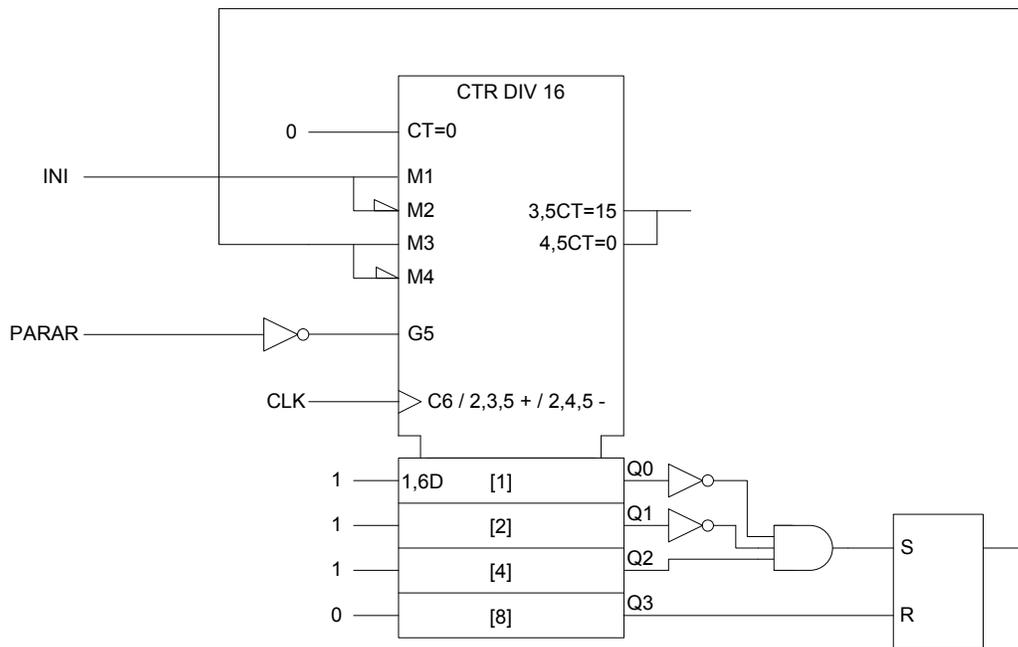
b) Inclua uma entrada (e o mínimo de lógica adicional) de inicialização que, quando activa, permita colocar o circuito no estado 7. Justifique.

c) Inclua uma entrada (e o mínimo de lógica adicional) para, quando activa, parar a contagem mantendo o contador no mesmo estado. Justifique.

O latch RS armazena o modo de contagem (ascendente=1 ou descendente=0). Quando chega ao estado 8 ($Q_3=1$) faz reset ao latch para passar a modo descendente. Quando chega ao estado 4 ($Q_2Q_1Q_0=100$) faz set ao latch para passar a modo ascendente.

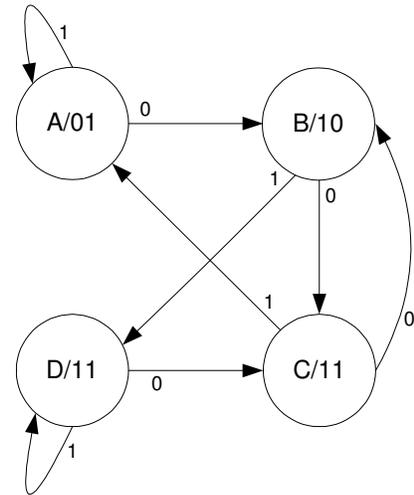
A entrada INI activa o carregamento paralelo do estado 7 ($D_3D_2D_1D_0=0111$)

A entrada PARAR desactiva o enable do contador.



4. [4 val] Projecte o circuito que concretiza a máquina de estados especificada pelo diagrama de estados da figura com o mínimo de lógica combinatória. Designe a entrada por E e as duas saídas por Y1 e Y0. Utilize a codificação de estados que achar mais indicada. Utilize flip-flops D.

- a) Escreva a tabela de transições de estados.
 - b) Obtenha as expressões para os sinais de entrada dos flip-flops e para as saídas.
 - c) Esboce o logograma correspondente à concretização do diagrama de estados apresentado. (use as costas da folha se necessitar)
- Justifique todos os passos de projecto.

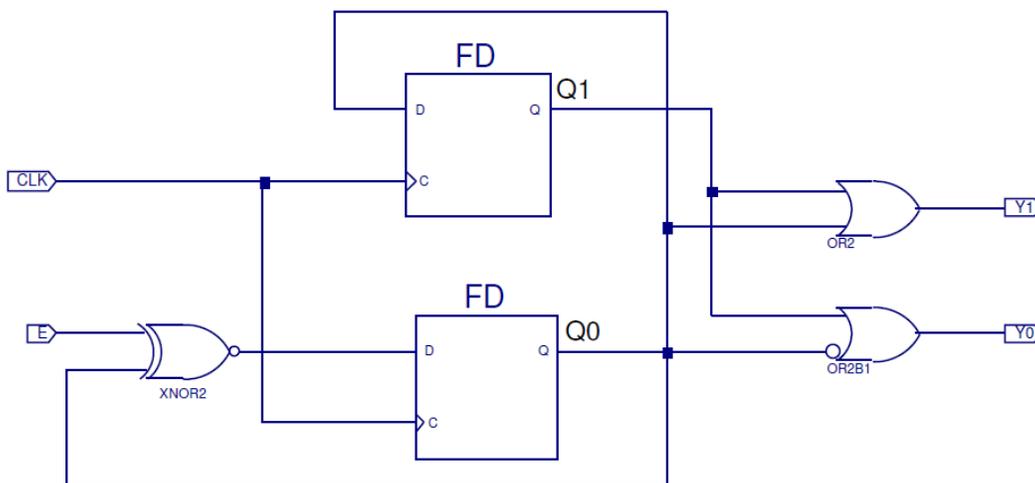


Estado Actual Q ₁ Q ₀ (n)	Estado Seguinte Q ₁ Q ₀ (n+1)		Saídas	
	E=0	E=1	Y ₁	Y ₀
00 A	01 B	00 A	0	1
01 B	10 C	11 D	1	0
10 C	01 B	00 A	1	1
11 D	10 C	11 D	1	1

$$Y_1 = Q_1 + Q_0 \quad Y_0 = Q_1 + \overline{Q_0}$$

Q ₁ Q ₀	E		E	
	0	1	0	1
00	0	0	1	0
01	1	1	0	1
11	1	1	0	1
10	0	0	1	0
	D ₁		D ₀	

$$D_1 = Q_0 \quad D_0 = Q_0E + \overline{Q_0}\overline{E} = \overline{Q_0} \oplus E$$



Nota: As soluções propostas são indicativas e quaisquer dúvidas, erros ou gralhas devem ser esclarecidos com os docentes da disciplina.

5. [2 val] Pretende-se realizar circuito sequencial síncrono que realize a soma de 2 números inteiros A e B de 32 bits. Os números são apresentados em série à máquina, em 32 ciclos consecutivos, 0 a 31, começando pelo bit de menor peso. A saída da máquina indica o resultado da soma, $S=A+B$, também como um número inteiro de 32 bits, apresentado em série nos 32 ciclos consecutivos, 1 a 32. Não é realizada detecção de *overflow*.

Esboce o diagrama de estados que concretiza a máquina pretendida, com o menor número de estados possível. Considere que a máquina tem como entradas os 2 bits, a_i e b_i , recebidos em cada ciclo, e como saída o bit s_i gerado em cada ciclo. Considere que a máquina é sempre colocada no estado inicial (pronta a receber os primeiros bits) por um sinal de (re)inicialização.

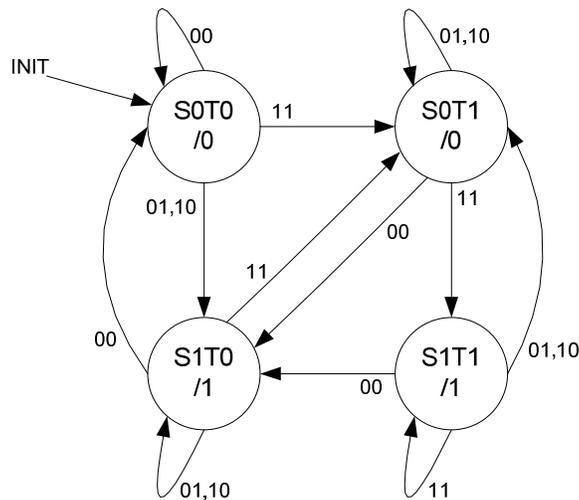
Indique o que cada estado representa. Explique sucinta mas claramente o funcionamento da máquina projectada. Caso exista algum factor não especificado, tome a decisão que achar mais conveniente e justifique-a.

Estado S0T0: Soma 0, Transporte 0. Funciona como estado inicial.

Estado S0T1: Soma 0, Transporte 1.

Estado S1T0: Soma 1, Transporte 0.

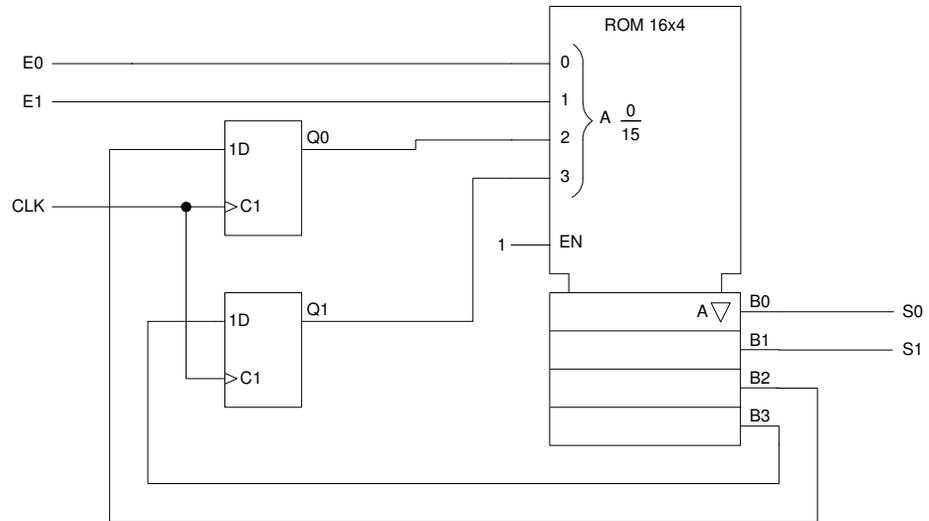
Estado S1T1: Soma 1, Transporte 1.



6. [4 val] O circuito da figura concretiza uma máquina de estados com 3 estados. O conteúdo da ROM está indicado na tabela abaixo.

- a) Esboce o diagrama de estados da máquina concretizada. Justifique.
- b) Considerando as características temporais dos elementos de circuito indicadas, calcule a frequência máxima de relógio para que o circuito funcione correctamente. Justifique.
- c) Indique como resolver o problema de *lockout* existente com o mínimo de alterações ao conteúdo da ROM e/ou à estrutura do circuito. Justifique.

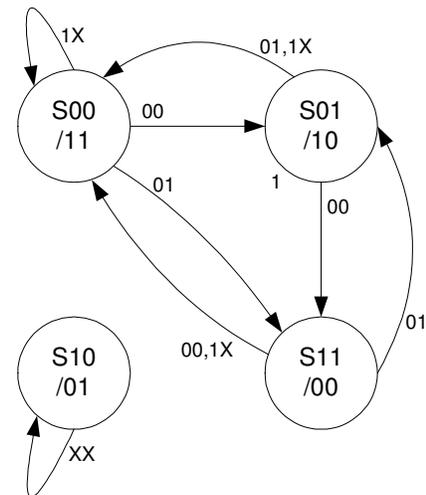
Endereço A ₃ A ₂ A ₁ A ₀	ROM B ₃ B ₂ B ₁ B ₀
0000	0111
0001	1111
0010	0011
0011	0011
0100	1110
0101	0010
0110	0010
0111	0010
1000	1001
1001	1001
1010	1001
1011	1001
1100	0000
1101	0100
1110	0000
1111	0000



	FF D	ROM
t _{SETUP}	3 ns	-
t _{HOLD}	1 ns	-
t _{PHL}	5 ns	11 ns
t _{PLH}	5 ns	11 ns

$$T_{CLK} \geq t_{PFF} + t_{PROM} + t_{setup} = 5 + 11 + 3 \text{ (ns)}$$

$$f_{CLK \text{ max}} = \frac{1}{19} \text{ GHz} \cong 53 \text{ MHz}$$



Para resolver o problema de *lockout* é necessário forçar uma transição do estado Q₁Q₀=10 para um dos outros 3 estados. P.ex. mudando o conteúdo da posição 8=1000₂ da ROM para 0001, força-se a transição S10→S00 quando E₁E₀=00.