

Aluno _____

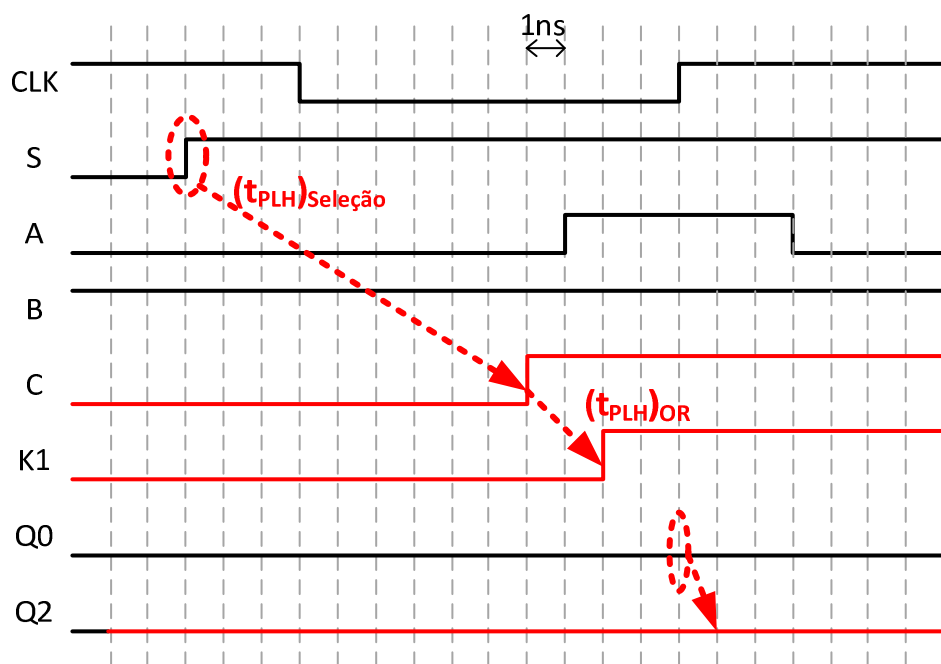
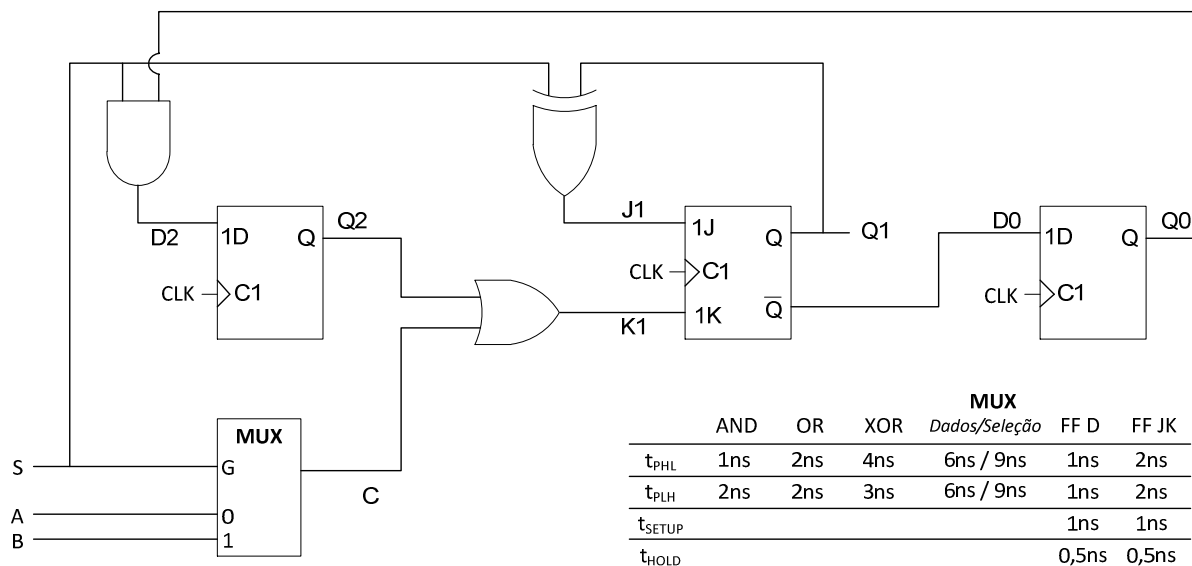
Nº _____

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

1. [3 val] Considere o circuito da figura e os tempos de propagação indicados na tabela.

a) Esboce as formas de onda indicadas para o circuito da figura.

b) O circuito funciona correctamente com um periodo de relógio de 8ns? Justifique.

b) O circuito funciona correctamente se $(T_{CLK})_{min} \leq 8ns$

$$(T_{CLK})_{min} = \max \left\{ \begin{array}{l} (t_P)_{Q0} + (t_{PLH})_{AND} + (t_S)_{Q2} \\ (t_P)_{Q2} + (t_P)_{OR} + (t_S)_{Q1} \\ (t_P)_{Q1} + (t_{PHL})_{XOR} + (t_S)_{Q1} \\ (t_P)_{Q1} + (t_S)_{Q0} \end{array} \right\} = 7ns \leq 8ns$$

Portanto o circuito funciona correctamente.

Aluno _____

Nº _____

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

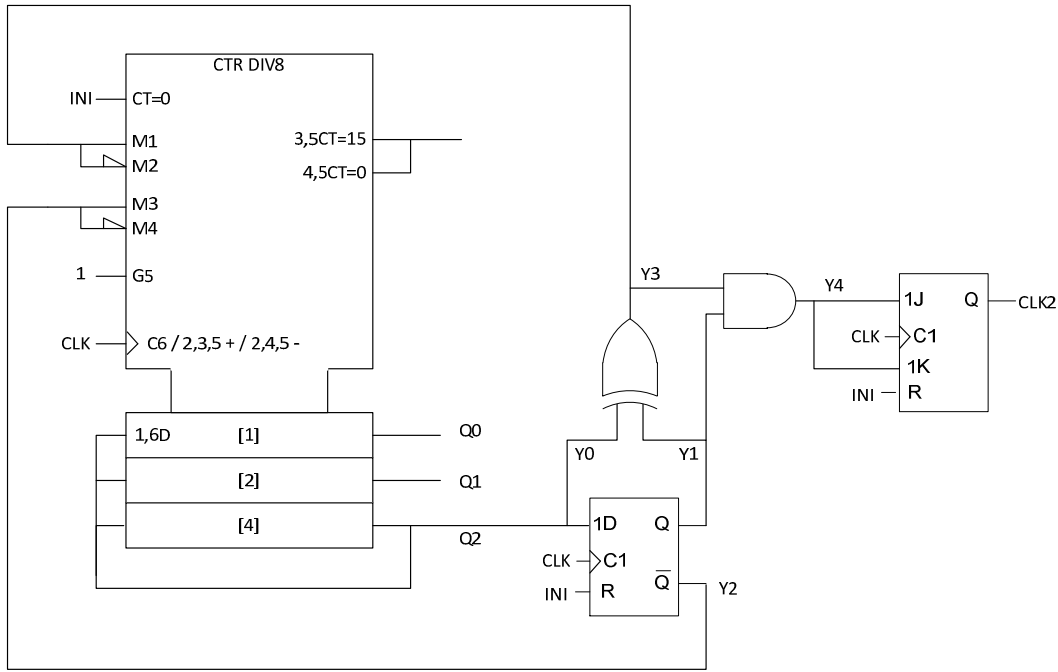
2. [4 val] Considere o circuito da figura, inicializado com $INI=1$.

a) Determine a sequência de contagem $Q=(Q_2, Q_1, Q_0)$ após o sinal INI voltar a 0.

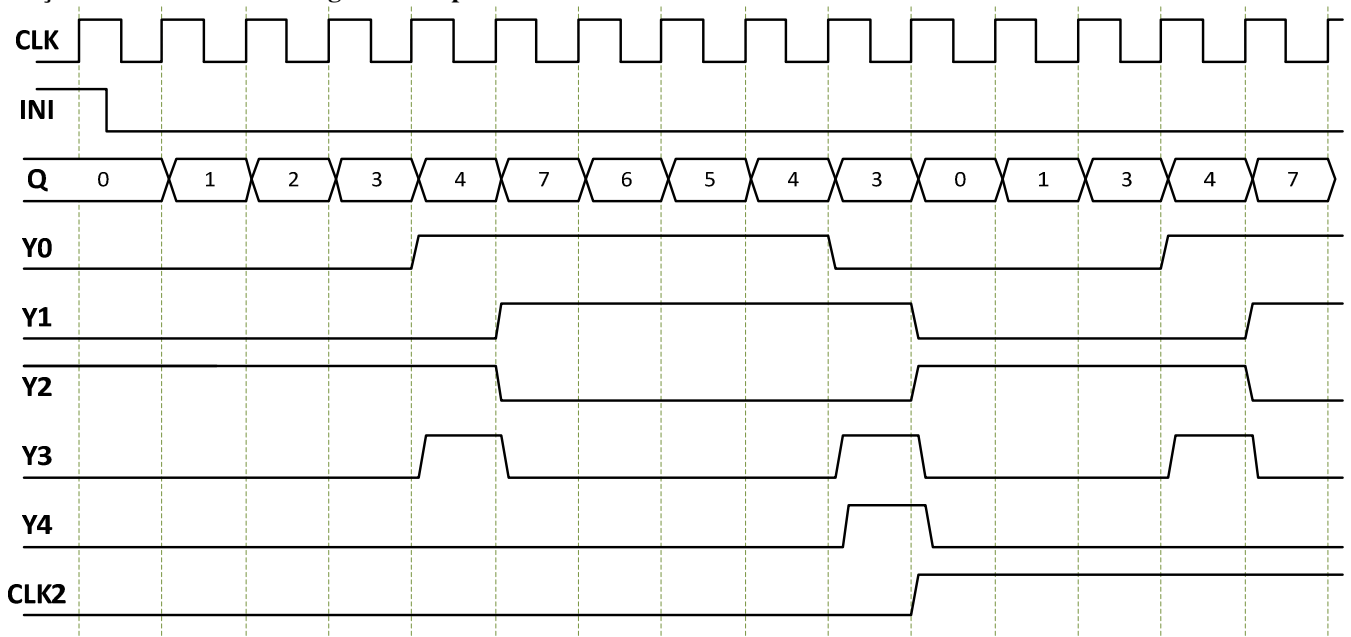
b) Considerando que $f_{CLK}=1\text{MHz}$, represente a forma de onda do sinal CLK_2 e indicando o período de relógio.

(Sugestão: para cada valor de contagem verifique o estado dos sinais Y_0, Y_1, Y_2, Y_3, Y_4 e CLK_2)

Justifique todas as respostas.



Solução 1 – Desenhando o diagrama temporal:



Nota: foram proposadamente introduzidos atrasos na propagação dos sinais; no entanto não necessitava de o fazer para responder a esta alínea.

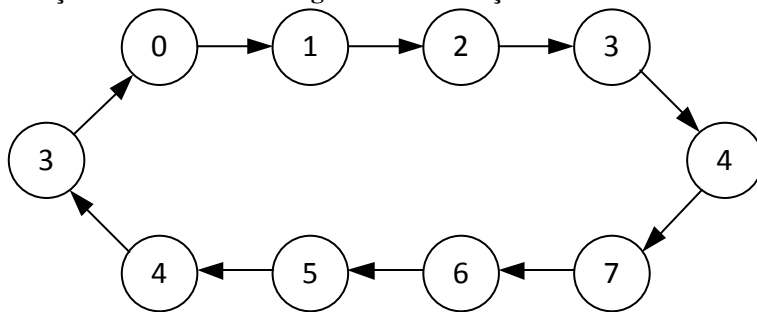
Aluno _____

Nº _____

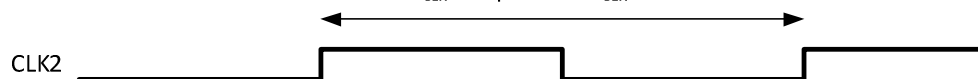
A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

Solução 2 – Tabela de transição entre estados (linha n indica o estado actual, linha n+1 o estado seguinte)

Ciclo	Q	Y0	Y1	Y2	Y3	Y4	CLK2	Operação do Contador
1	0	0	0	1	0	0	0	COUNT UP
2	1	0	0	1	0	0	0	COUNT UP
3	2	0	0	1	0	0	0	COUNT UP
4	3	0	0	1	0	0	0	COUNT UP
5	4	1	0	1	1	0	0	LOAD 7
6	7	1	1	0	0	0	0	COUNT DOWN
7	6	1	1	0	0	0	0	COUNT DOWN
8	5	1	1	0	0	0	0	COUNT DOWN
9	4	1	1	0	0	0	0	COUNT DOWN
10	3	0	1	0	1	1	0	LOAD 0
11	0	0	0	1	0	0	1	COUNT UP
12	1	0	0	1	0	0	1	COUNT UP
13	2	0	0	1	0	0	1	COUNT UP
14	3	0	0	1	0	0	1	COUNT UP
15	4	1	0	1	1	0	1	LOAD 7
16	7	1	1	0	0	0	1	COUNT DOWN
17	6	1	1	0	0	0	1	COUNT DOWN
18	5	1	1	0	0	0	1	COUNT DOWN
19	4	1	1	0	0	0	1	COUNT DOWN
20	3	0	1	0	1	1	1	LOAD 0
21	0	0	0	1	0	0	0	COUNT UP
22	1	0	0	1	0	0	0	COUNT UP
23	2	0	0	1	0	0	0	COUNT UP

Solução 3: desenhado o diagrama de transição entre estadosO circuito demora 10 ciclos a fazer toggle do sinal CLK2. Assim o período de relógio do sinal CLK2 corresponde a $20T_{CLK}$.

$$T_{CLK} = 20\mu s \rightarrow f_{CLK} = 50kHz$$



Aluno _____

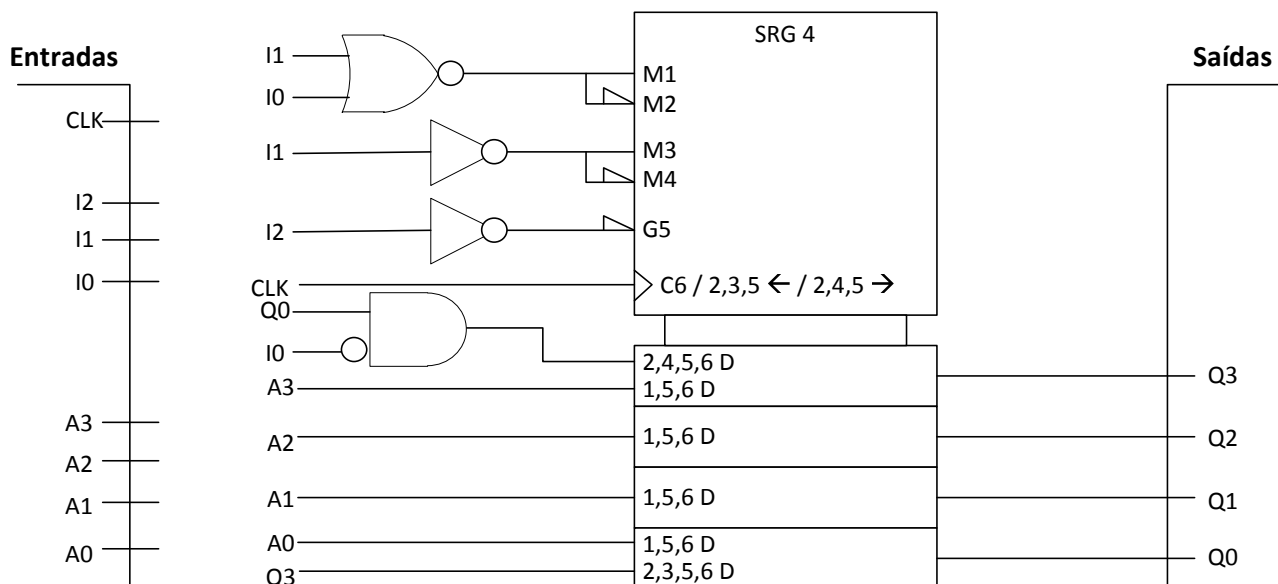
Nº _____

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

3. [3 val] Considere que pretende implementar um circuito de cálculo que realiza um conjunto de operações lógicas. A operação a realizar é indicada por três bits de controlo I2,I1,I0 de acordo com a seguinte tabela:

I2,I1,I0	Operação	M1/M2	M3/M4	G5	SA	SB	D3 – D0
0xx	Nenhuma operação (<i>Hold</i>)	X	X	0	X	X	X
100	Carregamento em paralelo de A	1	X	1	X	X	A3 – A0
101	Rotação para a esquerda de Q	0	1	1	X	Q3	X
110	Rotação para a direita de Q	0	0	1	Q0	X	X
111	Deslocamento para a direita de Q com entrada série S=0	0	0	1	0	X	X

Complete as ligações no circuito em baixo usando o mínimo de lógica adicional de forma a realizar as operações pretendidas. Justifique a sua resposta.



$$M1/\overline{M2} = \overline{I1} \cdot \overline{I0}$$

$$M3/\overline{M4} = \overline{I1}$$

$$G5 = \overline{I2}$$

$$SA = Q0 \cdot \overline{I0} \rightarrow \text{Podia-se usar um multiplexer 2:1}$$

$$SB = Q3$$

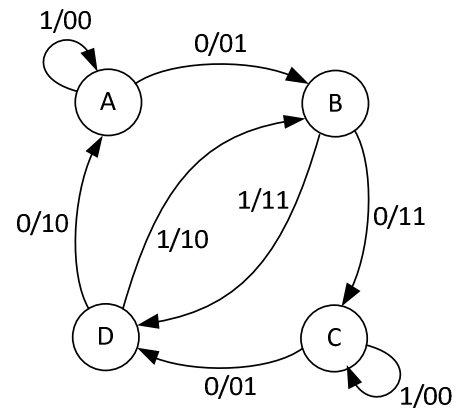
$$(D3, D2, D1, D0) = (A3, A2, A1, A0)$$

Aluno _____

Nº _____

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

4. [4 val] Considere o diagrama de estados indicado na figura ao lado. Considere que codificação de estados é A=00, B=01, C=10, D=11 e que a máquina de estados deve ser implementada com **flip-flops D**. Designe a entrada por X e as saídas por Y1,Y0



- Apresente a tabela de transição de estados indicando para cada caso o sinal que deve aplicar à entrada dos flip-flops.
- Determine as expressões lógicas (mínimas) para os sinais Y1,Y0 e para as entradas dos flip-flops Q1,Q0.
- Apresente o esquema lógico do circuito que implementa a máquina de estados.

Justifique todas as respostas.

Estado Actual		Entrada		Estado Seguinte		Saídas		Entradas dos FFs	
	Q1,Q0		X		Q1,Q0		Y1,Y0		D1,D0
A	00	0		B	01		01		01
A	00	1		A	00		00		00
B	01	0		C	10		11		10
B	01	1		D	11		11		11
C	10	0		D	11		01		11
C	10	1		C	10		00		10
D	11	0		A	00		10		00
D	11	1		B	01		10		01

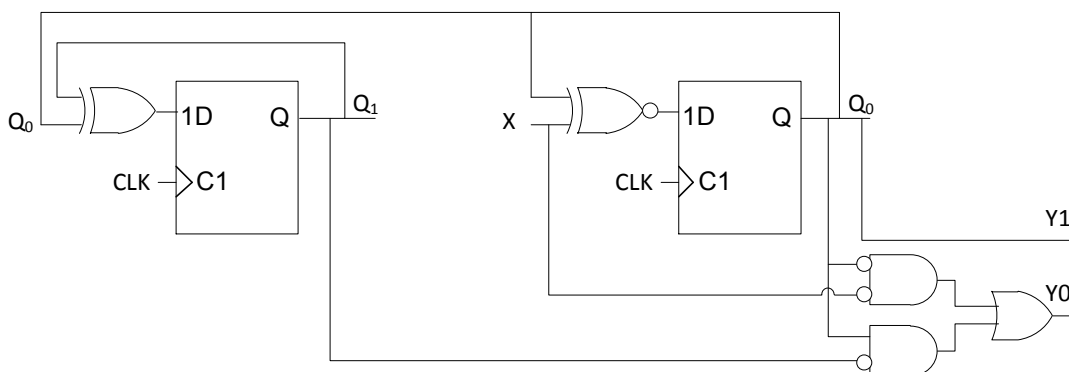
Q1,Q0 \ X	D1		D0		Y1		Y0	
	0	1	0	1	0	1	0	1
00	0	0	1	0	0	0	1	0
01	1	1	0	1	1	1	1	1
11	0	0	0	1	1	1	0	0
10	1	1	1	0	0	0	1	0

$$D_1 = \overline{Q_1}Q_0 + Q_1\overline{Q_0} = Q_1 \oplus Q_0$$

$$D_0 = \overline{Q_0}X + Q_0X = \overline{Q_0} \oplus X$$

$$Y1 = Q0$$

$$Y0 = \overline{Q_1}Q_0 + \overline{Q_0}X$$



Aluno _____

Nº _____

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

5. [3 val] Desenhe o diagrama de estados da **máquina de Moore** correspondente a um sistema de controlo de uma fechadura digital, o qual tem as seguintes entradas:

- Um botão de INI que indica o início da sequência de 4 dígitos binários.
- Dois botões, BT0 e BT1, para inserção de cada um dos dígitos binários, 0 e 1, respectivamente; o valor dos botões é: 0 – não pressionado; 1 – pressionado.
- Um sensor FECHO que indica o fecho da porta; este sensor encontra-se com o valor lógico ‘1’ durante um período de relógio após o fecho da porta.

O mecanismo de controlo tem as seguintes saídas:

- L1 - Um LED de cor amarela que se encontra activo (valor lógico 1) durante a inserção do código.
- L0 - Um LED de cor vermelha que, quando activo (valor lógico 1), indica que o código inserido está errado.
- Um sinal ABRIR que quando activo destranca e abre a porta; este sinal deverá manter-se activo durante 1 ciclo de relógio.

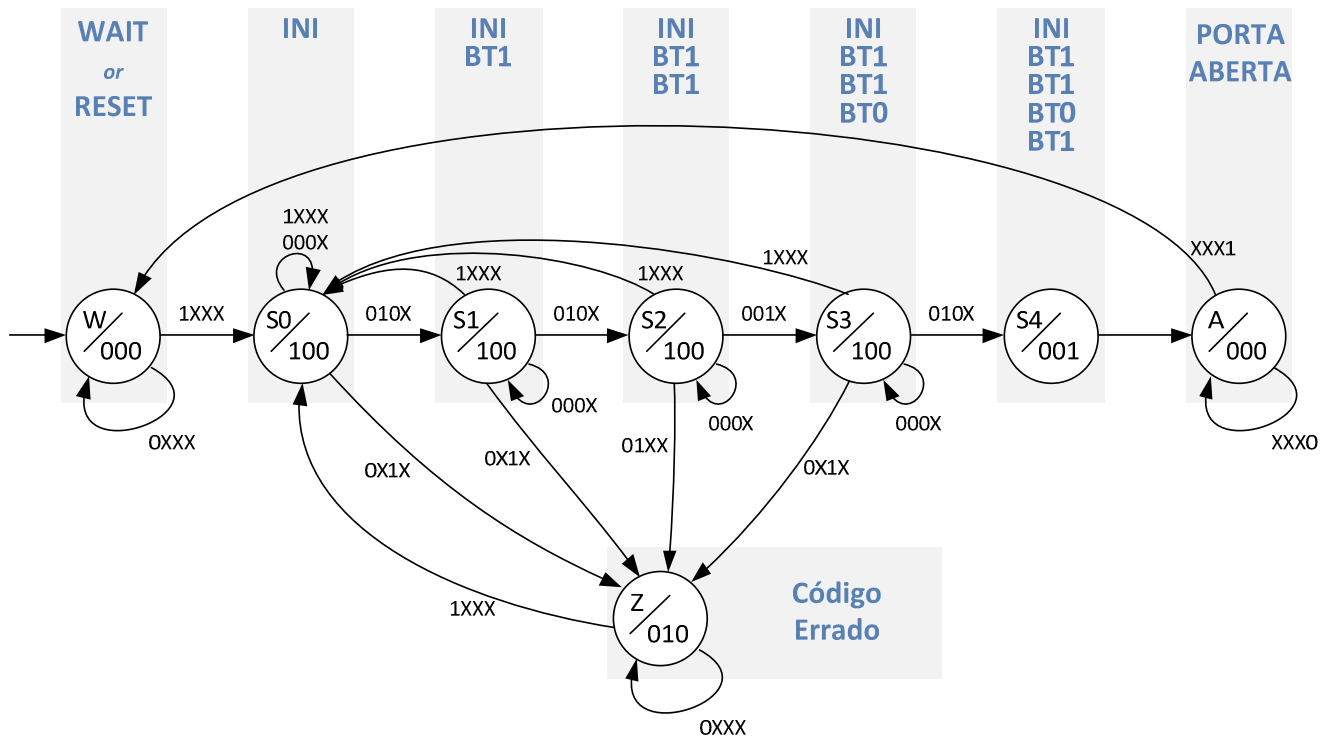
O funcionamento da fechadura digital deverá ser o seguinte.

- Para abrir a porta o utilizador deve pressionar o botão de INI seguido do código 1101 (correspondente à sequência de comandos INI,BT1,BT1,BT0,BT1). Se a sequência for errada o sistema deverá acender o led vermelho, desligar o led amarelo e esperar que o utilizador volte a pressionar a tecla INI.
- Uma vez inserido o código correcto, o sinal ABRIR deverá manter-se activo durante 1 ciclo de relógio de forma a destrancar a porta.
- Quando a porta for aberta, a fechadura digital espera que esta seja fechada (indicação recebida pelo sensor FECHO), antes de permitir a inserção do código.

Projecte a máquina de Moore correspondente apresentando o **diagrama de estados** e a **codificação usada**. Tome as decisões e/ou simplificações que julgar mais razoáveis. Justifique a resposta explicando sucintamente o funcionamento da máquina de estados.

Ordem das entradas: INI,BT1,BT0,FECHO

Ordem das saídas: L1,L0,ABRIR



Codificações possíveis (mas não únicas):

	W	S0	S1	S2	S3	S4	A	Z
Mínima	000	001	010	011	100	101	110	111
One Hot	00000001	00000010	00000100	00001000	00010000	00100000	01000000	10000000

Aluno _____

Nº _____

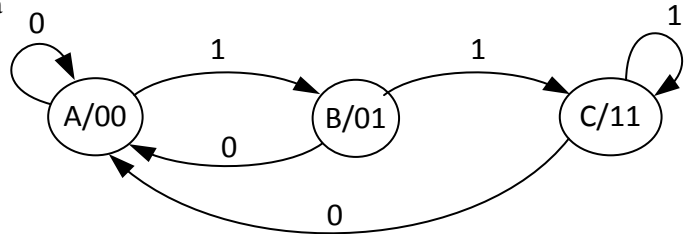
A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

6. [3 val] Considere que pretende implementar a máquina de estados representada na figura da direita, cuja codificação de estados é a seguinte:

A – 00

B – 01

C – 10

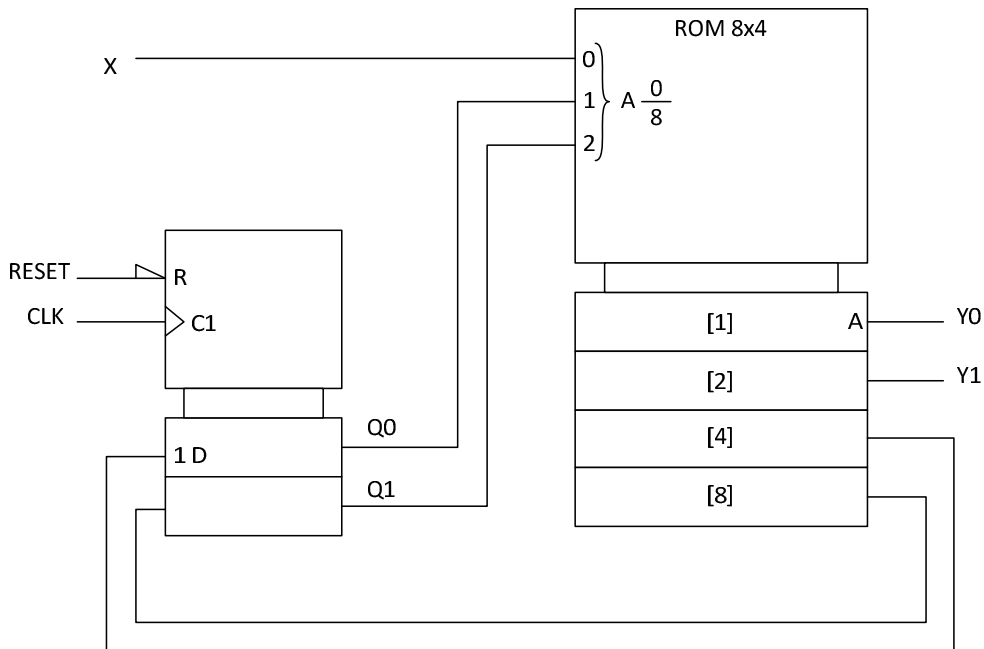


Considerando que pretende implementar esta máquina de estados com o esquema lógico em baixo, indique justificando:

- Os valores armazenados em memória de forma a garantir o funcionamento do circuito. Resolva todas as situações de *lock-out*.
- Qual seria a dimensão mínima da memória (número de palavras, o tamanho das palavras) caso implementasse a máquina de estados com uma codificação *one-hot*.

Tabela de transição de estados

Entradas		Saídas	
S_n	X	S_{n+1}	Y1,Y0
A	0	A	00
A	1	B	00
B	0	A	01
B	1	C	01
C	0	A	11
C	1	C	11



De acordo com o esquema:

- os bits de endereço da ROM são dados por $(A2,A1,A0)=(Q1,Q0,X)$
- os sinais de dados são $(B3,B2,B1,B0)=(D1,D0,Y1,Y0)$
- para resolver as situações em que a máquina vai parar ao estado 11 (não definido), o estado seguinte tem de ser o estado A, B ou C (p.ex. $A=00$), as saídas podem ser quaisquer (p.ex. 00).

Assim a memória deverá ser:

A2,A1,A0	B3,B2,B1,B0
000	0000
001	0100
010	0001
011	1001
100	0011
101	1011
110	00XX
111	00XX

Com codificação *one-hot*, existe três bits de estado. Assim, são necessários 4 bits de endereço $(Q2,Q1,Q0,X) \rightarrow 16$ palavras. Cada palavra terá 5 bits $(D2,D1,D0,Y1,Y0)$. A dimensão da ROM será 16x5 bits.