

Antes de iniciar a prova, tenha em atenção o seguinte:

- i. O enunciado da prova inclui 14 páginas.
- ii. O teste contempla as perguntas 5, 6, 7, 8, 9 e 10 e tem a duração de 1h30m.
- iii. O exame contempla todas as perguntas e tem a duração de 2h30m.
- iv. Existem 4 variantes distintas da prova: A, B, C e D.
- v. A prova é sem consulta. Sobre a secretária apenas deve encontrar-se a sua identificação (cartão de estudante).
- vi. Identifique todas as folhas do enunciado com:
 - a) Nome;
 - b) Número de aluno;
 - c) Prova que pretende realizar: teste ou exame.
- vii. Recorde que logo após terminar a prova:
 - a) Todas as páginas serão desagafadas e separadas;
 - b) As páginas 1 a 6 serão destruídas, caso tenha manifestado a intenção de fazer o teste;
 - c) Folhas não identificadas não serão cotadas!!!
- viii. Resolva a prova no próprio enunciado. Para cada questão é fornecido um espaço próprio, dentro do qual deverá responder. A sua dimensão está ajustada ao tamanho expectável da resposta.
- ix. Excepcionalmente, e caso realmente necessite, pode usar o espaço extra disponível das páginas em branco, colocadas ao longo da prova. Nesse caso, deve indicar junto ao enunciado da pergunta que a resposta à mesma se encontra na página que utilizou. Tenha presente o aviso descrito no ponto vii.b).
- x. Justifique adequadamente todas as respostas.
- xi. Responda à prova com calma. Se não sabe responder a uma pergunta, passe à seguinte e volte a ela no fim.

MUITO IMPORTANTE: indique, no rodapé de cada página, a prova que pretende realizar:

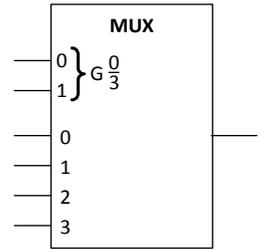
- **2º TESTE (Questões 5, 6, 7, 8, 9 e 10)..... 1h30m**
- **EXAME (Questões 1 a 10) 2h30m**

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

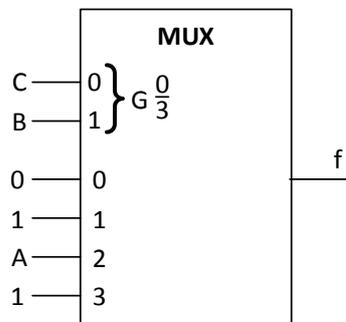
A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

EXAME

1. Considere a função lógica $f(A, B, C) = (A \oplus C)B + \bar{B}C + AC$
- a) Apresente, na quadrícula, a tabela de verdade correspondente a esta função Booleana. [1,0 val.]
- b) Utilizando um multiplexer com duas entradas de controlo e o mínimo de lógica adicional, projecte e implemente a função lógica $f(A,B,C)$ [1,5 val.]



A	B	C	$A \oplus C$	$(A \oplus C)B$	$\bar{B}C$	AC	$f(A, B, C, D)$
0	0	0	0	0	0	0	0
0	0	1	1	0	1	0	1
0	1	0	0	0	0	0	0
0	1	1	1	1	0	0	1
1	0	0	1	0	0	0	0
1	0	1	0	0	1	1	1
1	1	0	1	1	0	0	1
1	1	1	0	0	0	1	1



Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

EXAME

2. Considere a função lógica $f(A,B,C,D,E)$ incompletamente especificada, definida da seguinte forma:

$$f(A,B,C,D,E) = \sum m(0,3,7,9,10,11,12,15,16,24,25,28,30) + \sum m_d(4,8,13,14,17,26,29)$$

A variável A é a de maior peso e a variável E é a de menor peso.

- Apresente o mapa de Karnaugh correspondente a esta função, utilizando as linhas/colunas necessárias na grelha disponibilizada para o efeito. [1,0 val.]
- Identifique a expressão algébrica da função. Justifique. [1,0 val.]
- Na solução por si identificada, qual o valor da função quando a entrada (A,B,C,D,E) toma o valor 13? Justifique. [1,0 val.]

a)

AB	CDE							
	000	001	011	010	110	111	101	100
00	1	0	1	0	0	1	0	x
01	x	1	1	1	X	1	x	1
11	1	1	0	x	1	0	x	1
10	1	X	0	0	0	0	0	0

b) $f(A,B,C,D,E) = \bar{A}B + \bar{C}\bar{D}\bar{E} + \bar{A}DE + B\bar{E} + B\bar{D}$

AB	CDE							
	000	001	011	010	110	111	101	100
00	1	0	1	0	0	1	0	x
01	x	1	1	1	X	1	x	1
11	1	1	0	x	1	0	x	1
10	1	X	0	0	0	0	0	0

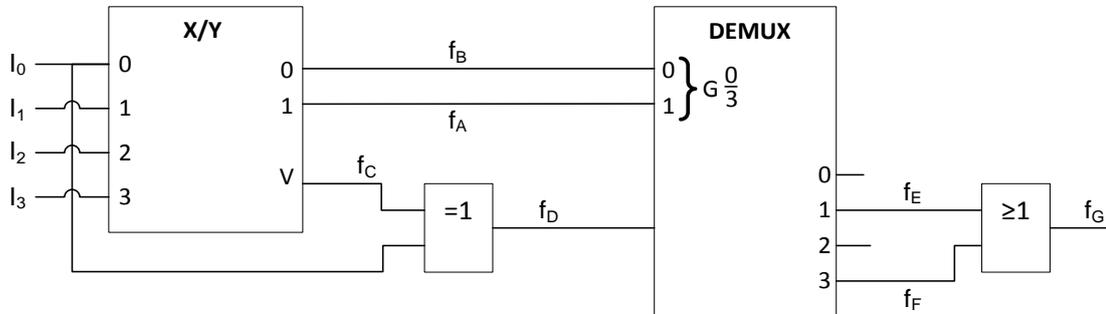
c) $13_{(10)} = 01101_{(2)}$

$$f(0,1,1,0,1) = \bar{0}.1 + \bar{1}.\bar{0}.\bar{1} + \bar{0}.0.1 + 1.\bar{1} + 1.\bar{0} = 1$$

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

EXAME

3. Considere o circuito da figura. Apresente, na quadrícula, a tabela de verdade das funções f_A , f_B , f_C , f_D , f_E , f_F e f_G em função das variáveis (I_3 , I_2 , I_1 , I_0). Assuma que a variável I_3 é a de maior peso e a variável I_0 é a de menor peso. [2,5 val.]



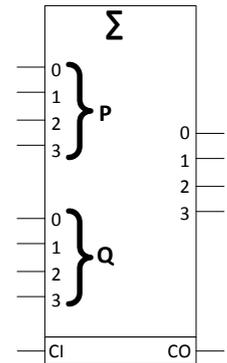
I_3	I_2	I_1	I_0	f_A	f_B	f_C	f_D	f_E	f_F	f_G
0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	1	0	0	0	0
0	0	1	0	0	1	1	1	1	0	1
0	0	1	1	0	1	1	0	0	0	0
0	1	0	0	1	0	1	1	0	0	0
0	1	0	1	1	0	1	0	0	0	0
0	1	1	0	1	0	1	1	0	0	0
0	1	1	1	1	0	1	0	0	0	0
1	0	0	0	1	1	1	1	0	1	1
1	0	0	1	1	1	1	0	0	0	0
1	0	1	0	1	1	1	1	0	1	1
1	0	1	1	1	1	1	0	0	0	0
1	1	0	0	1	1	1	1	0	1	1
1	1	0	1	1	1	1	0	0	0	0
1	1	1	0	1	1	1	1	0	1	1
1	1	1	1	1	1	1	0	0	0	0

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

EXAME

4. Considere uma unidade aritmética com duas entradas de 4 bits A(3:0) e B(3:0). A unidade aritmética é controlada por uma variável de controlo de 2 bits I(1:0). O circuito gera as seguintes operações aritméticas:

I(1)	I(0)	Operação
0	0	$F = A + B$ (soma)
0	1	$F = A + 1$ (incremento)
1	0	$F = A - 1$ (decremento)
1	1	$F = A + \overline{B} + 1$ (subtração)

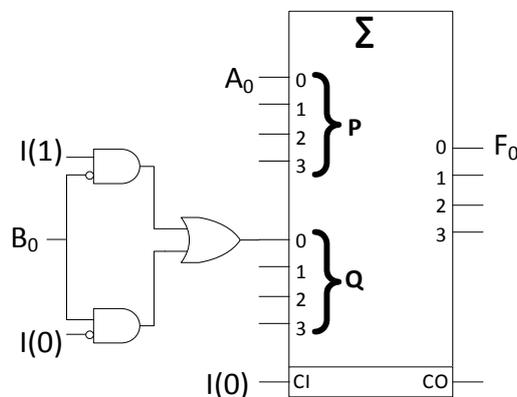


Desenhe o diagrama lógico do circuito que permite gerar o bit menos significativo do resultado, utilizando o circuito somador ilustrado na figura acima e o mínimo de lógica discreta possível. [2,0 val.]

I	Operação	P	Q	Cin
00	A + B	A	B	0
01	A + 1	A	0000	1
10	A - 1	A	1111	0
11	A - B	A	\overline{B}	1

I ₁ I ₀	B	
	0	1
00	0	1
01	0	0
11	1	0
10	1	1

$I_1 \overline{B} + \overline{I_0} B$



Aluno:

Nº

Prova: Teste
 Exame

Pág. 5



(Página deixada intencionalmente em branco.)

Aluno:

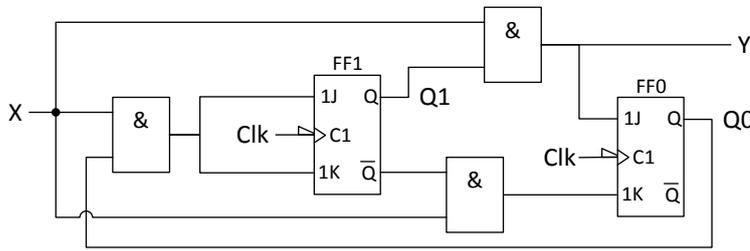
Nº

Prova: Teste
 Exame

Pág. 6

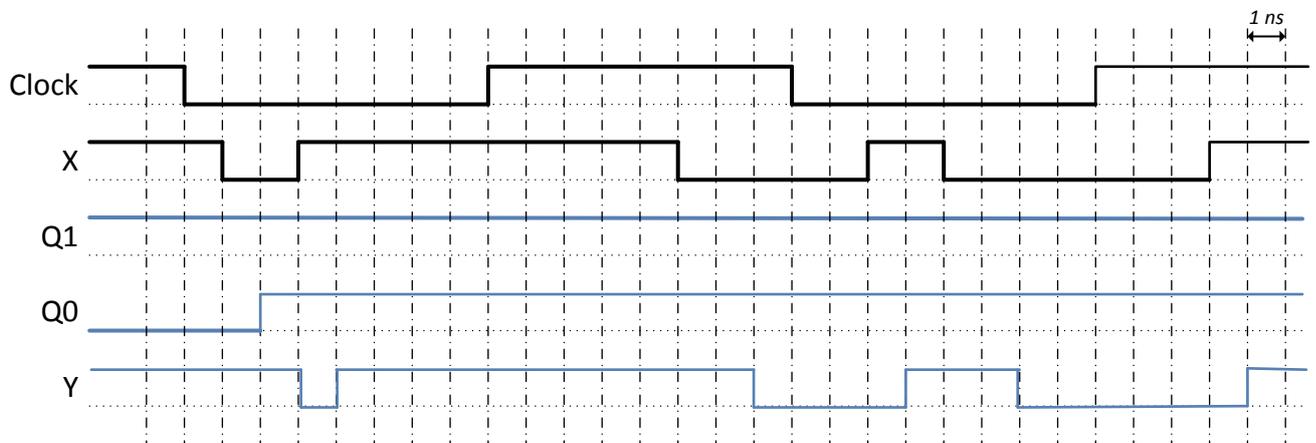
TESTE / EXAME

5. Considere o circuito sequencial da figura seguinte, com uma entrada X e uma saída Y, e os tempos de propagação indicados na tabela:



	AND	FF_JK
t_{pLH}	1ns	2ns
t_{pHL}	2ns	2ns
t_{Hold}		1ns
t_{Setup}		1ns

a) Esboce as formas de onda indicadas para o circuito da figura. [1,0 val.]



b) Determine a frequência máxima de relógio para a qual o circuito funciona correctamente. Justifique. [0,5 val.]

$$T_{clk} = \max \left\{ \begin{aligned} &(t_p)_{FF0} + (t_{pHL})_{AND} + (t_{SU})_{FF1} \\ &(t_p)_{FF1} + (t_{pHL})_{AND} + (t_{SU})_{FF0} \end{aligned} \right\} = 2 + 2 + 1 = 5 \text{ ns}$$

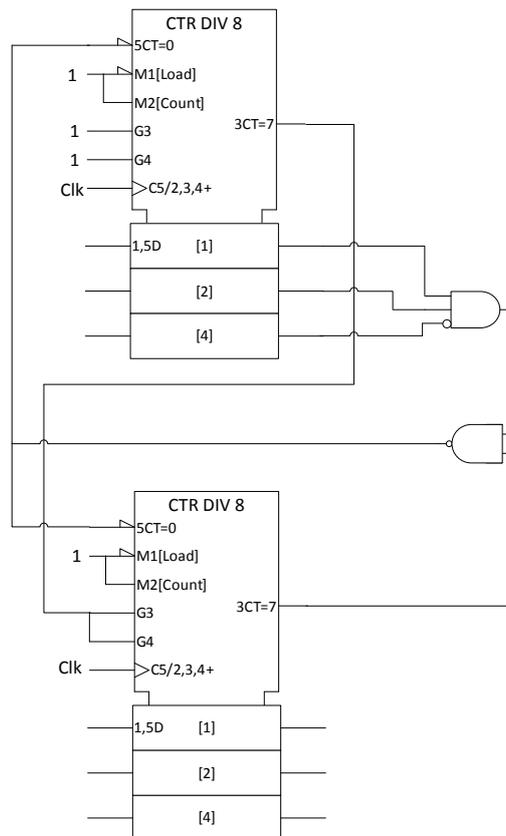
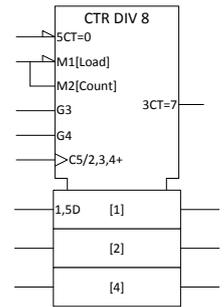
$$f_{max} = \frac{1}{T_{clk}} = \frac{1}{5} \text{ GHz}$$

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

TESTE / EXAME

6. Considere o contador ilustrado na figura ao lado. Utilizando o mínimo de lógica combinatória adicional, ligue dois contadores deste tipo de modo a concretizar um contador binário com módulo 60 (ex: 0,1,2,...57,58,59,0,1,2,...)...... [1,0 val.]

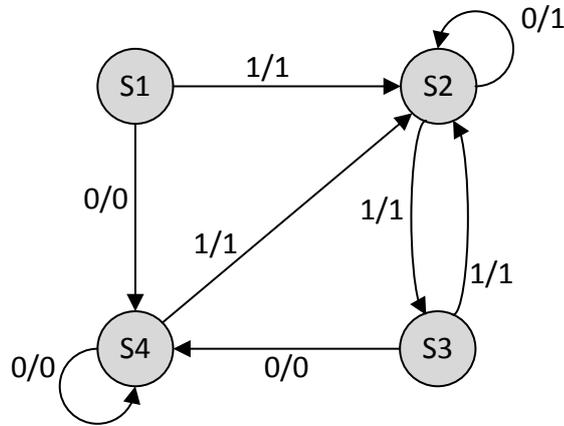
$$59_{(10)} = 111011_{(2)}$$



Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

TESTE / EXAME

7. Considere o seguinte diagrama de estados de um circuito sequencial síncrono, caracterizado por uma entrada (X) e uma saída (Y):



Codificação dos Estados

S1	00
S2	01
S3	10
S4	11

- a) Apresente, no quadriculado, a tabela de transição de estados deste circuito. [1,0 val.]
 b) Sintetize as funções lógicas correspondentes às entradas dos flip-flops e à saída do circuito. Considere a utilização de flip-flops do tipo D..... [1,5 val.]

a)

Estado Actual Q1 Q0	Entrada	Estado Seguinte D1 D0	Saída
0 0	0	1 1	0
	1	0 1	1
0 1	0	0 1	1
	1	1 0	1
1 0	0	1 1	0
	1	0 1	1
1 1	0	1 1	0
	1	0 1	1

b) $D_1 = Q_1 \bar{X} + \bar{Q}_0 \bar{X} + \bar{Q}_1 Q_0 X$
 $D_0 = Q_1 + \bar{Q}_0 + \bar{X}$
 $Y = X + \bar{Q}_1 Q_0$

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---



(Página deixada intencionalmente em branco.)

Aluno:

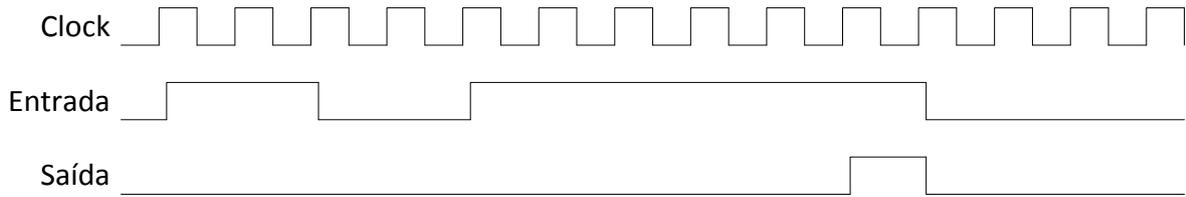
Nº

Prova: Teste
 Exame

Pág. 10

8. Considere uma máquina sequencial síncrona com uma entrada e uma saída. O propósito desta máquina consiste em detectar uma sequência de bits no sinal de entrada constituídos por 6 ciclos contíguos de relógio em que a entrada tem o valor lógico '1'. Sempre que esta sequência for detectada, a saída deverá apresentar o valor lógico '1' em simultâneo com o 6º bit a '1' detectado na entrada. Caso contrário, deverá apresentar o valor lógico '0'.

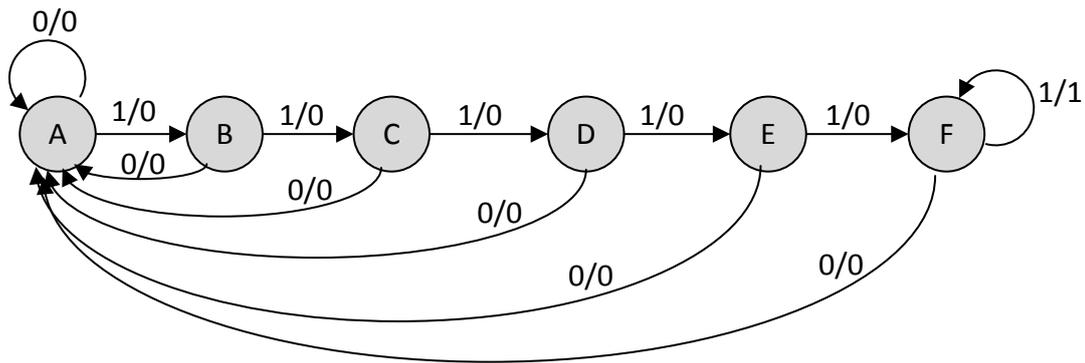
Exemplo (desprezando tempos de propagação):



- a) Em face das especificações enunciadas, indique qual o tipo de máquina que mais se adequa a este funcionamento: Moore ou Mealy? Justifique. [0,5 val.]

É uma máquina de Mealy porque a saída é influenciada pela entrada do circuito. A saída só toma o valor de '1' assim que o 6º bit de entrada estiver a '1'.

- b) Esboce o diagrama de estados correspondente a esta máquina. Tome as decisões e/ou simplificações que julgar mais razoáveis. Justifique a resposta, explicando sucintamente o funcionamento da máquina de estados. [1,0 val.]



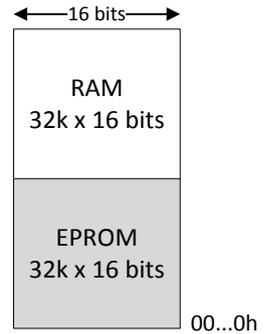
Sempre que a máquina detecta um zero volta ao início. Caso contrário, progride até ao estado 6 onde valida a sequência caso a entrada continue a '1'.

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

TESTE / EXAME

9. Projecte um sistema de memória constituído por 64k endereços e com palavras de 16 bits, de acordo com o mapa de memória ilustrado na figura. A EPROM deverá ser endereçada a partir dos endereços mais baixos. Considere que para a concretização deste projecto dispõe dos seguintes dispositivos de memória:

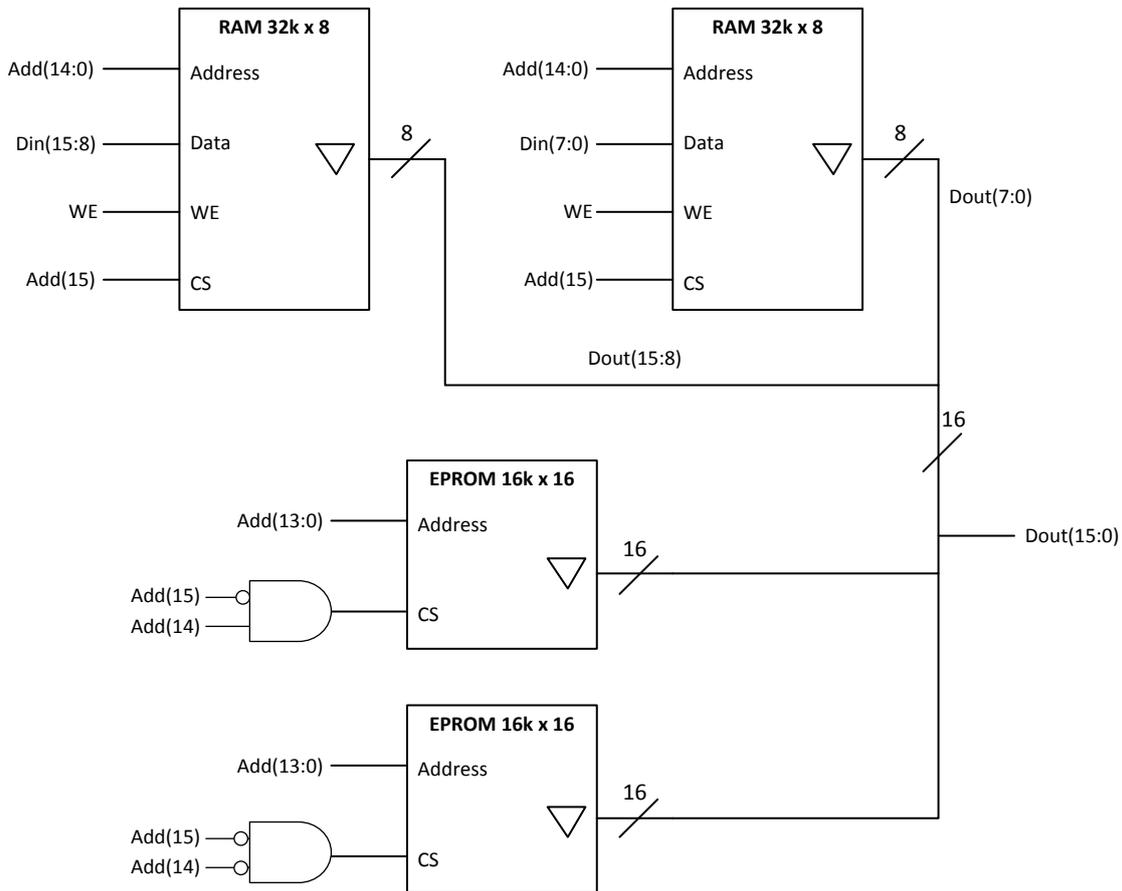
- RAM 32k x 8 bits
- EPROM 16k x 16 bits



Pode utilizar os componentes que julgar mais convenientes para realizar o circuito de descodificação..... [1,0 val.]

NOTA: Para garantir a legibilidade do circuito, represente as diferentes linhas de dados e de endereços através de barramentos.

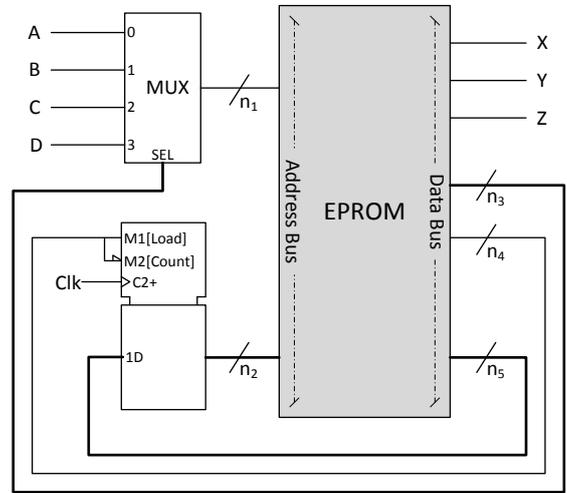
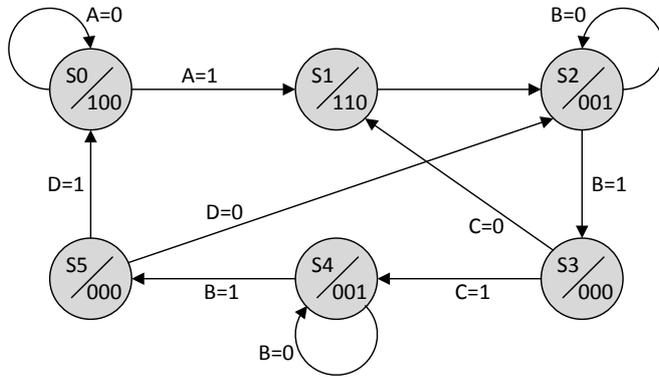
64 k palavras corresponde a 16 bits de endereço



Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

TESTE / EXAME

10. Considere o seguinte diagrama de estados de um circuito sequencial síncrono, caracterizado por 4 entradas (A,B,C,D) e 3 saídas (X,Y,Z):



Pretende-se implementar este circuito através de uma máquina de estados micro-programada constituída por uma EPROM e um contador binário com carregamento paralelo.

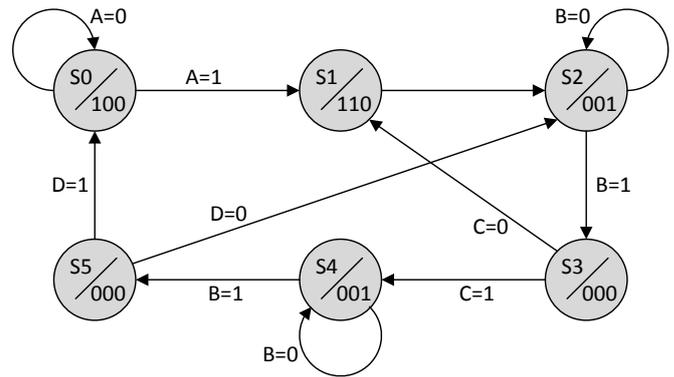
- Proponha uma codificação para os diferentes estados do circuito. [0,5 val.]
- Identifique (ex: letra, nome ou acrónimo) e indique a largura (n° bits) dos sinais representados no diagrama: n_1 , n_2 , n_3 , n_4 e n_5 [0,5 val.]
- Determine o conteúdo da fracção da EPROM que permite implementar todas as transições do diagrama de estados que saem do estado S2 (utilize o quadriculado da página seguinte para indicar o endereço e o valor das correspondentes posições da memória). [1,0 val.]
- Indique qual a dimensão mínima da EPROM de forma a garantir o funcionamento do circuito, tendo em conta este diagrama de estados (não precisa fazer qualquer normalização para uma potência inteira de 2).. [0,5 val.]

- | | |
|----------|---|
| a) | b) |
| S0 – 000 | $n_1 = 1 \rightarrow A_0$ |
| S1 – 001 | $n_2 = 3 \rightarrow A_3, A_2, A_1$ |
| S2 – 010 | $n_3 = 2 \rightarrow SEL$ |
| S3 – 011 | $n_4 = 1 \rightarrow LD$ |
| S4 – 100 | $n_5 = 3 \rightarrow NA$ (Next Address) |
| S5 – 101 | |

- d)
- Normalizando à figura do circuito:**
 4 bits de endereço, palavras de 9 bits $\rightarrow 2^4 \times 9$ bits
- Sem normalização:**
 6 estados $\times 2^{1 \text{ bit de entrada}}$, palavras de 9 bits $\rightarrow 12 \times 9$ bits

Aluno:	N ^o	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----------------	---

Endereço A(3:0)	Conteúdo da memória			
	D(8:7) (SEL)	D(6) (LD)	D(5:3) (NA)	D(2:0) (X,Y,Z)
...				
0100	01	1	010	001
0101	01	0	000	001
...				



(Figura repetida)

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---