

Antes de iniciar a prova, tenha em atenção o seguinte:

- i. A prova contempla 10 perguntas, distribuídas por 16 páginas, e tem a duração de 2h30m.
- ii. Existem 4 variantes distintas da prova: A, B, C e D.
- iii. A prova é sem consulta. Sobre a secretária apenas deve encontrar-se a sua identificação (cartão de estudante).
- iv. Identifique todas as folhas do enunciado com o seu nome e número mecanográfico. Recorde que logo após terminar a prova todas as páginas serão desagafadas e separadas. Folhas não identificadas não serão cotadas!!!
- v. Resolva a prova no próprio enunciado. Para cada questão é fornecido um espaço próprio, dentro do qual deverá responder. A sua dimensão está ajustada ao tamanho expectável da resposta.
- vi. Excepcionalmente, e caso realmente necessite, pode usar o espaço extra disponível das páginas em branco, colocadas ao longo da prova. Nesse caso, deve indicar junto ao enunciado da pergunta que a resposta à mesma se encontra na página que utilizou.
- vii. Justifique adequadamente todas as respostas.
- viii. Responda à prova com calma. Se não sabe responder a uma pergunta, passe à seguinte e volte a ela no fim.

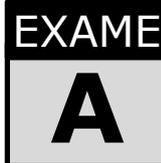
1. Considere o número $X = 81$, representado na base 10.

- a) Converta-o para a base 2.[1,0 val.]
- b) Utilize o resultado obtido para converter o mesmo número para base 8.[0,5 val.]
- c) Represente o número $Y = 1945$ em BCD.[0,5 val.]

Aluno:

Nº

Pág. 1



(Página deixada intencionalmente em branco.)

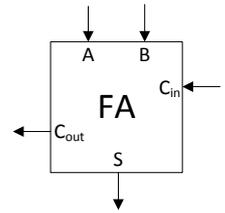
Aluno:

Nº

Pág. 4

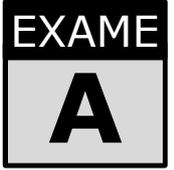
4. Considere que dispõe de 4 (quatro) somadores completos de um bit (*full-adder*), com entradas (A,B,C_{in}) e saídas (S,C_{out}) (ver figura).

Implemente uma unidade aritmética com dois operandos de 4 bits X(3:0) e Y(3:0) e saída Z(3:0). A unidade aritmética é controlada por uma variável de controlo de 1 bit (F), realizando as seguintes operações:



F	Operação
0	$Z = X + Y$ (soma)
1	$Z = X - Y$ (subtracção)

Desenhe o diagrama lógico do circuito, utilizando o mínimo de lógica discreta possível.[2,0 val.]



(Página deixada intencionalmente em branco.)

Aluno:

Nº

Pág. 6



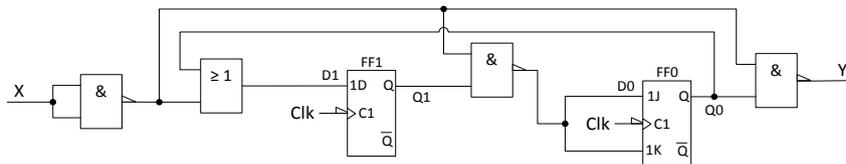
(Página deixada intencionalmente em branco.)

Aluno:

Nº

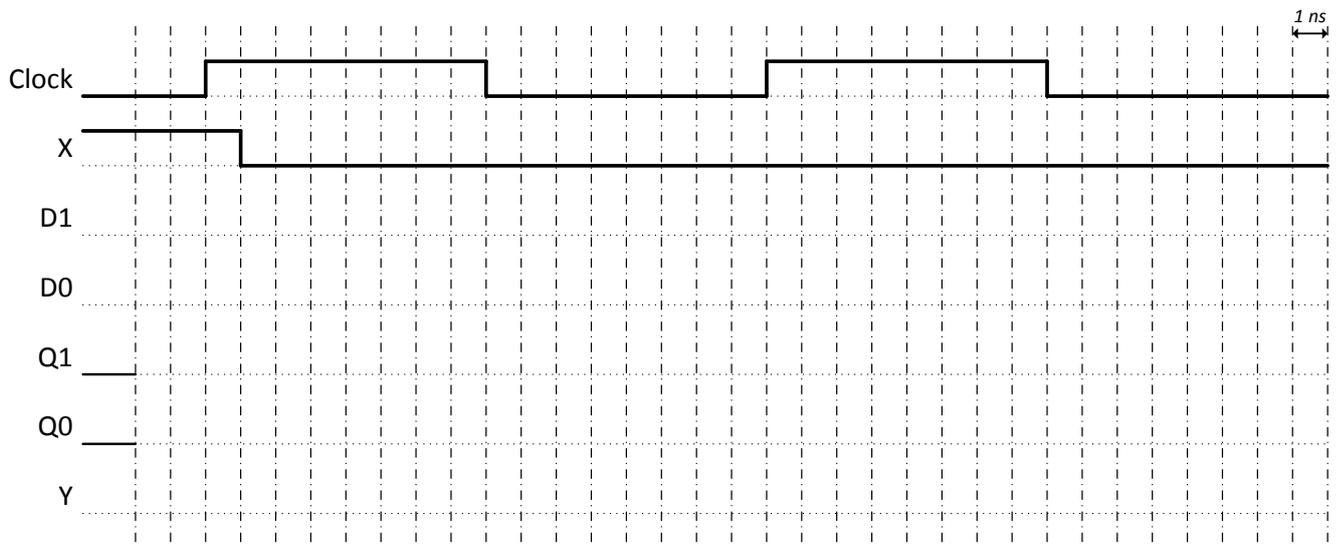
Pág. 8

6. Considere o circuito sequencial da figura seguinte, com uma entrada X e uma saída Y, e os tempos de propagação indicados na tabela:



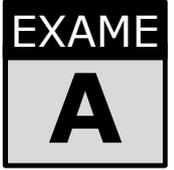
	OR	NAND	FF_D	FF_JK
t_{pLH}	2ns	1ns	2ns	3ns
t_{pHL}	2ns	1ns	2ns	3ns
t_{Hold}	---	---	1ns	1.5ns
t_{Setup}	---	---	1ns	1ns

a) Esboce as formas de onda indicadas para o circuito da figura.[1,0 val.]



b) Determine a frequência máxima de relógio para a qual o circuito funciona correctamente. Justifique.[0,5 val.]

Aluno:	Nº
--------	----

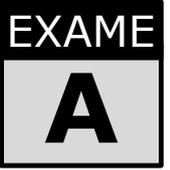


(Página deixada intencionalmente em branco.)

Aluno:

Nº

Pág. 10



(Página deixada intencionalmente em branco.)

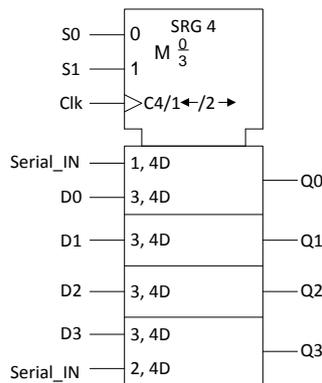
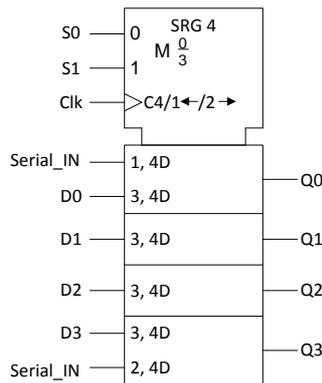
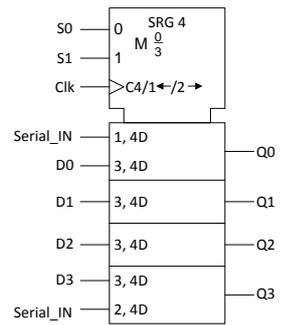
Aluno:

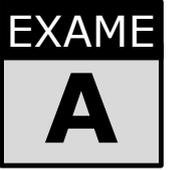
Nº

Pág. 12

8. Considere o registo de deslocamento ilustrado na figura ao lado. Utilizando o mínimo de lógica combinatória adicional e assumindo um deslocamento à direita, ligue dois registos deste tipo de modo a implementar um circuito que realize:

- A conversão série-paralelo de um sinal de entrada X_{in} correspondente a uma sequência de bits, de forma a mostrar nas saídas Q_i os últimos 8 bits do sinal de entrada;
- A detecção do padrão de bits "01111110" nas saídas Q_i do registo;
- O carregamento paralelo do padrão "11011011" sempre que o padrão "01111110" for detectado na saída do registo.[1,5 val.]





(Página deixada intencionalmente em branco.)

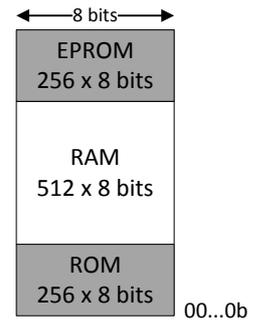
Aluno:

Nº

Pág. 14

9. Projecte um sistema de memória constituído por 1024 endereços e com palavras de 8 bits, de acordo com o mapa de memória ilustrado na figura. Considere que para a concretização deste projecto dispõe dos seguintes dispositivos de memória:

- RAM 256 x 8 bits
- ROM 256 x 8 bits
- EPROM 256 x 8 bits



Assuma que todas as memórias dispõem de uma entrada CE (chip-enable), que permite colocar o respectivo barramento de dados em alta impedância. Pode utilizar os componentes que julgar mais convenientes para realizar o circuito de descodificação.....[1,5 val.]

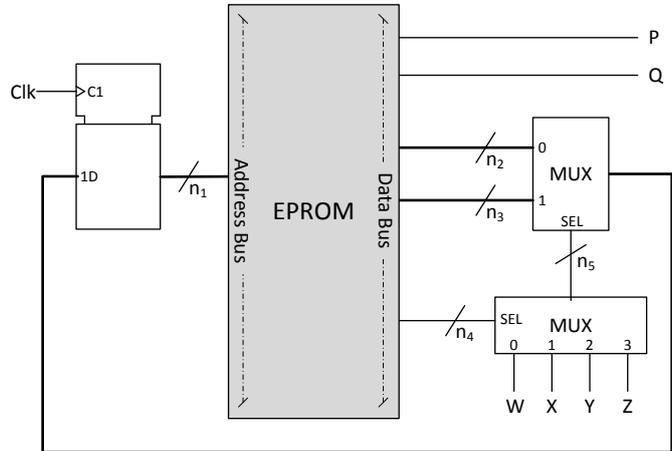
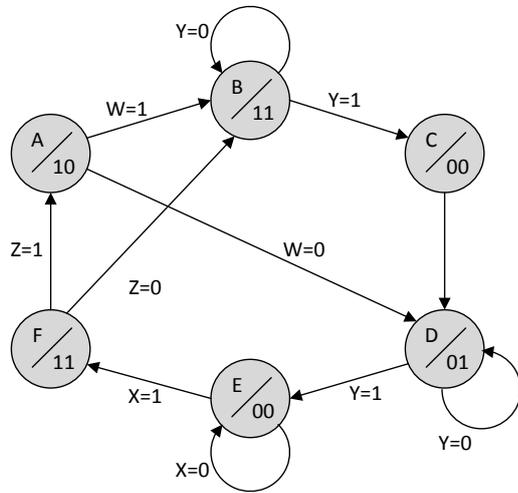
NOTA: Para garantir a legibilidade do circuito, represente as diferentes linhas de dados e de endereços através de barramentos.

Aluno:

Nº

Pág. 15

10. Considere o seguinte diagrama de estados de um circuito sequencial síncrono, caracterizado por 4 entradas (W,X,Y,Z) e 2 saídas (P,Q):



Pretende-se implementar este circuito através de uma máquina de estados micro-programada constituída por uma EPROM e um registo.

- Represente, no diagrama de estados, uma codificação possível para os diferentes estados do circuito.[0,5 val.]
- Identifique na figura a largura (n° bits) dos sinais representados no diagrama: n_1 a n_5[0,5 val.]
- Determine o conteúdo da fracção da EPROM que permite implementar todas as transições do diagrama de estados que saem do estado A (indique o endereço e o valor das correspondentes posições da memória).[1,0 val.]

- Indique qual a dimensão mínima da EPROM de forma a garantir o funcionamento do circuito, tendo em conta este diagrama de estados (não precisa fazer qualquer normalização para uma potência inteira de 2).[0,5 val.]

Aluno:	Nº
--------	----