

Antes de iniciar a prova, tenha em atenção o seguinte:

- i. A prova contempla 10 perguntas, distribuídas por 16 páginas, e tem a duração de 2h30m.
- ii. Existem 4 variantes distintas da prova: A, B, C e D.
- iii. A prova é sem consulta. Sobre a secretária apenas deve encontrar-se a sua identificação (cartão de estudante).
- iv. Identifique todas as folhas do enunciado com o seu nome e número mecanográfico. Recorde que logo após terminar a prova todas as páginas serão desagafadas e separadas. Folhas não identificadas não serão cotadas!!!
- v. Resolva a prova no próprio enunciado. Para cada questão é fornecido um espaço próprio, dentro do qual deverá responder. A sua dimensão está ajustada ao tamanho expectável da resposta.
- vi. Excepcionalmente, e caso realmente necessite, pode usar o espaço extra disponível das páginas em branco, colocadas ao longo da prova. Nesse caso, deve indicar junto ao enunciado da pergunta que a resposta à mesma se encontra na página que utilizou.
- vii. Justifique adequadamente todas as respostas.
- viii. Responda à prova com calma. Se não sabe responder a uma pergunta, passe à seguinte e volte a ela no fim.

1. Considere o número  $X = 81$ , representado na base 10.

- a) Converta-o para a base 2. ....[1,0 val.]
- b) Utilize o resultado obtido para converter o mesmo número para base 8. ....[0,5 val.]
- c) Represente o número  $Y = 1945$  em BCD. ....[0,5 val.]

a)  $1010001_{(2)}$

b)  $121_{(8)}$

c)  $Y = 0001\ 1001\ 0100\ 0101$

Aluno:

Nº

Pág. 1

2. Considere a função lógica  $f(A,B,C,D,E)$  incompletamente especificada, definida da seguinte forma:

$$f(A,B,C,D,E) = \sum m(2,4,10,11,12,14,16,19,21,29,30) + \sum d(0,3,5,9,13,20,26,28)$$

A variável A é a de maior peso e a variável E é a de menor peso.

a) Apresente o mapa de Karnaugh correspondente a esta função, utilizando as linhas/colunas necessárias na grelha disponibilizada para o efeito. .... [1,0 val.]

AB	CDE							
	000	001	011	010	110	111	101	100
00	x		x	1			x	1
01		x	1	1	1		x	1
11				x	1		1	x
10	1		1				1	x

b) Identifique a expressão algébrica do seguinte mapa de Karnaugh. Justifique, apresentando os implicantes (agrupamentos) correspondentes à função no mapa. .... [1,0 val.]

AB	CDE							
	000	001	011	010	110	111	101	100
00	X	1				1		1
01	X	1		1	X			
11	1	X		1	1	1	X	
10	1	X			1	X		X

$$f(A,B,C,D,E) = \bar{C}\bar{D} + BD\bar{E} + \bar{B}\bar{D}\bar{E} + ACD + \bar{B}CDE$$

c) Na solução identificada na alínea anterior, qual o valor da função quando a entrada (A,B,C,D,E) toma o valor 14? Justifique. .... [0,5 val.]

$$14_{(10)} = 01110_{(2)}$$

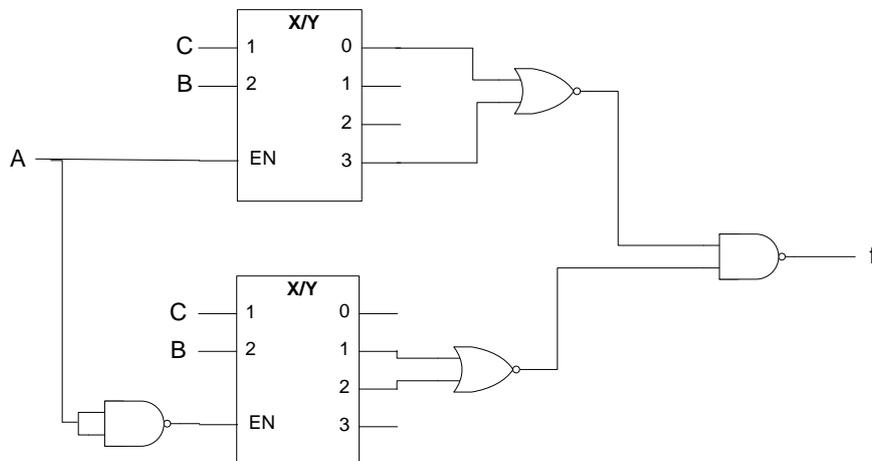
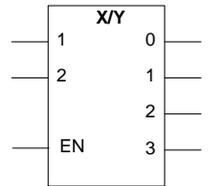
$$f(0,1,1,1,0) = \bar{1}.1 + 1.1.\bar{0} + \bar{1}.\bar{1}.\bar{0} + 0.1.1 + \bar{1}.1.1.0 = 1$$

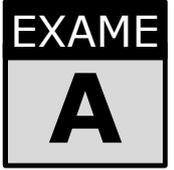
3. Considere a função lógica  $f(A, B, C) = \overline{A}(B \oplus C) + A\overline{(B \oplus C)}$

a) Apresente, na quadrícula, a tabela de verdade correspondente a esta função Booleana. .[1,0 val.]

A	B	C	$B \oplus C$	$\overline{A}(B \oplus C)$	$\overline{(B \oplus C)}$	$A\overline{(B \oplus C)}$	$f(A, B, C)$
0	0	0	0	0	1	0	0
0	0	1	1	1	0	0	1
0	1	0	1	1	0	0	1
0	1	1	0	0	1	0	0
1	0	0	0	0	1	1	1
1	0	1	1	0	0	0	0
1	1	0	1	0	0	0	0
1	1	1	0	0	1	1	1

b) Utilizando apenas decodificadores com 2 entradas (ver figura) e portas lógicas NOR e NAND de 2 entradas (não pode usar portas inversoras), projecte e implemente a função lógica  $f(A, B, C)$ . ..... [1,0 val.]





(Página deixada intencionalmente em branco.)

Aluno:

Nº

Pág. 4





(Página deixada intencionalmente em branco.)

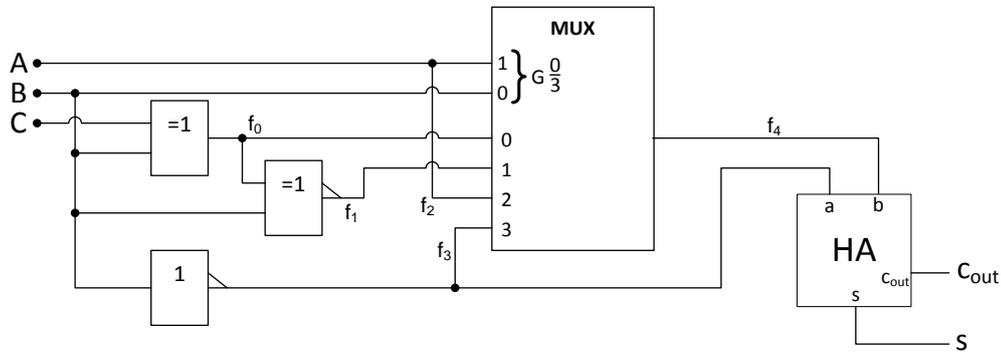
Aluno:

Nº

Pág. 6

5. Considere o circuito da figura.

Apresente, na quadrícula, a tabela de verdade das funções  $f_0$ ,  $f_1$ ,  $f_2$ ,  $f_3$ ,  $f_4$  e  $S$  em função das variáveis (A,B,C). Assuma que a variável A é a de maior peso e a variável C é a de menor peso. ....[2,0 val.]

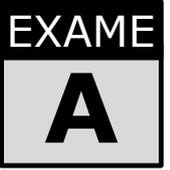


A	B	C	$f_0$	$f_1$	$f_2$	$f_3$	$f_4$	S
0	0	0	0	1	0	1	0	1
0	0	1	1	0	0	1	1	0
0	1	0	1	1	0	0	1	1
0	1	1	0	0	0	0	0	0
1	0	0	0	1	1	1	1	0
1	0	1	1	0	1	1	1	0
1	1	0	1	1	1	0	0	0
1	1	1	0	0	1	0	0	0

Aluno:

Nº

Pág. 7



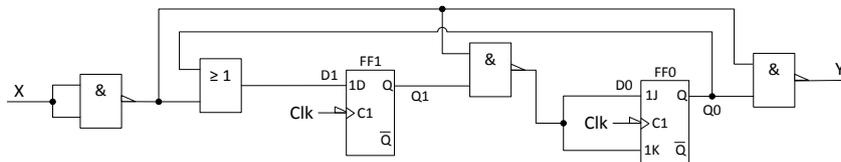
(Página deixada intencionalmente em branco.)

Aluno:

Nº

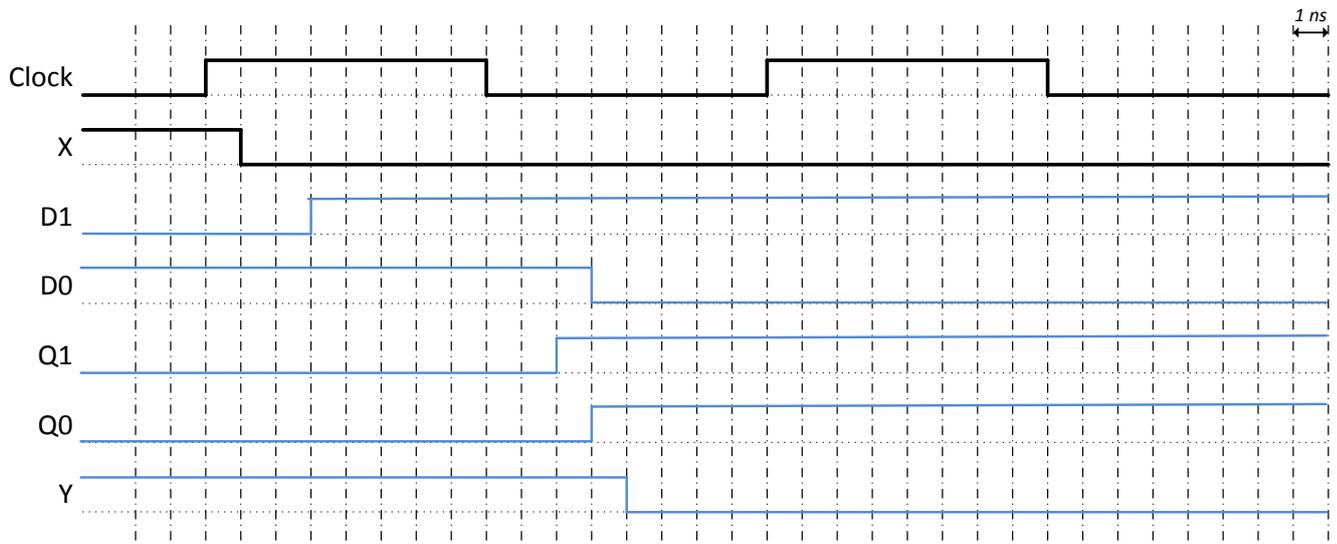
Pág. 8

6. Considere o circuito sequencial da figura seguinte, com uma entrada X e uma saída Y, e os tempos de propagação indicados na tabela:



	OR	NAND	FF_D	FF_JK
$t_{pLH}$	2ns	1ns	2ns	3ns
$t_{pHL}$	2ns	1ns	2ns	3ns
$t_{Hold}$	---	---	1ns	1.5ns
$t_{Setup}$	---	---	1ns	1ns

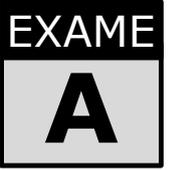
a) Esboce as formas de onda indicadas para o circuito da figura. ....[1,0 val.]



b) Determine a frequência máxima de relógio para a qual o circuito funciona correctamente. Justifique. ....[0,5 val.]

$$T_{clk} = \max \left\{ \begin{array}{l} (t_p)_{FF\_JK} + (t_{pHL})_{OR} + (t_{SU})_{FF\_D} \\ (t_p)_{FF\_D} + (t_{pHL})_{NAND} + (t_{SU})_{FF\_JK} \end{array} \right\} = 3 + 2 + 1 = 6 \text{ ns}$$

$$f_{max} = \frac{1}{T_{clk}} = \frac{1}{6} \text{ GHz}$$



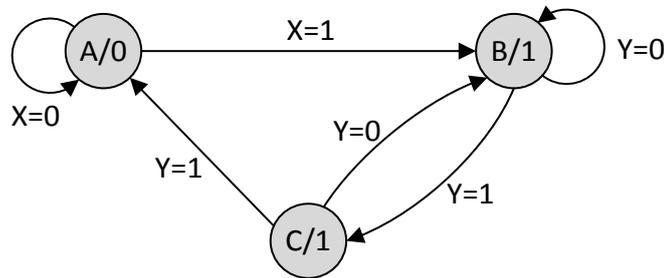
(Página deixada intencionalmente em branco.)

Aluno:

Nº

Pág. 10

7. Considere o seguinte diagrama de estados de um circuito sequencial síncrono, caracterizado por duas entradas (X,Y) e uma saída (Z):



- a) Apresente, no quadriculado, a tabela de transição de estados deste circuito. ....[1,0 val.]  
 b) Sintetize as funções lógicas correspondentes às entradas dos flip-flops e à saída do circuito. Considere a utilização de uma codificação one-hot e de flip-flops do tipo D.....[1,5 val.]

a)

Estado Actual	Entrada X Y	Estado Seguinte	Saída
A	0 0	A	0
	0 1	A	
	1 0	B	
	1 1	B	
B	0 0	B	1
	0 1	C	
	1 0	B	
	1 1	C	
C	0 0	B	1
	0 1	A	
	1 0	B	
	1 1	A	

b)

$$D_A = Q_A \bar{X} + Q_C Y$$

$$D_B = Q_B \bar{Y} + Q_A X + Q_C \bar{Y}$$

$$D_C = Q_B Y$$

$$Z = Q_B + Q_C$$



(Página deixada intencionalmente em branco.)

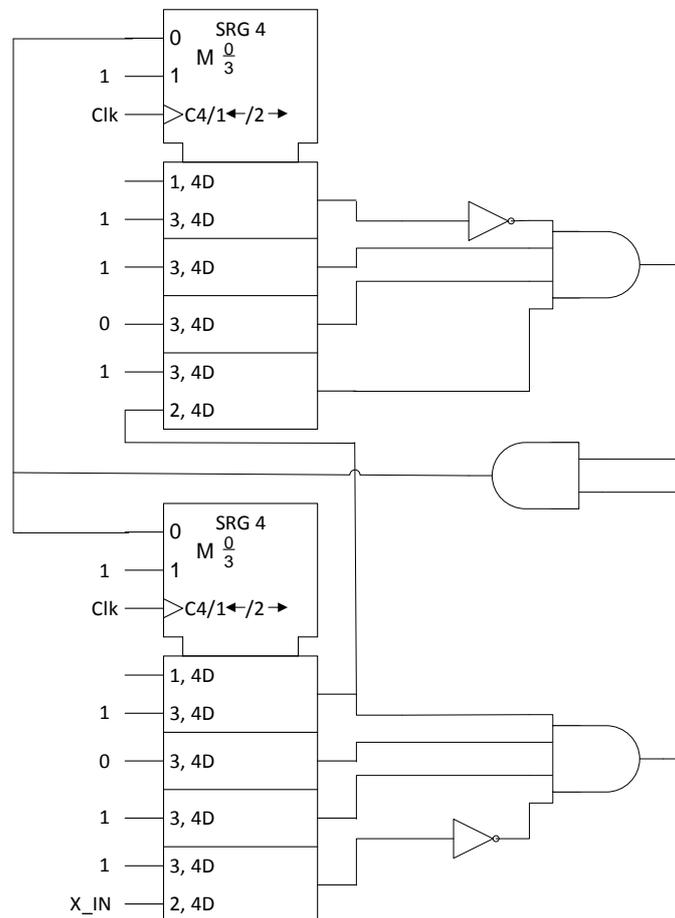
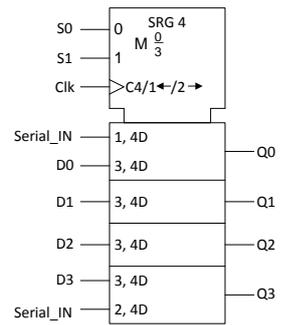
Aluno:

Nº

Pág. 12

8. Considere o registo de deslocamento ilustrado na figura ao lado. Utilizando o mínimo de lógica combinatória adicional e assumindo um deslocamento à direita, ligue dois registos deste tipo de modo a implementar um circuito que realize:

- A conversão série-paralelo de um sinal de entrada  $X_{in}$  correspondente a uma sequência de bits, de forma a mostrar nas saídas  $Q_i$  os últimos 8 bits do sinal de entrada;
- A detecção do padrão de bits "01111110" nas saídas  $Q_i$  do registo;
- O carregamento paralelo do padrão "11011011" sempre que o padrão "01111110" for detectado na saída do registo. ....[1,5 val.]





(Página deixada intencionalmente em branco.)

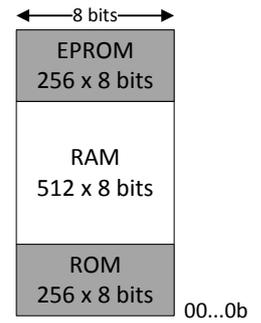
Aluno:

Nº

Pág. 14

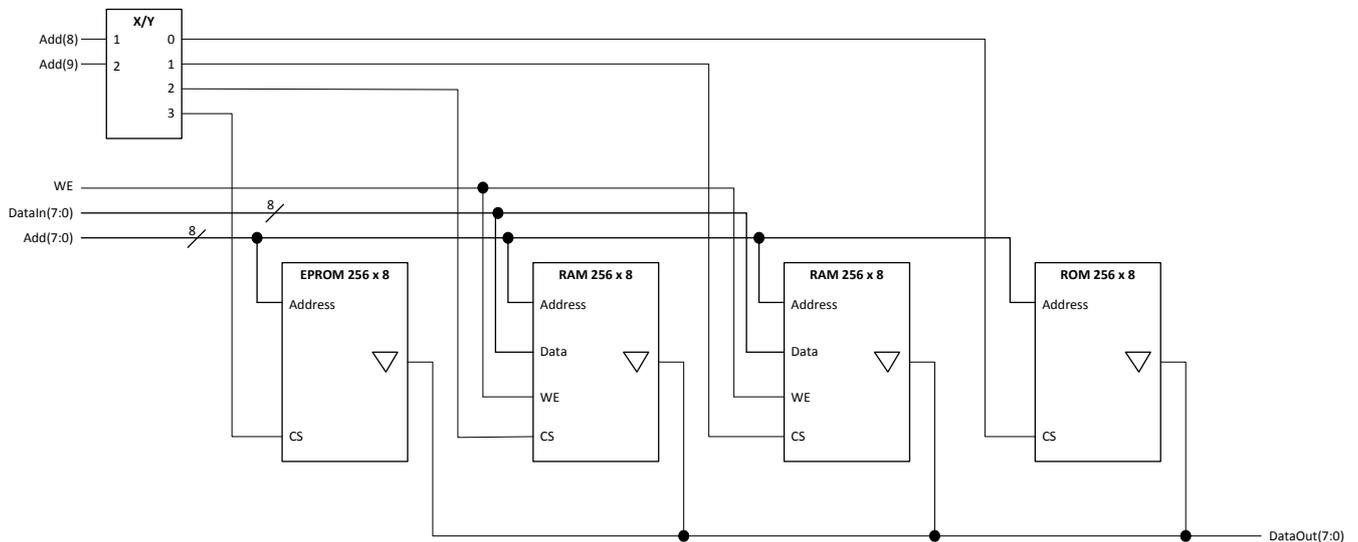
9. Projecte um sistema de memória constituído por 1024 endereços e com palavras de 8 bits, de acordo com o mapa de memória ilustrado na figura. Considere que para a concretização deste projecto dispõe dos seguintes dispositivos de memória:

- RAM 256 x 8 bits
- ROM 256 x 8 bits
- EPROM 256 x 8 bits



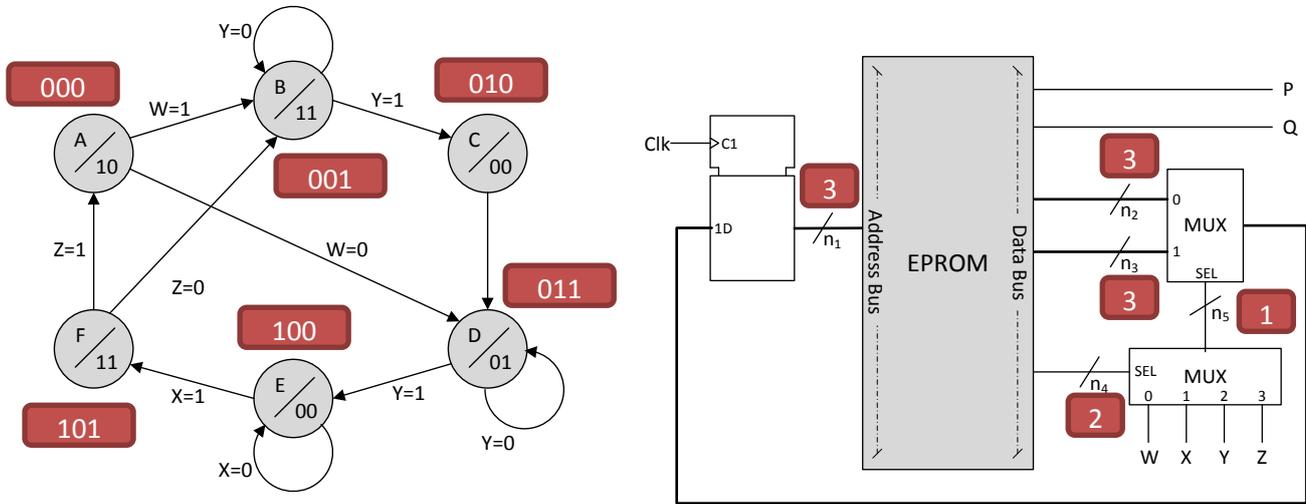
Assuma que todas as memórias dispõem de uma entrada CE (chip-enable), que permite colocar o respectivo barramento de dados em alta impedância. Pode utilizar os componentes que julgar mais convenientes para realizar o circuito de descodificação.....[1,5 val.]

**NOTA:** Para garantir a legibilidade do circuito, represente as diferentes linhas de dados e de endereços através de barramentos.



Aluno:	Nº
--------	----

10. Considere o seguinte diagrama de estados de um circuito sequencial síncrono, caracterizado por 4 entradas (W,X,Y,Z) e 2 saídas (P,Q):



Pretende-se implementar este circuito através de uma máquina de estados micro-programada constituída por uma EPROM e um registo.

- a) Represente, no diagrama de estados, uma codificação possível para os diferentes estados do circuito. ....[0,5 val.]
- b) Identifique na figura a largura ( $n^\circ$  bits) dos sinais representados no diagrama:  $n_1$  a  $n_5$ . ....[0,5 val.]
- c) Determine o conteúdo da fracção da EPROM que permite implementar todas as transições do diagrama de estados que saem do estado A (indique o endereço e o valor das correspondentes posições da memória). ....[1,0 val.]

Endereço	Dados ( P   Q   $n_2$   $n_3$   $n_4$ )
<b>000</b>	1 0 011 001 00

- d) Indique qual a dimensão mínima da EPROM de forma a garantir o funcionamento do circuito, tendo em conta este diagrama de estados (não precisa fazer qualquer normalização para uma potência inteira de 2). ....[0,5 val.]

Solução A	Solução B
6 estados possíveis	3 bits de endereço → 8 casos possíveis
Palavras de 10 bits	Palavras de 10 bits
6 x 10 bits = 60 bits	8 x 10 bits = 80 bits

Aluno:	Nº
--------	----