

Antes de iniciar a prova, tenha em atenção o seguinte:

- i. O enunciado da prova inclui 14 páginas.
- ii. O teste contempla as perguntas 5, 6, 7, 8, 9 e 10 e tem a duração de 1h30m.
- iii. O exame contempla todas as perguntas e tem a duração de 2h30m.
- iv. Existem 4 variantes distintas da prova: A, B, C e D.
- v. A prova é sem consulta. Sobre a secretária apenas deve encontrar-se a sua identificação (cartão de estudante).
- vi. Identifique todas as folhas do enunciado com:
 - a) Nome;
 - b) Número de aluno;
 - c) Prova que pretende realizar: teste ou exame.
- vii. Recorde que logo após terminar a prova:
 - a) Todas as páginas serão desagafadas e separadas;
 - b) As páginas 1 a 6 serão destruídas, caso tenha manifestado a intenção de fazer o teste;
 - c) Folhas não identificadas não serão cotadas!!!
- viii. Resolva a prova no próprio enunciado. Para cada questão é fornecido um espaço próprio, dentro do qual deverá responder. A sua dimensão está ajustada ao tamanho expectável da resposta.
- ix. Excepcionalmente, e caso realmente necessite, pode usar o espaço extra disponível das páginas em branco, colocadas ao longo da prova. Nesse caso, deve indicar junto ao enunciado da pergunta que a resposta à mesma se encontra na página que utilizou. Tenha presente o aviso descrito no ponto vii.b).
- x. Justifique adequadamente todas as respostas.
- xi. Responda à prova com calma. Se não sabe responder a uma pergunta, passe à seguinte e volte a ela no fim.

MUITO IMPORTANTE: indique, no rodapé de cada página, a prova que pretende realizar:

- **2º TESTE (Questões 5, 6, 7, 8, 9 e 10) 1h30m**
- **EXAME (Questões 1 a 10) 2h30m**

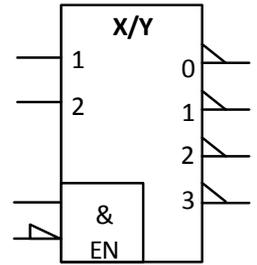
Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

**E
X
A
M**

1. Considere a função lógica $f(A, B, C) = \overline{(A + B)} \oplus \overline{A \cdot C}$

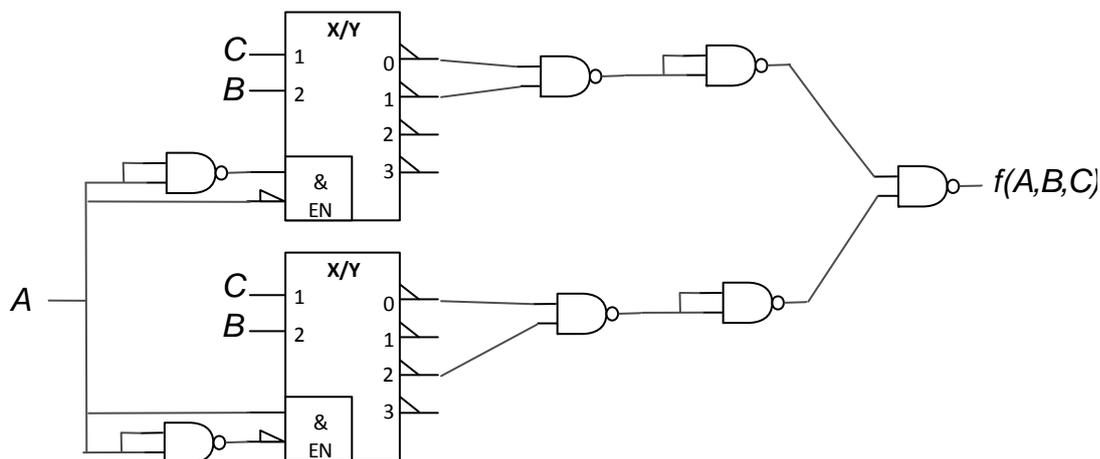
- a) Apresente, na quadrícula, a tabela de verdade correspondente às funções Booleanas: $(A + B)$, $\overline{A \cdot C}$ e $f(A, B, C)$ [1,0 val.]
- b) Utilizando unicamente descodificadores semelhantes aos ilustrados na figura ao lado e portas NAND de duas entradas, projecte e implemente a função lógica $f(A, B, C)$ [1,5 val.]



a)

A	B	C	(A + B)	$\overline{A \cdot C}$	$f(A, B, C)$
0	0	0	1	1	1
0	0	1	1	1	1
0	1	0	0	1	0
0	1	1	0	1	0
1	0	0	1	1	1
1	0	1	1	0	0
1	1	0	1	1	1
1	1	1	1	0	0

b)



Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

EXAME

2. Considere a função lógica $f(A,B,C,D,E)$ incompletamente especificada, definida da seguinte forma:

$$f(A,B,C,D,E) = \sum m(1,3,6,10,13,16,18,19,20,26,30,31) + \sum d(0,2,4,9,14,15,17,22,24,25,29)$$

A variável A é a de maior peso e a variável E é a de menor peso.

- a) Apresente o mapa de Karnaugh correspondente a esta função, utilizando as linhas/colunas necessárias na grelha disponibilizada para o efeito.[1,0 val.]
- b) Identifique a expressão algébrica da função. Justifique.[1,0 val.]
- c) Na solução por si identificada, qual o valor da função quando a entrada (A,B,C,D,E) toma o valor 25? Justifique.[1,0 val.]

a)

		CDE							
	AB	000	001	011	010	110	111	101	100
00	X	1	1	X	1	0	0	X	
01	0	X	0	1	X	X	1	0	
11	X	X	0	1	1	1	X	0	
10	1	X	1	1	X	0	0	1	

b)

		CDE							
	AB	000	001	011	010	110	111	101	100
00	X	1	1	X	1	0	0	X	
01	0	X	0	1	X	X	1	0	
11	X	X	0	1	1	1	X	0	
10	1	X	1	1	X	0	0	1	

$$f(A, B, C, D, E) = BC + CE + BE + BCE$$

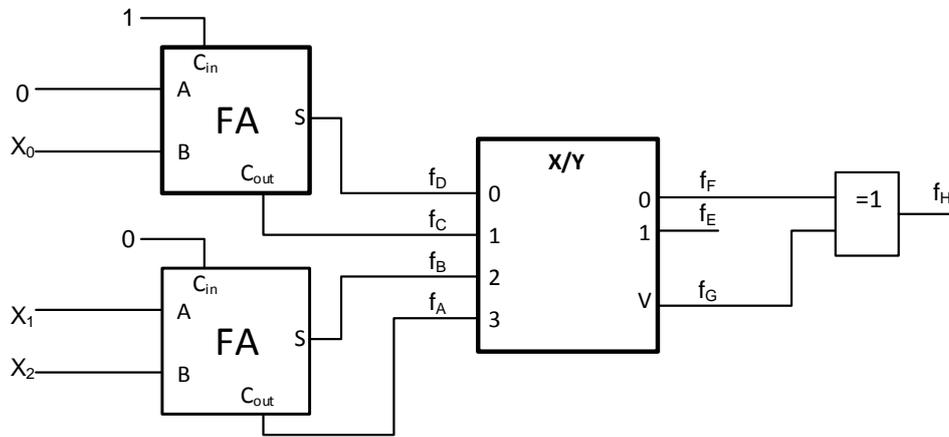
c)

$$f(1, 1, 0, 0, 1) = 0$$

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

EXAME

3. Considere o circuito da figura. Apresente, na quadrícula, a tabela de verdade das funções f_A , f_B , f_C , f_D , f_E , f_F , f_G e f_H em função das variáveis (X_2 , X_1 , X_0). Assuma que a variável X_2 é a de maior peso e a variável X_0 é a de menor peso.[2,5 val.]



x_2	x_1	x_0	f_A	f_B	f_C	f_D	f_E	f_F	f_G	f_H
0	0	0	0	0	0	1	0	0	1	1
0	0	1	0	0	1	0	0	1	1	0
0	1	0	0	1	0	1	1	0	1	1
0	1	1	0	1	1	0	1	0	1	1
1	0	0	0	1	0	1	1	0	1	1
1	0	1	0	1	1	0	1	0	1	1
1	1	0	1	0	0	1	1	1	1	0
1	1	1	1	0	1	0	1	1	1	0

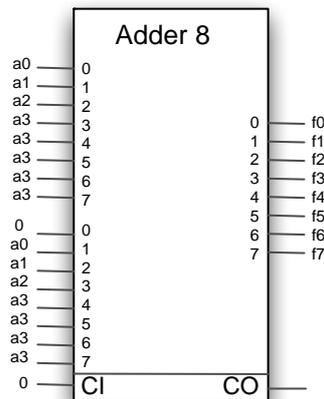
Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

E
X
A
M

4. Pretende-se implementar uma unidade aritmética com uma única entrada de 4 bits $A(3:0)$, representada em complemento para 2, que realize o cálculo da operação aritmética:

$$f(7:0) = 3 \times A(3:0)$$

Desenhe o diagrama lógico do circuito utilizando um circuito somador de 8 bits e o mínimo de lógica discreta possível. [2 val.]

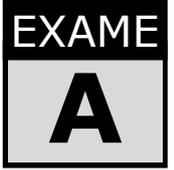


Aluno:

Nº

Prova: Teste
 Exame

Pág. 5



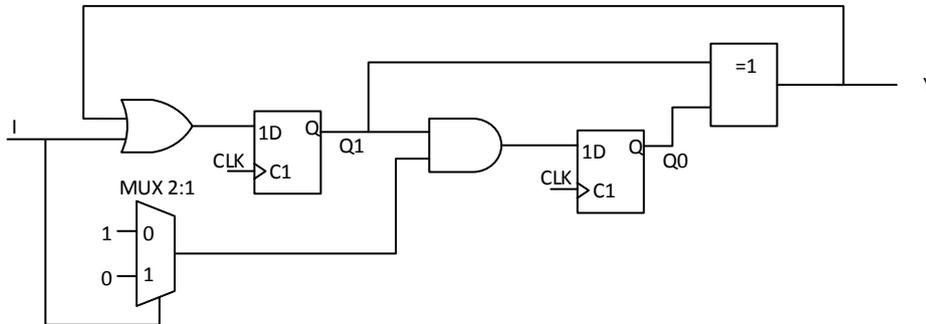
(Página deixada intencionalmente em branco.)

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

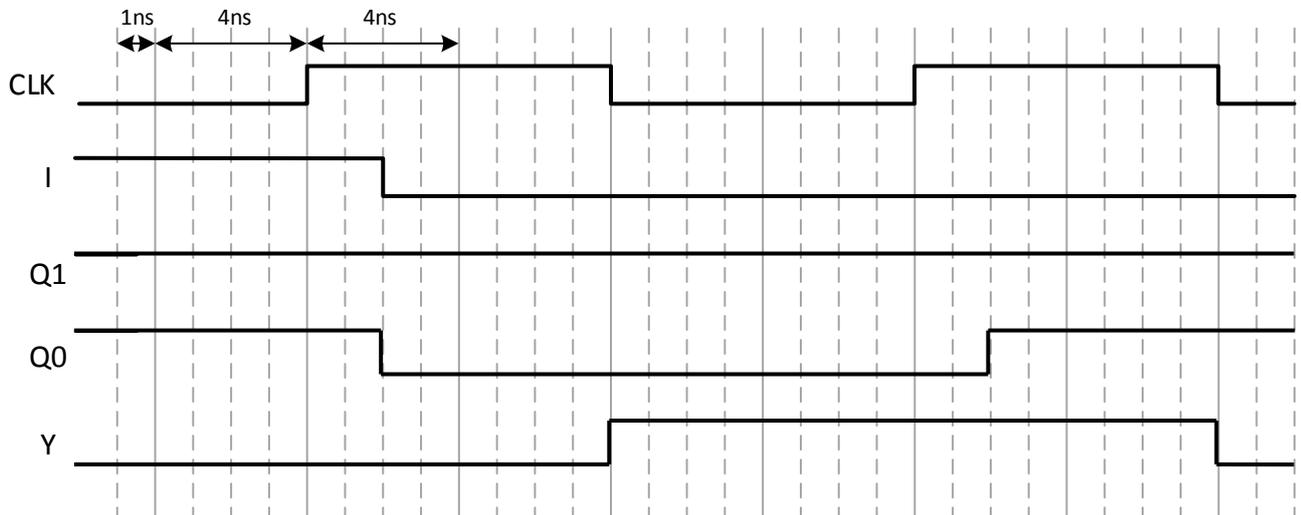
TESTE/E

5. Considere o circuito sequencial da figura seguinte, com uma entrada I e uma saída Y, e os tempos de propagação indicados na tabela:



	t_p	t_{su}	t_H
FF_D	2ns	2ns	1ns
AND	3ns		
OR	3ns		
XOR	6ns		
MUX	7ns		

a) Esboce as formas de onda indicadas para o circuito da figura.[1,0 val.]



b) Determine a frequência máxima de relógio para a qual o circuito funciona correctamente. Justifique.[0,5 val.]

Nota: Uma vez que os tempos de propagação dos flip-flops são superiores aos respetivos tempos de manutenção, o efeito destes últimos não se irá fazer sentir no cálculo da frequência máxima de operação.

$$T_{min} = \max \left\{ \begin{array}{l} t_p(FF_{D0}) + t_p(XOR) + t_p(OR) + t_{su}(FF_{D1}) \\ t_p(FF_{D1}) + t_p(XOR) + t_p(OR) + t_{su}(FF_{D1}) \\ t_p(FF_{D1}) + t_p(AND) + t_{su}(FF_{D0}) \end{array} \right\} = 2 + 6 + 3 + 2 = 13ns$$

$$f_{máx} = \frac{1}{T_{min}} = \frac{1}{13} GHz$$

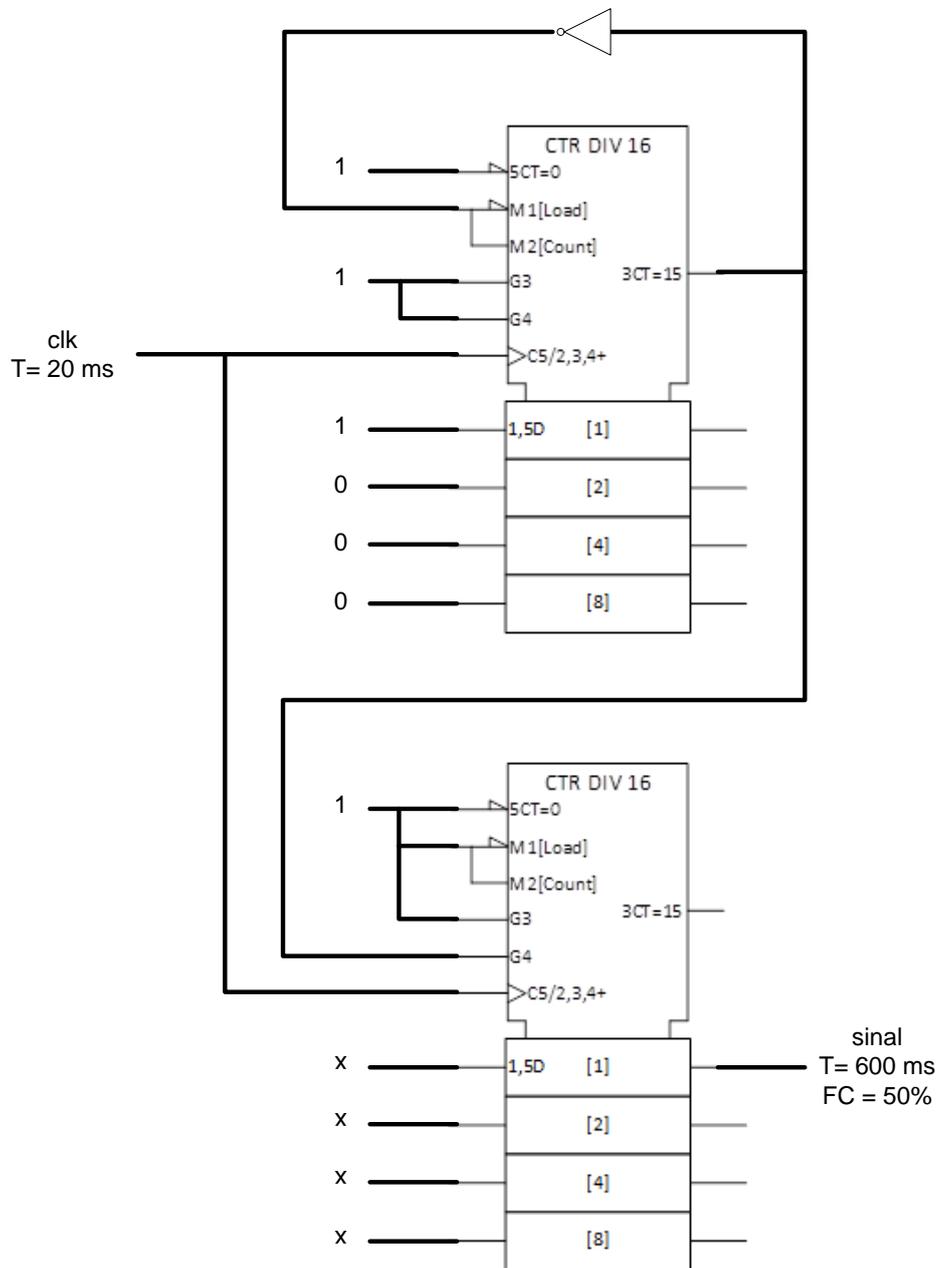
Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

TESTE/E

6. Considere o contador ilustrado em baixo, ligado a um sinal de relógio de 50 Hz (T=20ms). Utilizando a lógica adicional que considerar necessária, utilize um ou mais contadores deste tipo de modo a gerar um sinal com período de 600ms, com um *duty-cycle* de 50% (i.e., $T_H=T_L=T/2$).[1,0 val.]

$$n^{\circ} \text{ total de contagens por periodo} = \frac{600ms}{20ms} = 30$$

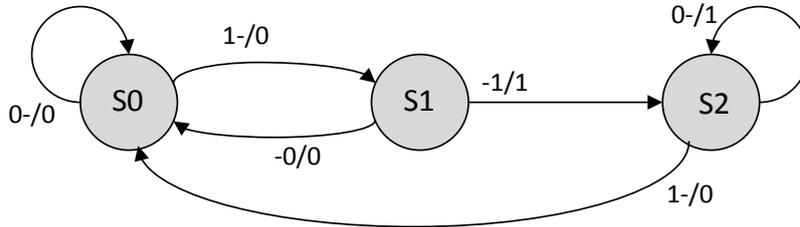
Uma vez que cada contador só permite fazer um máximo de 16 contagens, pode-se pensar numa solução que conta sequências de 15 de contagens (de 1 a 15, por exemplo), garantindo-se desta forma que o fator de ciclo dos bits da contagem dessas sequências é igual a 50%.



Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

TESTE / E

Considere o seguinte diagrama de estados de um circuito sequencial síncrono, caracterizado por duas entradas (A,B) e uma saída (X):



Codificação dos Estados	
S0	00
S1	01
S2	10

- a) Apresente, no quadriculado, a tabela de transição de estados deste circuito.[1,0 val.]
- b) Sintetize as funções lógicas correspondentes às entradas dos flip-flops. Considere a utilização de flip-flops do tipo D.[1,5 val.]

Estado Actual		Entradas		Estado Seguinte		Saída
Q1	Q0	A	B	D1	D0	X
0	0	0	0	0	0	0
0	0	0	1	0	0	0
0	0	1	0	0	1	0
0	0	1	1	0	1	0
0	1	0	0	0	0	0
0	1	0	1	1	0	1
0	1	1	0	0	0	0
0	1	1	1	1	0	1
1	0	0	0	1	0	1
1	0	0	1	1	0	1
1	0	1	0	0	0	0
1	0	1	1	0	0	0

$$D0 = \overline{Q1} \cdot \overline{Q0} \cdot A$$

$$D1 = Q0 \cdot B + Q1 \cdot \overline{A}$$

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---



(Página deixada intencionalmente em branco.)

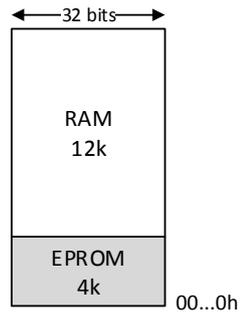
Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

TESTE/E

7. Projecte um sistema de memória constituído por 16k endereços e com palavras de 32 bits, de acordo com o mapa de memória ilustrado na figura. A EPROM deverá ser endereçada a partir dos endereços mais baixos.

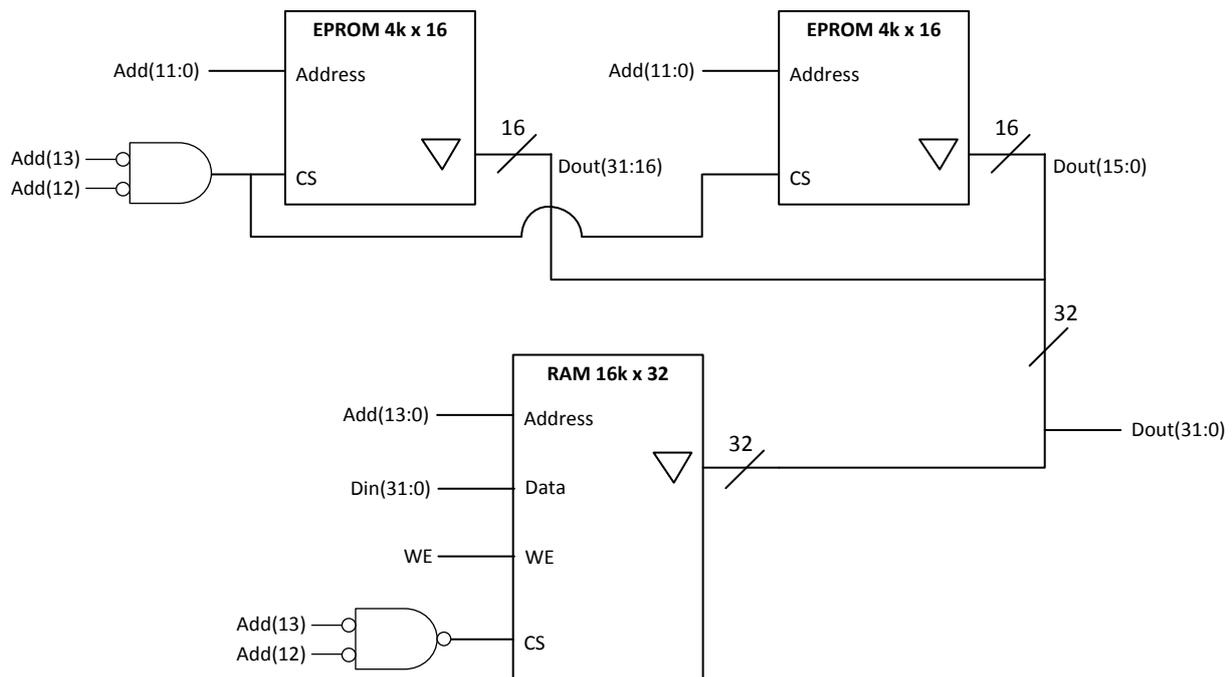
Considere que para a concretização deste projecto dispõe dos seguintes dispositivos de memória:

- RAM 16k x 32 bits
- EPROM 4k x 16 bits



Assuma que estes dispositivos dispõem de entrada de CE que, quando inactiva, permitem colocar o barramento de dados no estado de alta impedância. Pode utilizar os componentes que julgar mais convenientes para realizar o circuito de descodificação.....[1,5 val.]

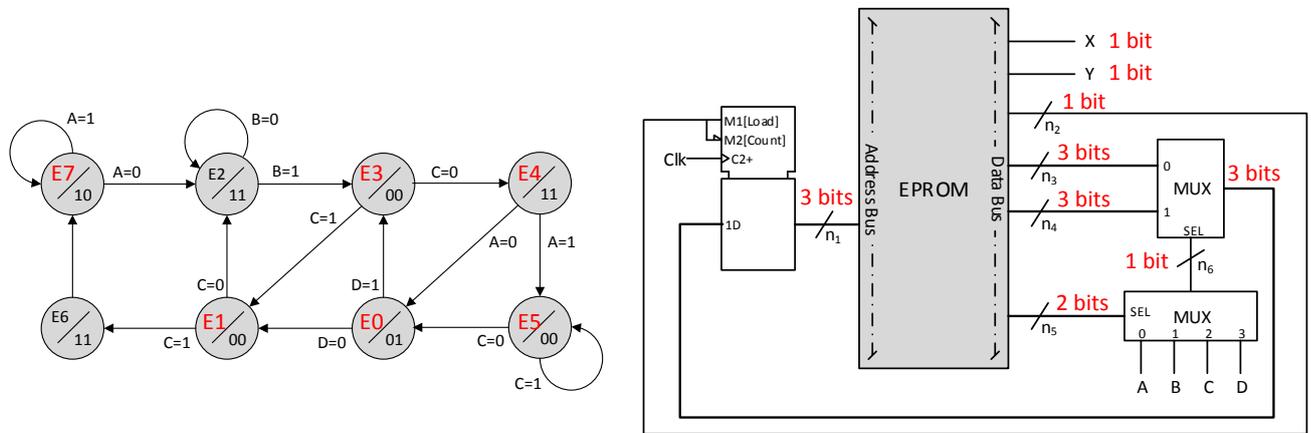
NOTA: Para garantir a legibilidade do circuito, represente as diferentes linhas de dados e de endereços através de barramentos.



Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

TESTE/E

8. Considere o seguinte diagrama de estados de um circuito sequencial síncrono, caracterizado por 4 entradas (A,B,C,D) e 2 saídas (X,Y):



Pretende-se implementar este circuito através de uma máquina de estados micro-programada constituída por uma EPROM e um contador binário com carregamento paralelo.

- Complete o diagrama de estados, indicando uma codificação válida para os estados não identificados (utilize a notação adoptada: E3=estado 3). **(ver figura)** [0,5 val.]
- Identifique (ex: letra, nome ou acrónimo) e indique a largura (n° bits) dos sinais representados no diagrama: n_1, n_2, n_3, n_4, n_5 e n_6 . **(ver figura)** [0,5 val.]
- Determine o conteúdo da fracção da EPROM que permite implementar todas as transições do diagrama de estados que saem dos estado E2 e E6. Não se esqueça de identificar os diversos campos, bem como os endereços correspondentes a essas posições de memória. [1,0 val.]

Endereço na ROM	(X,Y)	n_2	n_3	n_4	n_5
010	11	1	010	011	01
110	11	0	X	X	x

ou

Endereço na ROM	(X,Y)	n_2	n_3	n_4	n_5
010	11	1	010	011	01
110	11	1	111	111	x

- Indique a dimensão mínima da EPROM de forma a garantir o funcionamento do circuito, tendo em conta este diagrama de estados (não precisa fazer qualquer normalização para uma potência inteira de 2). [0,5 val.]

8 estados → 8 entradas na memória

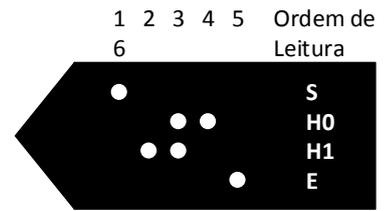
11 bits de dados à saída da ROM → 11 bits por entrada na memória

TOTAL: 8x11 bits

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

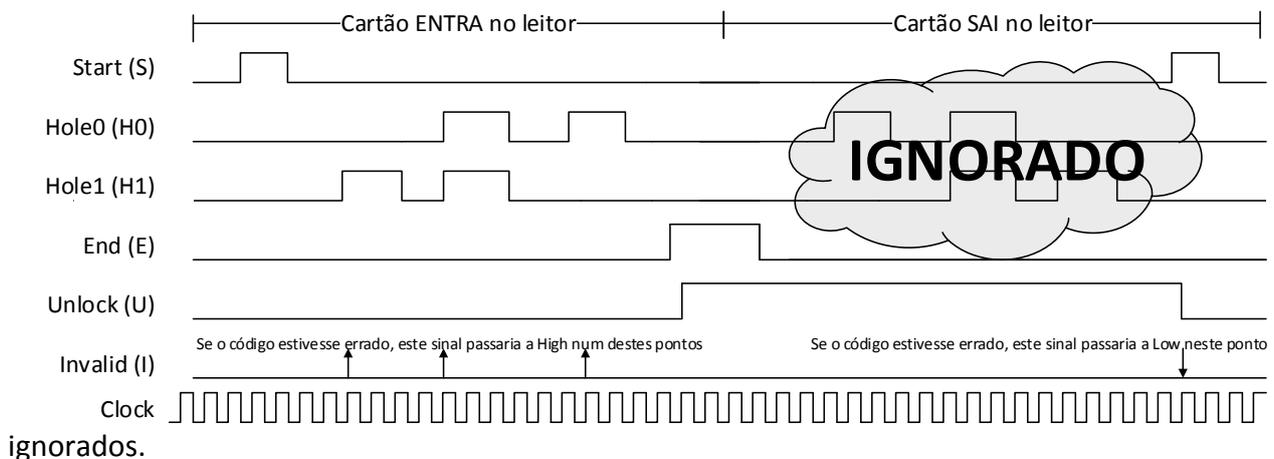
TESTE / E

9. Considere uma fechadura activada através de uma chave de plástico perfurado. Ao inserir a chave na fechadura existe um conjunto de 4 sensores que identificam se cada furo está aberto (valor lógico 1) ou tapado (valor lógico 0).



O código da chave é constituído por 3 números codificados em binário (H1,H0) pertencentes ao conjunto {01,10,11}. Estes 3 números são lidos sequencialmente, intercalados pela leitura do número separador (H1,H0)=(0,0) correspondente ao espaçamento de plástico entre furos. O código é antecedido pela activação do sinal *Start* (S), que assinala o início da leitura do código. O final do código é assinalado pela activação do sinal *End* (E), a que corresponderá a abertura do trinco (*Unlock*) caso o código esteja correcto. Em caso de inserção de um código inválido deverá ser aceso um led (*Invalid*) após a detecção do erro.

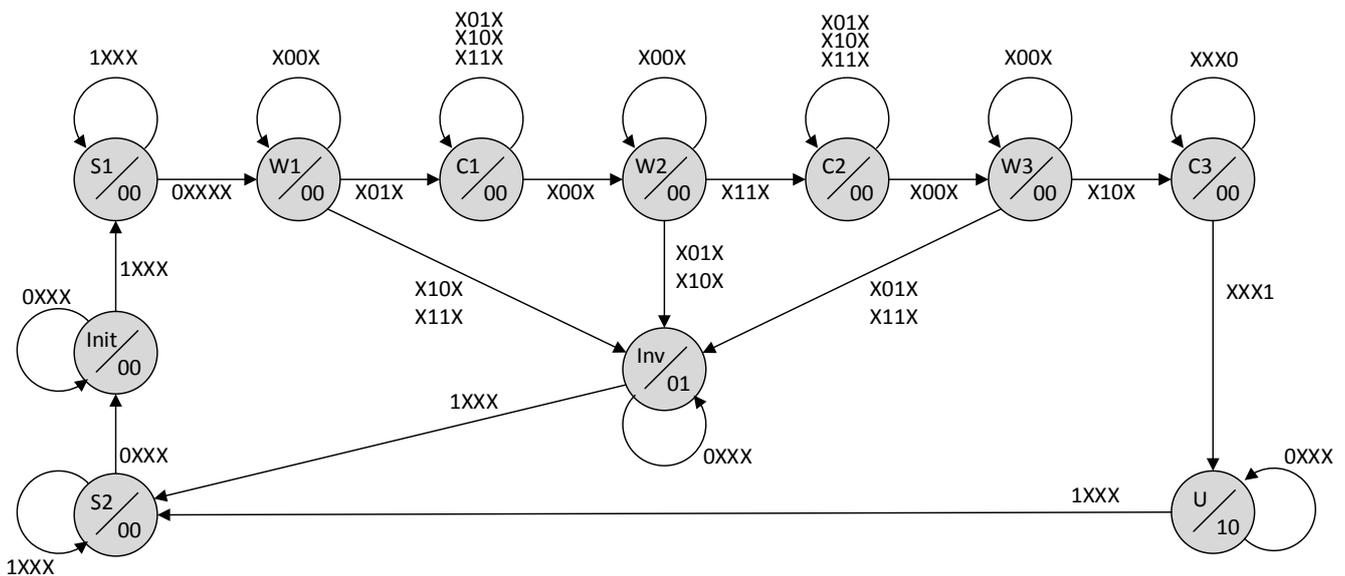
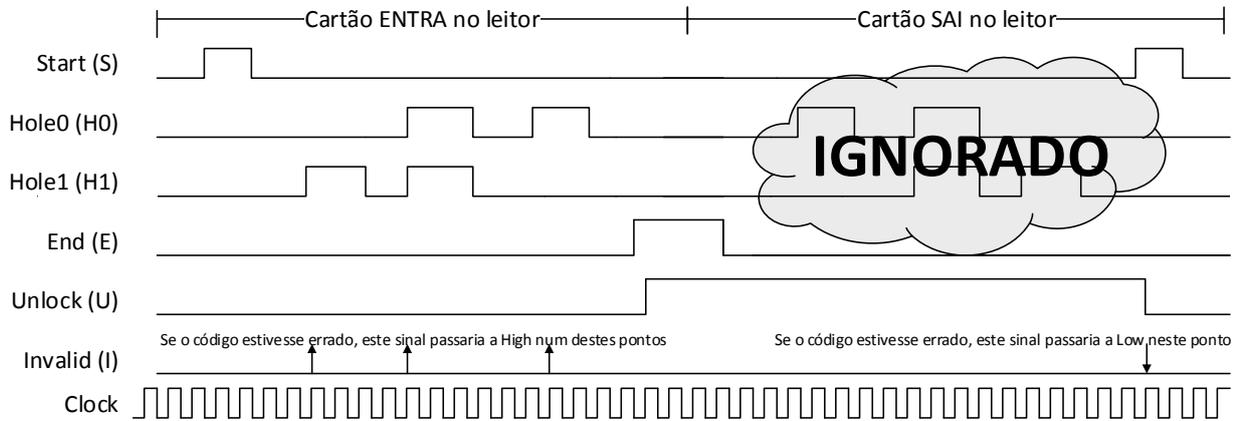
Após a leitura do sinal *End* (E) ou a detecção de erro a máquina de estados deve permanecer parada até que se volte a activar o sinal *Start* (S), correspondente à segunda passagem pelo furo *Start* (S) pelo sensor, aquando da retirada da chave da fechadura. Nessa altura a máquina deverá voltar ao estado inicial. Durante o movimento de retirada da chave todos os sensores, excepto o *Start* (S), são



Esboce o diagrama de estados correspondente a esta máquina. Tome as decisões e/ou simplificações que julgar.

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

(Página deixada intencionalmente em branco.)



Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.