

Antes de iniciar a prova, tenha em atenção o seguinte:

- i. O enunciado da prova inclui 12 páginas.
- ii. O teste contempla as perguntas 5, 6, 7, 8 e 9 e tem a duração de 1h30m.
- iii. O exame contempla todas as perguntas e tem a duração de 2h30m.
- iv. Existem 4 variantes distintas da prova: A, B, C e D.
- v. A prova é sem consulta. Sobre a secretária apenas deve encontrar-se a sua identificação (cartão de estudante).
- vi. Identifique todas as folhas do enunciado com:
 - a) Nome;
 - b) Número de aluno;
 - c) Prova que pretende realizar: teste ou exame.
- vii. Recorde que logo após terminar a prova:
 - a) Todas as páginas serão desagafadas e separadas;
 - b) As páginas 1 a 6 serão destruídas, caso tenha manifestado a intenção de fazer o teste;
 - c) Folhas não identificadas não serão cotadas!!!
- viii. Resolva a prova no próprio enunciado. Para cada questão é fornecido um espaço próprio, dentro do qual deverá responder. A sua dimensão está ajustada ao tamanho expectável da resposta.
- ix. Excepcionalmente, e caso realmente necessite, pode usar o espaço extra disponível das páginas em branco, colocadas ao longo da prova. Nesse caso, deve indicar junto ao enunciado da pergunta que a resposta à mesma se encontra na página que utilizou. Tenha presente o aviso descrito no ponto vii.b).
- x. Justifique adequadamente todas as respostas.
- xi. Responda à prova com calma. Se não sabe responder a uma pergunta, passe à seguinte e volte a ela no fim.

MUITO IMPORTANTE: indique, no rodapé de cada página, a prova que pretende realizar:

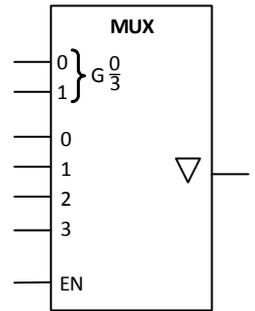
- **2º TESTE (Questões 5, 6, 7, 8 e 9) 1h30m**
- **EXAME (Questões 1 a 9) 2h30m**

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

EXAME

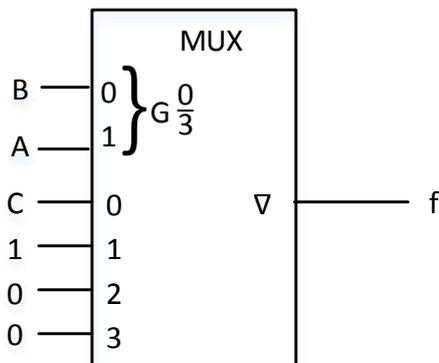
1. Considere a função lógica $f(A, B, C) = \overline{(A \oplus C)} \cdot \overline{(B + C)} \oplus A$, em que a variável A é a de maior peso.
- a) Apresente a tabela de verdade correspondente às funções Booleanas: $(A \oplus C)$, $(B + C)$, $\overline{(A \oplus C)} \cdot \overline{(B + C)}$ e $f(A, B, C)$ [1,5 val.]
- b) Utilizando exclusivamente portas NOT e multiplexers com saída tri-state semelhantes aos ilustrados, projete e implemente a função lógica $f(A, B, C)$. . [1,5 val.]



a)

A	B	C	$X = \overline{A \text{ xor } B}$	$Y = \overline{A + B}$	$\overline{X \cdot Y}$	f
0	0	0	1	1	0	0
0	0	1	0	0	1	1
0	1	0	1	0	1	1
0	1	1	0	0	1	1
1	0	0	0	1	1	0
1	0	1	1	0	1	0
1	1	0	0	0	1	0
1	1	1	1	0	1	0

b)



Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

EXAME

2. Considere a função lógica $f(A,B,C,D,E)$ incompletamente especificada, definida da seguinte forma:

$$f(A,B,C,D,E) = \sum m(0,4,6,10,11,13,15,18,20,22,24,25) + \sum m_d(2,8,9,12,14,16,21)$$

A variável A é a de maior peso e a variável E é a de menor peso.

- a) Apresente o mapa de Karnaugh correspondente a esta função..... [0,5 val.]
- b) Identifique a expressão algébrica correspondente à forma mínima disjuntiva desta função. Justifique, apresentando os implicantes (agrupamentos). [1,0 val.]
- c) Na solução por si identificada, qual o valor da função quando a entrada (A,B,C,D,E) toma o valor 21? Justifique. [0,5 val.]

a)

A	B	CDE	000	001	011	010	110	111	101	100
0	0		1	0	0	X	1	0	0	1
0	1		X	X	1	1	X	1	1	X
1	1		1	1	0	0	0	0	0	0
1	0		X	0	0	1	1	0	X	1

b)

$$f = \bar{A}B + \bar{B}\bar{E} + B\bar{C}\bar{D}$$

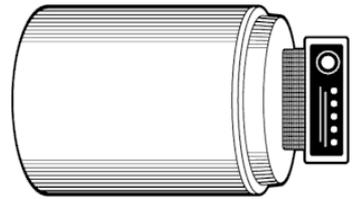
c)

Elemento 21 da tabela (corresponde a ABCDE = 10101) tem valor X. Como não está incluído em nenhum agrupamento, toma valor 0.

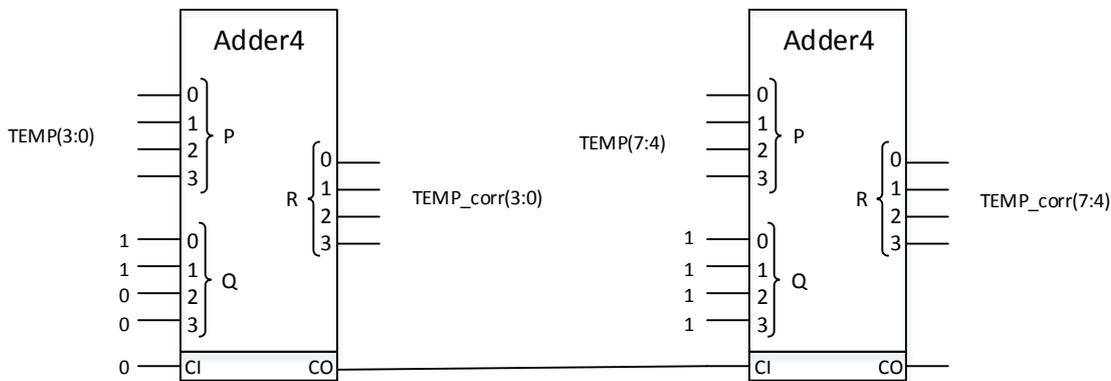
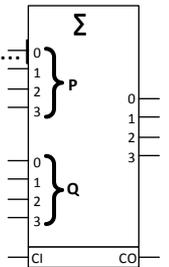
Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

EXAME

3. Durante o processo de fabrico de um sensor de temperatura destinado a equipar caldeiras de aquecimento de água foi detetado um defeito de calibração que provoca um desvio constante no valor medido: o valor lido no seu porto de saída é 13°C superior ao valor real. O sensor possui uma saída digital (TEMP) com 8 bits, correspondentes à representação em complemento para 2 da temperatura (em °C).



Implemente um circuito que permita corrigir o valor obtido à saída do sensor. Utilize exclusivamente somadores de 4 bits, conforme ilustrado na figura.....

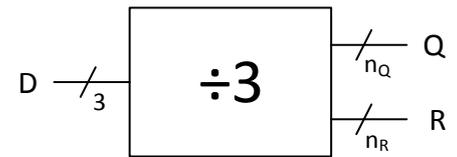


Porque $13_{(8)} = 00001101_{(2)}$ e $-13_{(8)} = 11110011_{(2)}$ em notação de complemento para 2.

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

EXAME

4. Pretende-se implementar um circuito combinatório que realize a operação de divisão inteira por 3. Considera-se que o operando de entrada (dividendo (D)) é um número inteiro de 3 bits sem sinal. O circuito deverá produzir à saída dois números inteiros: o quociente (Q) (i.e., o resultado da divisão inteira) e o resto (R). Exemplo: $D=5 \Rightarrow Q=1; R=2$



a) Indique o número de bits necessário para representar os sinais Q e R (i.e., indique o valor de n_Q e n_R). Justifique. [0,5 val.]

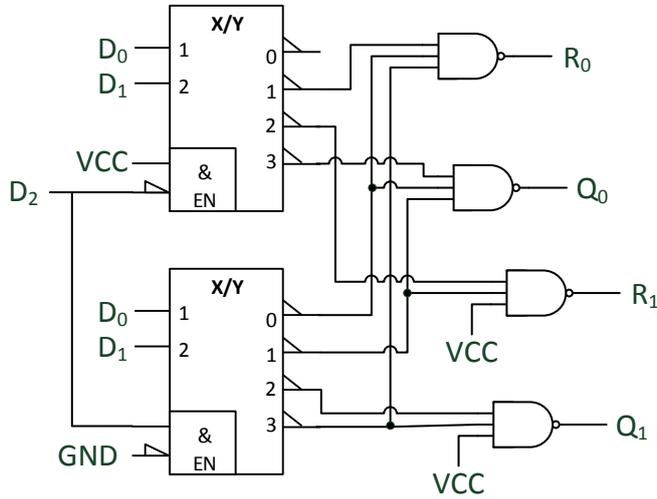
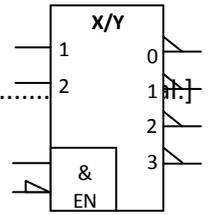
$n_R = n_Q = 2$ bits porque na divisão inteira por 3, o resto só toma valores 0, 1 ou 2 e o quociente toma valores 0, 1 ou 2 pois só temos 3 bits para o dividendo e o maior número com 3 bits é o 7 ($=111_{(2)}$)

b) Represente a tabela de verdade do circuito, indicando o valor de todos os bits de Q e R para todas as combinações possíveis de D..... [1,0 val.]

$D_2D_1D_0$	Q_1Q_0	R_1R_0
000	00	00
001	00	01
010	00	10
011	01	00
100	01	01
101	01	10
110	10	00
111	10	01

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

c) Projete um circuito combinatório que implemente todos os bits dos sinais Q e R. Utilize, exclusivamente, decodificadores (2:4) semelhantes ao ilustrado, e portas NAND (3 entradas).....



Aluno:

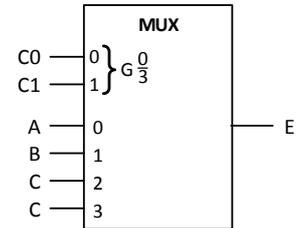
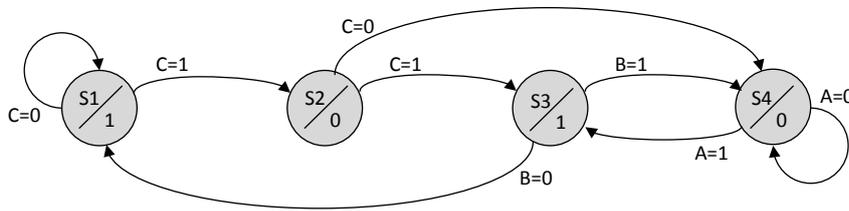
Nº

Prova: Teste
 Exame

Pág. 6

TESTE / EXAME

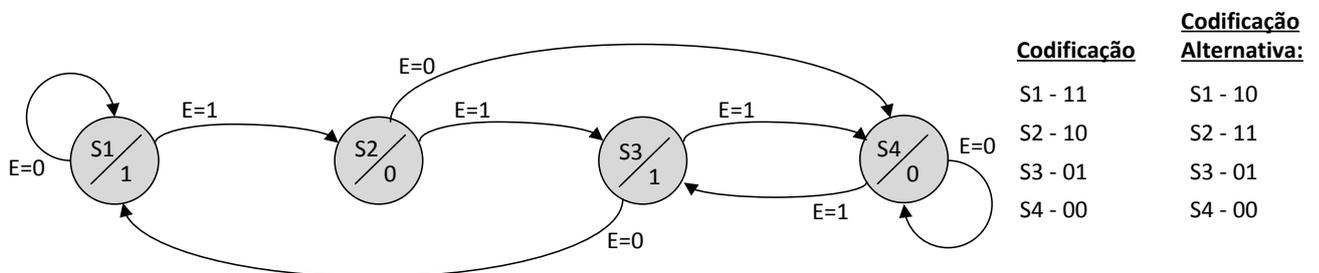
7. Considere o seguinte diagrama de estados de um circuito sequencial síncrono, caracterizado por três entradas (A,B,C) e uma saída (K):



Ao observar que uma única entrada é inspecionada em cada estado do circuito, o projetista optou por ligar as três entradas a um multiplexer (4:1) para seleção da entrada a considerar em cada estado. Assumiu, ainda, que o sinal obtido da codificação em binário natural dos 4 estados (C1,C0) é ligado diretamente à entrada de seleção do multiplexer.

- Tendo em consideração a opção de projeto baseada na utilização do multiplexer 4:1 para seleção das entradas:
 - Indique uma codificação válida para os 4 estados (S1,S2,S3,S4) do diagrama de estados
 - Redesenhe o diagrama de estados tendo em consideração uma única entrada (E), obtida à saída do multiplexer [0,5 val.]
- Apresente a tabela de transição de estados referente ao diagrama de estados modificado na alínea anterior..... [0,5 val.]
- Sintetize as funções lógicas correspondentes às entradas dos flip-flops. Considere a utilização de flip-flops do tipo D. [1,0 val.]

a)



b)

Estado actual	E	Estado seguinte	K
Q_1Q_0		D_1D_0	
S1 (11)	0	S1 (11)	1
	1	S2 (10)	1
S2 (10)	0	S4 (00)	0
	1	S3 (01)	0
S3 (01)	0	S1 (11)	1
	1	S4 (00)	1
S4 (00)	0	S4 (00)	0
	1	S3 (01)	0

c) $D_0 = Q_0 \oplus E$ e $D_1 = \bar{E}Q_0 + Q_1Q_0$

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---



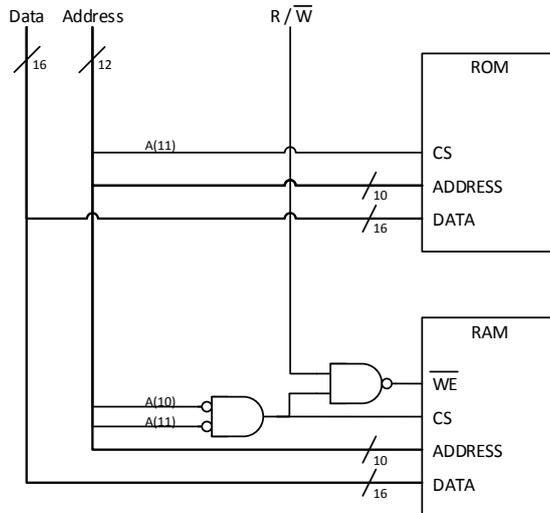
(Página deixada intencionalmente em branco.)

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

TESTE / EXAME

8. Considere o seguinte circuito referente a um plano de memória com uma ROM e uma RAM.

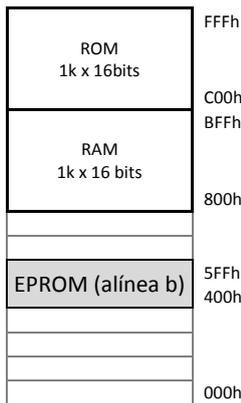


NOTAS:

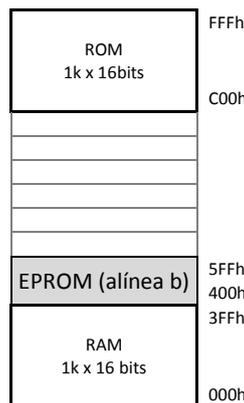
- Assuma que os portos DATA de todas as memórias são tri-state
- Assuma que o porto DATA da memória RAM é bidirecional

a) Indique qual dos seguintes mapas de memória (A, B, C, D) corresponde ao circuito apresentado..... [0,5 val.]

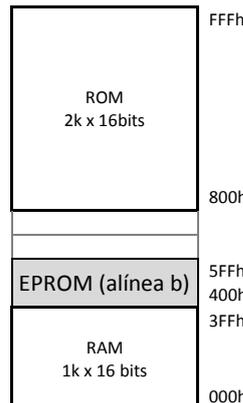
A: _____ B: _____ C: X D: _____ E (nenhum dos anteriores) : _____



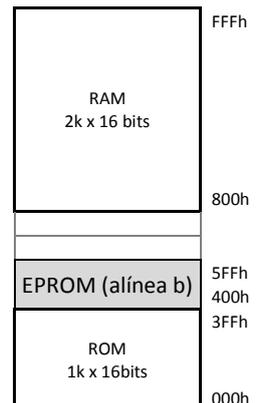
Mapa A



Mapa B



Mapa C



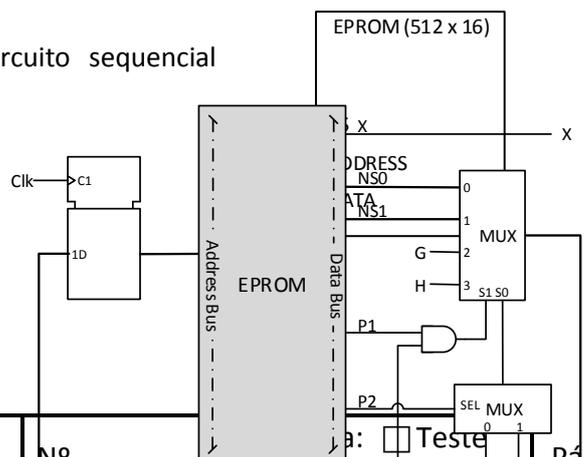
Mapa D

b) Pretende-se ligar, a este plano de memória, uma memória EPROM correspondente à zona assinalada no mapa de memória (ver acima). Desenhe o circuito de descodificação que deverá ser ligado à entrada CS deste dispositivo. Justifique..... [1,0 val.]

$$CS = \overline{A_9} \cdot A_{10} \cdot \overline{A_{11}}$$

TESTE / EXAME

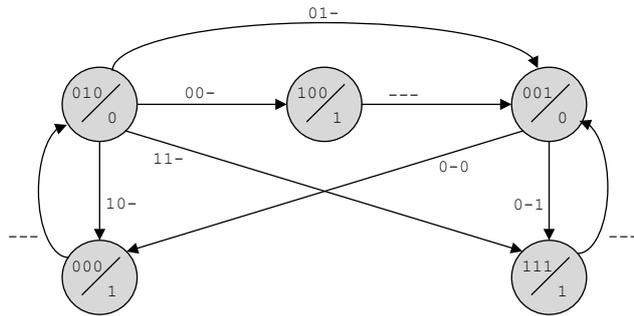
9. Considere o seguinte diagrama de estados de um circuito sequencial síncrono, caracterizado por 3 entradas (R,A,B) e 1 saída (X):



Aluno: _____

Nº _____

Teste / Exame



Pretende-se implementar este circuito através de uma máquina de estados micro-programada constituída por uma EPROM e um registo.

a)
endo em consideração o conjunto de transições que saem do estado "010", indique o valor das constantes G e H (em binário), que deverão ser colocadas à entrada do multiplexer (4:1). Justifique.

G=000 ; H=111

b) Determine o conteúdo da fracção da EPROM que permite implementar todas as transições do diagrama de estados que saem dos estados "010" e "100". Não se esqueça de identificar os diversos campos, bem como os endereços correspondentes a essas posições de memória. [1,0 val.]

Endereço	P2	P1	NS1	NS0	X
010	0	1	001	100	0
100	X	0	001	001	1

c) Indique a dimensão mínima da EPROM de forma a garantir o funcionamento do circuito, tendo em conta este diagrama de estados (não precisa fazer qualquer normalização da dimensão obtida para uma potência inteira de 2). Justifique. [0,5 val.]

Endereço menor = 000
Endereço maior = 111 => 8 endereços x 9 bits = 72 bits

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---