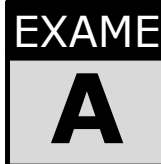


Antes de iniciar a prova, tenha em atenção o seguinte:

- i. A prova contempla 10 perguntas, distribuídas por 12 páginas, e tem a duração de 2h30m.
- ii. A prova é sem consulta. Sobre a secretária apenas deve encontrar-se a sua identificação (cartão de estudante).
- iii. Identifique todas as folhas do enunciado com o seu nome e número mecanográfico. Recorde que logo após terminar a prova todas as páginas serão desagrafadas e separadas. Folhas não identificadas não serão cotadas!!!
- iv. Resolva a prova no próprio enunciado. Para cada questão é fornecido um espaço próprio, dentro do qual deverá responder. A sua dimensão está ajustada ao tamanho expectável da resposta.
- v. Excepcionalmente, e caso realmente necessite, pode usar o espaço extra disponível das páginas em branco, colocadas ao longo da prova. Nesse caso, deve indicar junto ao enunciado da pergunta que a resposta à mesma se encontra na página que utilizou.
- vi. Justifique adequadamente todas as respostas.
- vii. Responda à prova com calma. Se não sabe responder a uma pergunta, passe à seguinte e volte a ela no fim.

1. Considere o número $X = 1ADh$, representado na base 16.

- a) Converta-o para a base 10. [1,0 val.]
- b) Represente o mesmo número na base 8. [0,5 val.]
- c) Represente o número $Y = -X$ na base 2, em notação em complemento para dois. [0,5 val.]



(Página deixada intencionalmente em branco.)

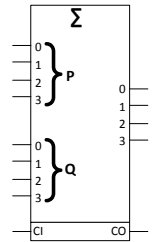
Aluno:

Nº

Pág. 4

4. Pretende-se projectar um circuito que compara dois números de 4 bits A(3:0) e B(3:0) em representação de complemento para dois. O circuito deverá apresentar na sua saída X(3:0) o maior dos dois operandos de entrada (A ou B). Deverá ainda ter duas saídas de 1 bit cada (EQ e GT) que tomam valores de acordo com a seguinte tabela:

Comparação	EQ	GT	X(3:0)
A=B	1	Indiferente	A(3:0) ou B(3:0)
A>B	0	1	A(3:0)
A<B	0	0	B(3:0)

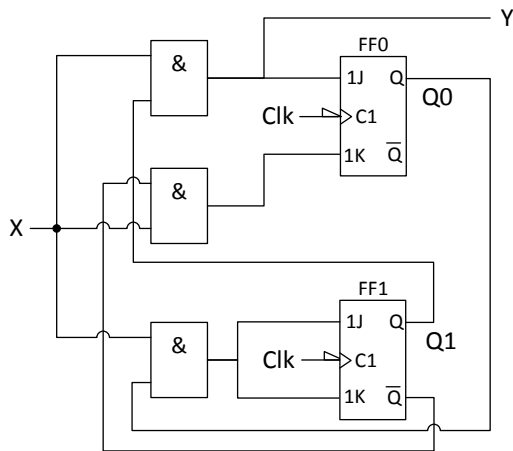


Desenhe o diagrama lógico do circuito utilizando o circuito somador ilustrado na figura acima e o mínimo de logica discreta possível..... [2,0 val.]

Aluno:

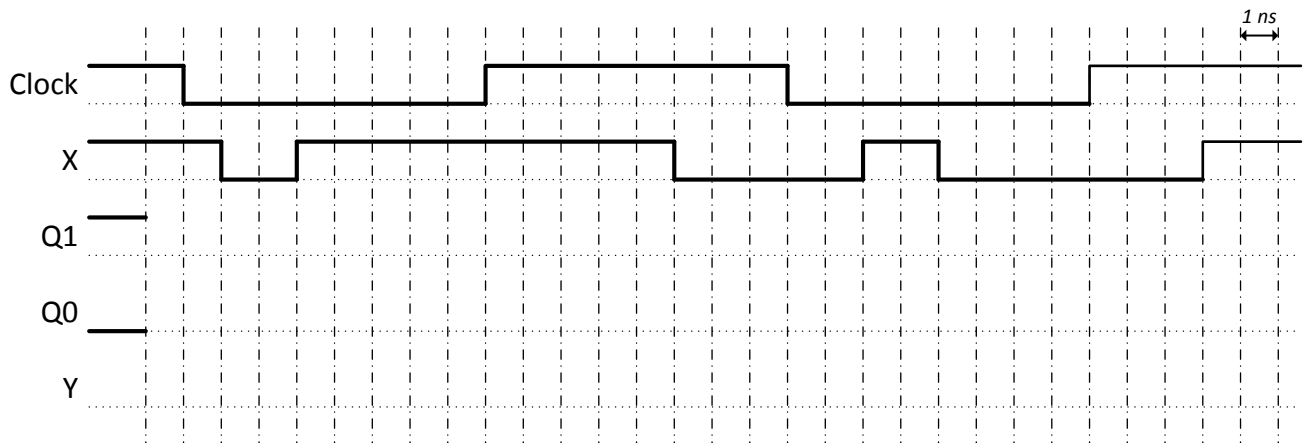
Nº

6. Considere o circuito sequencial da figura seguinte, com uma entrada X e uma saída Y, e os tempos de propagação indicados na tabela:



	AND	FF_JK
t_{pLH}	1ns	2ns
t_{pHL}	2ns	2ns
t_{Hold}		1ns
t_{Setup}		1ns

a) Esboce as formas de onda indicadas para o circuito da figura. [1,0 val.]

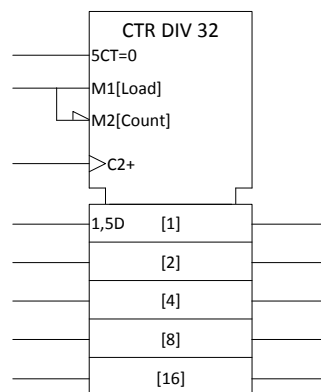


b) Determine a frequência máxima de relógio para a qual o circuito funciona correctamente. Justifique. [0,5 val.]

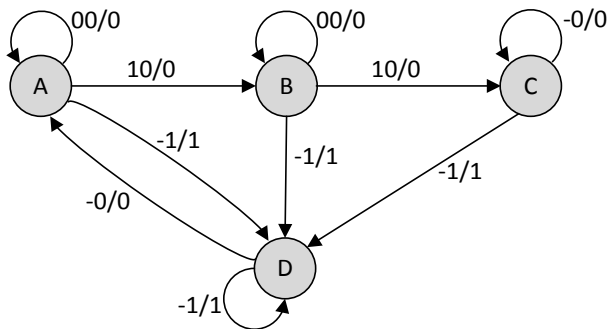
Aluno:	Nº
--------	----

7. Considere o contador representado em baixo. Utilizando o mínimo de lógica combinatória adicional, implemente um circuito que realize a contagem binária da sequência de todos os números ímpares entre 13 e 27 (i.e.: ...,13,15,17,19,21,23,25,27,13,15,17,...) [1,5 val.]

Sugestão: preencha a tabela de transição de estados do contador e observe: i) o valor apresentado pelo bit menos significativo; ii) o valor dos restantes bits.



8. Considere o seguinte diagrama de estados de um circuito sequencial síncrono, caracterizado por duas entradas (N,E) e uma saída (Z):



Codificação dos Estados

A	11
B	10
C	01
D	00

- a) Apresente, no quadriculado, a tabela de transição de estados deste circuito. Considere a codificação de estados indicada na tabela. [1,0 val.]
- b) Sintetize as funções lógicas correspondentes às entradas dos flip-flops e à saída do circuito. Considere a utilização de flip-flops do tipo D..... [1,5 val.]



(Página deixada intencionalmente em branco.)

Aluno:

Nº

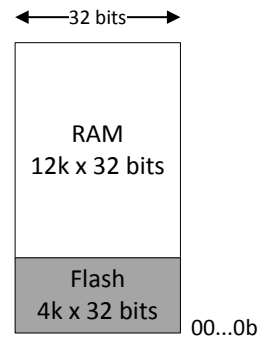
Pág. 10

9. Projecte um sistema de memória constituído por 16k endereços e com palavras de 32 bits, de acordo com o mapa de memória ilustrado na figura. Considere que para a concretização deste projecto dispõe dos seguintes dispositivos de memória:

- RAM 4k x 32 bits
- Flash 4k x 8 bits

Assuma que todas as memórias dispõem de uma entrada CE (chip-enable), que permite colocar o barramento de dados em alta impedância. Pode utilizar os componentes que julgar mais convenientes para realizar o circuito de descodificação.....[2,0 val.]

NOTA: Para garantir a legibilidade do circuito, represente as diferentes linhas de dados e de endereços através de barramentos.

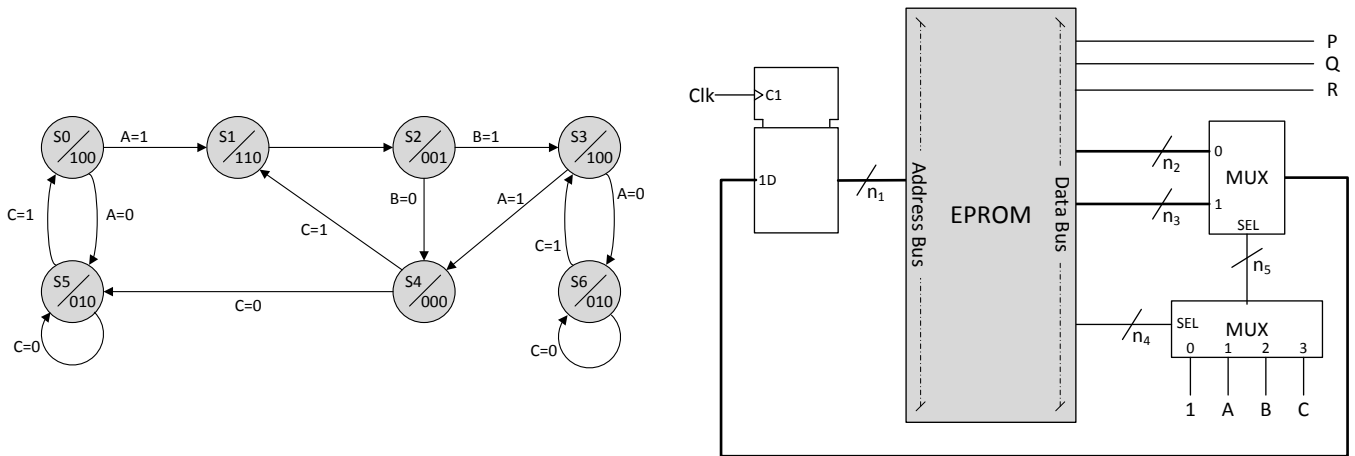


Aluno:

Nº

Pág. 11

10. Considere o seguinte diagrama de estados de um circuito sequencial síncrono, caracterizado por 3 entradas (A,B,C) e 3 saídas (P,Q,R):



Pretende-se implementar este circuito através de uma máquina de estados micro-programada constituída por uma EPROM e um registo.

- Represente, no diagrama de estados, uma codificação possível para os diferentes estados deste circuito..... [0,5 val.]
- Identifique na figura a largura (nº bits) dos sinais representados no diagrama: n₁ a n₅. [0,5 val.]
- Determine o conteúdo da fracção da EPROM que permite implementar todas as transições do diagrama de estados que saem do estado S3 (indique o endereço e o valor das correspondentes posições da memória). [1,0 val.]
- Indique qual a dimensão mínima da EPROM de forma a garantir o funcionamento do circuito, tendo em conta este diagrama de estados (não precisa fazer qualquer normalização para uma potência inteira de 2). [0,5 val.]

Aluno:	Nº
--------	----