

Antes de iniciar a prova, tenha em atenção o seguinte:

- i. O enunciado da prova inclui 12 páginas.
- ii. O teste contempla as perguntas 5, 6, 7, 8 e 9 e tem a duração de 1h30m.
- iii. O exame contempla todas as perguntas e tem a duração de 2h30m.
- iv. Existem 4 variantes distintas da prova: A, B, C e D.
- v. A prova é sem consulta. Sobre a secretária apenas deve encontrar-se a sua identificação (cartão de estudante).
- vi. Identifique todas as folhas do enunciado com:
 - a) Nome;
 - b) Número de aluno;
 - c) Prova que pretende realizar: teste ou exame.
- vii. Recorde que logo após terminar a prova:
 - a) Todas as páginas serão desagafadas e separadas;
 - b) As páginas 1 a 6 serão destruídas, caso tenha manifestado a intenção de fazer o teste;
 - c) Folhas não identificadas não serão cotadas!!!
- viii. Resolva a prova no próprio enunciado. Para cada questão é fornecido um espaço próprio, dentro do qual deverá responder. A sua dimensão está ajustada ao tamanho expectável da resposta.
- ix. Excepcionalmente, e caso realmente necessite, pode usar o espaço extra disponível das páginas em branco, colocadas ao longo da prova. Nesse caso, deve indicar junto ao enunciado da pergunta que a resposta à mesma se encontra na página que utilizou. Tenha presente o aviso descrito no ponto vii.b).
- x. Justifique adequadamente todas as respostas.
- xi. Responda à prova com calma. Se não sabe responder a uma pergunta, passe à seguinte e volte a ela no fim.

MUITO IMPORTANTE: indique, no rodapé de cada página, a prova que pretende realizar:

- **2º TESTE (Questões 5, 6, 7, 8 e 9) 1h30m**
- **EXAME (Questões 1 a 9) 2h30m**

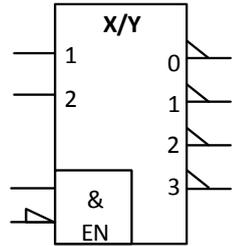
Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	-------------------------------------------------------------------------

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

EXAME

1. Considere a função lógica $f(A, B, C) = \overline{\overline{A \cdot C} \oplus \overline{B + C} \oplus \overline{A} \oplus B}$, em que a variável A é a de maior peso.

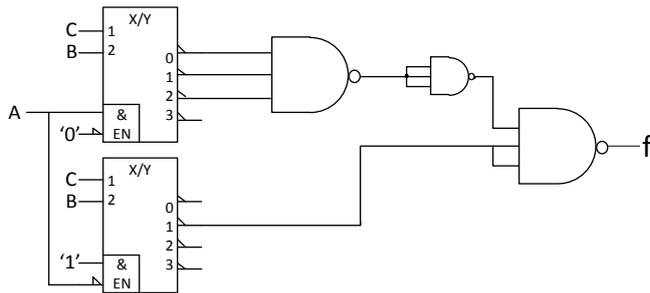
- a) Apresente a tabela de verdade correspondente às funções Booleanas: $\overline{A \cdot C}$, $\overline{B + C}$, $\overline{A} \oplus B$ e $f(A, B, C)$ [1,5 val.]
- b) Utilizando exclusivamente descodificadores semelhantes ao ilustrado ao lado e portas lógicas NAND de 3 entradas, projete e implemente a função lógica $f(A, B, C)$ [1,5 val.]



a)

A	B	C	F(A,B,C)
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

b)



Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	-------------------------------------------------------------------------

EXAME

2. Pretende-se implementar a função lógica $f(A,B,C,D,E)$ que controla o sistema dispensador de colheres de uma máquina de vendas de alimentos. No total, existem 30 produtos, numerados de 0 a 29. De entre as bebidas, o dispensador apenas deverá receber o nível lógico 1 quando o utilizador selecionar um produto com um dos seguintes identificadores: 1,3,5,8,9,12,13,14,17,19,25,27,28, não dispensando qualquer colher nas restantes bebidas. Por corresponderem a produtos sólidos (ex: sandes, bolos, etc.), os identificadores 0,6,10,11,15,20,24, bem como outros eventuais identificadores não utilizados, foram inativadas na secção preparadora de bebidas, pelo que é irrelevante a saída do circuito para este subconjunto de opções. A variável A é a de maior peso e a variável E é a de menor peso.



- a) Apresente, no espaço reservado em baixo, o mapa de Karnaugh correspondente a esta função..... [0,5 val.]
- b) Identifique a expressão algébrica correspondente à forma mínima conjuntiva desta função. Justifique, apresentando os implicados (agrupamentos). [1,0 val.]
- c) Na solução por si identificada, qual o valor da função quando a entrada (A,B,C,D,E) toma o valor 10? Justifique. [0,5 val.]

a)

AB \ CDE	000	001	011	010	110	111	101	100
00	X	1	1	0	X	0	1	0
01	1	1	X	X	1	X	1	1
11	X	1	1	0	X	X	0	1
10	0	1	1	0	0	0	0	X

b)

$$f = (\bar{A} + \bar{D} + E) \cdot (\bar{A} + \bar{C} + \bar{E}) \cdot (\bar{C} + \bar{D} + \bar{E}) \cdot (B + E)$$

- c) $f(10) = 1$, pois o maxtermo 10 não pertence a nenhum dos agrupamentos que definem quando é que $f=0$.

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	-------------------------------------------------------------------------

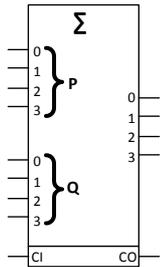
EXAME

3. Para auxiliar o maquinista de um comboio, o fabricante pretende desenvolver um sistema de controlo de velocidade a fim de garantir uma velocidade constante fora das localidades. Para o efeito, o circuito deverá ler a velocidade instantânea (v) através de um sensor e acionar três saídas ligadas aos LEDs (verde, amarelo e vermelho) do painel de instrumentos, que indicam a ação a tomar:



0 km/h	69 70	74 75	120 km/h
VERDE (acelerar)	AMARELO (manter)	VERMELHO (travar)	

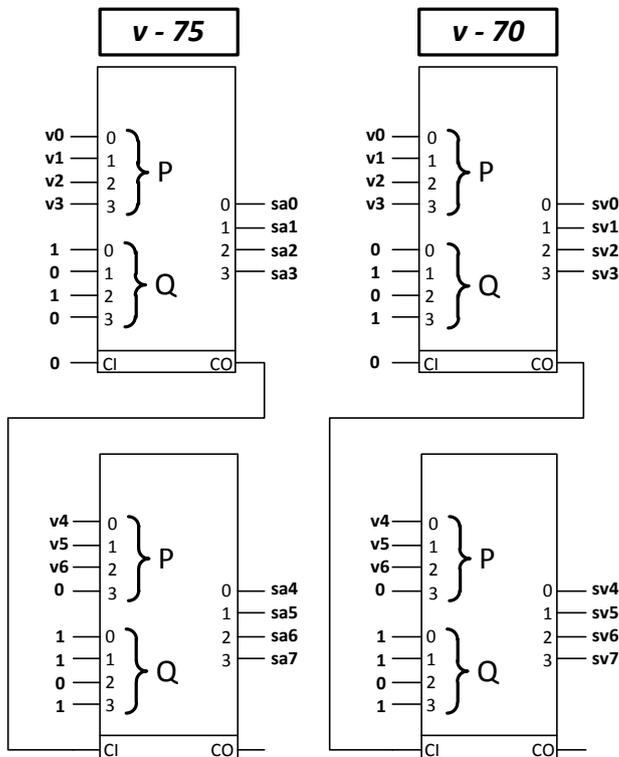
Implemente um circuito que permita gerar as três saídas que acionam os LEDs utilizando, para o efeito, somadores de 4 bits conforme ilustrado na figura. Assuma que a saída do sensor de velocidade tem 7 bits e que o comboio nunca excede os 120 km/h..... [2,0 val.]



$$v - 70 < 0 \Rightarrow \text{VERDE}$$

$$-6 < v - 75 < 0 \Rightarrow \text{AMARELO}$$

$$v - 75 \geq 0 \Rightarrow \text{VERMELHO}$$

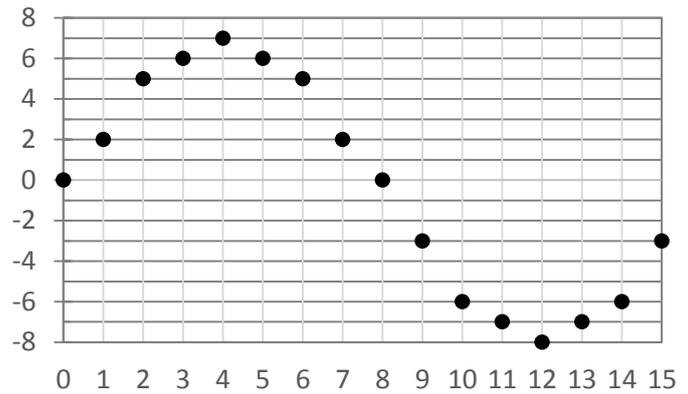


VERDE <= sv7;
AMARELO <= sa7 and (not sv7);
VERMELHO <= not sa7;

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	-------------------------------------------------------------------------

EXAME

4. Pretende-se implementar um circuito combinatório que gere uma aproximação inteira da função $y = \sin(x)$, com operandos de 4-bits, representada no gráfico ao lado. A entrada $x(3:0)$ é sempre positiva e varia entre 0 e 15. A saída $y(3:0)$ é representada em complemento para 2.

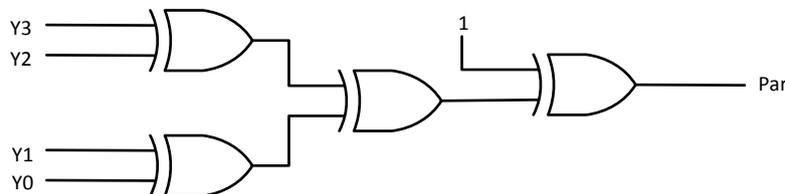


a) Represente a tabela de verdade do circuito, indicando o valor de todos os bits de saída (i.e., Y_3, Y_2, Y_1, Y_0) em função dos bits de entrada (X_3, X_2, X_1, X_0)..... [0,75 val.]

X3	X2	X1	X0	Y3	Y2	Y1	Y0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	1	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	0	1	1	0
0	1	1	0	0	1	0	1
0	1	1	1	0	0	1	0
1	0	0	0	0	0	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	0	1	0
1	0	1	1	1	0	0	1
1	1	0	0	1	0	0	0
1	1	0	1	1	0	0	1
1	1	1	0	1	0	1	0
1	1	1	1	1	1	0	1

b) Projete um circuito combinatório que determine a paridade da saída $y(3:0)$, gerando o valor lógico 1 se o número de 1's da representação de $y(3:0)$ for par.

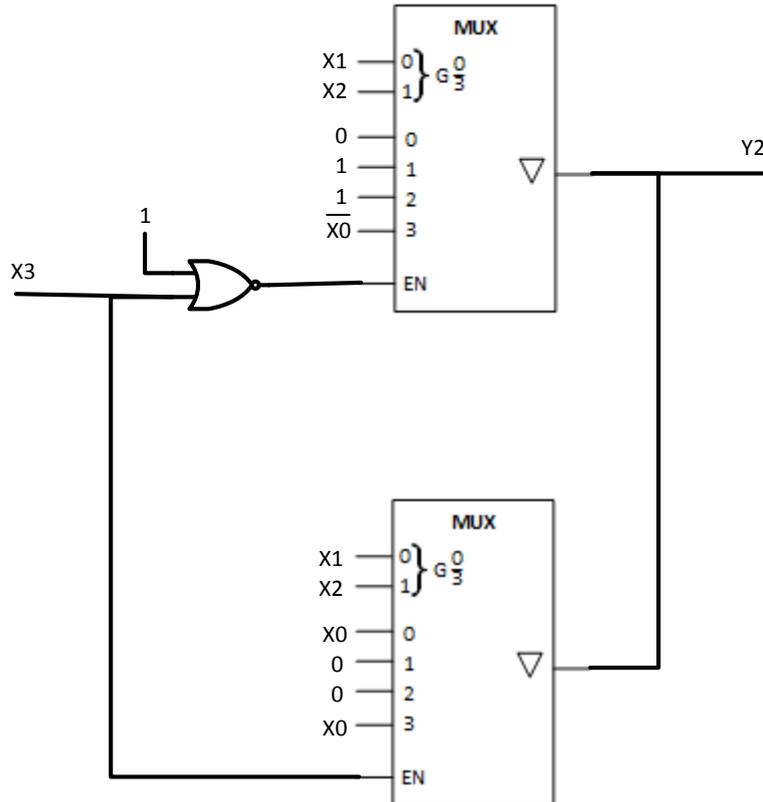
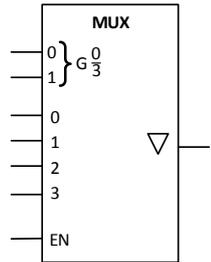
Utilize exclusivamente portas XOR de 2 entradas.....[0,75 val.]



Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	-------------------------------------------------------------------------

EXAME

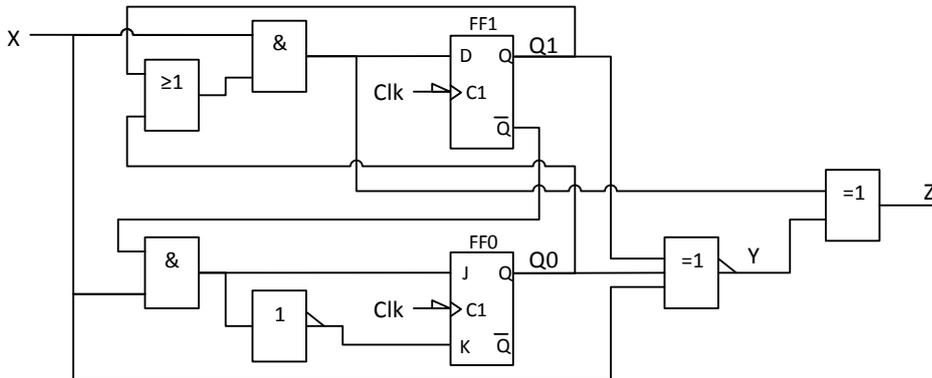
c) Projete um circuito combinatório que implemente a saída Y2. Utilize, obrigatoriamente, multiplexers semelhantes ao ilustrado ao lado e portas NOR de 2 entradas..... [1,5 val.]



Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	-------------------------------------------------------------------------

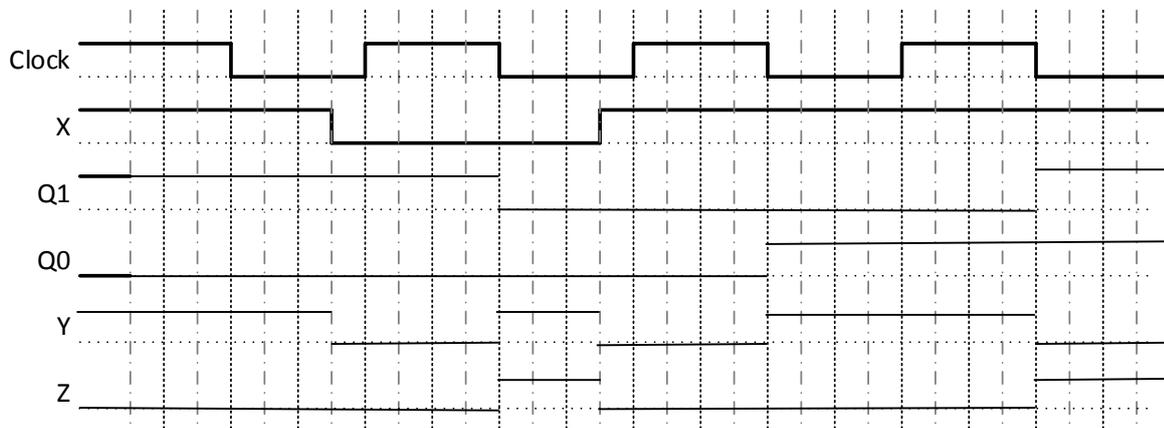
TESTE / EXAME

5. Considere o circuito sequencial da figura seguinte.



	t_p	t_{su}	t_H
FF_D	15ns	5ns	5ns
FF_JK	10ns	5ns	5ns
NOT	3ns		
AND2	5ns		
OR2	6ns		
XOR2	7ps		
XNOR3	9ps		

a) Esboce as formas de onda indicadas para o circuito da figura. Nesta alínea, não considere os tempos de propagação indicados na tabela, assumindo o valor zero para todos eles..... [1,0 val.]



b) Indique, justificadamente, o valor da frequência máxima de relógio para a qual o circuito funciona corretamente. [1,0 val.]

1/31 GHz

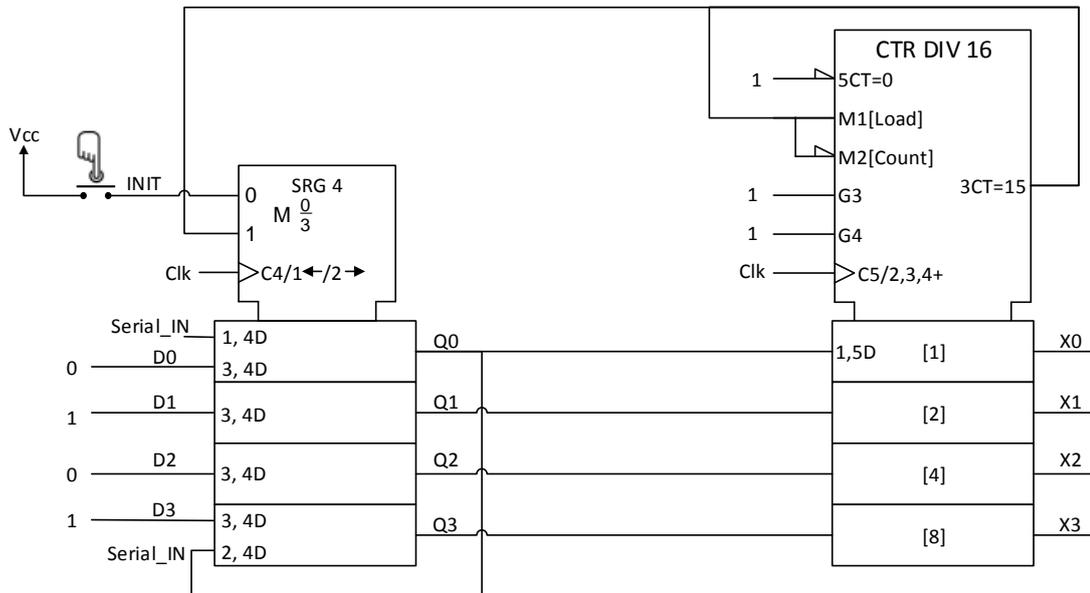
c) Devido a uma rutura de *stock*, é necessário substituir o flip-flop JK por um flip-flop do tipo D. Indique as alterações necessárias ao circuito, de modo a manter o mesmo funcionamento. [1,0 val.]

Retira-se a NOT cuja saída está ligada à entrada K do FF JK; retira-se obviamente o FF JK; a saída da porta AND2 que estava ligada à entrada J do FF JK passa agora a estar ligada à entrada D do FF D; a saída Q do FF D vai corresponder ao sinal Q0 do circuito.

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	-------------------------------------------------------------------------

TESTE / EXAME

6. Considere o seguinte circuito, ligado a um sinal de relógio de 1 kHz. Assuma que o sinal INIT foi ativado há algumas horas, pelo que o mesmo se encontra desde então ligado ao nível lógico 0 de modo a gerar uma sequência de valores na saída (X3 X2 X1 X0) que se repete ao longo do tempo.



a) Apresente a sequência dos valores repetidos ao longo do tempo na saída (X3 X2 X1 X0), identificando todos os estados utilizando o sistema de representação binário natural.

Sugestão: comece por identificar a sequência de valores observada na saída (Q3 Q2 Q1 Q0)..... [1,0 val.]

1010-1011-1100-1101-1110-1111-0101-0110-0111-1000-1001-1010-1011-1100-1101-1110-1111 e volta ao início

b) Indique o período do sinal (X3 X2 X1 X0) (i.e., o menor intervalo de tempo que compreende a sequência de valores que é repetida ao longo do tempo). Justifique com todos os cálculos que realizar. [0,5 val.]

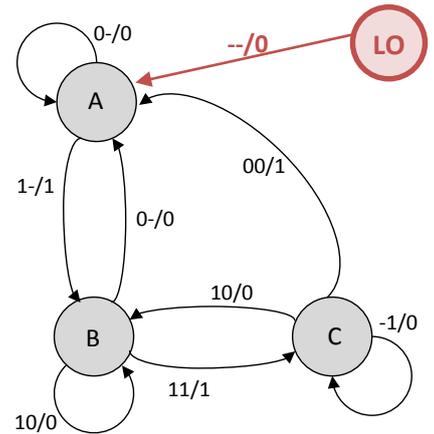
T = 17 ms

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	-------------------------------------------------------------------------

TESTE / EXAME

7. Considere o seguinte diagrama de estados de um circuito sequencial síncrono, caracterizado por duas entradas (X,Y) e uma saída (Z):

Codificação dos Estados	
A	11
B	10
C	01



- Redesenhe o diagrama de estados de modo a garantir a inexistência de situações de *lock-out*.[0,5 val.]
- Apresente a tabela de transição de estados do diagrama alterado. Considere a codificação de estados indicada na tabela.[0,5 val.]
- Sintetize as funções lógicas correspondentes às entradas dos flip-flops e à saída do circuito. Considere a utilização de flip-flops do tipo D.[1,0 val.]

$$D_1 = (Q_1 + \overline{Q_0} + \overline{Y})(\overline{Q_1} + Q_0 + \overline{X} + \overline{Y})$$

XY Q ₁ Q ₀	XY			
	00	01	11	10
00	1	1	1	1
01	1	0	0	1
11	1	1	1	1
10	1	1	0	1

$$D_0 = (\overline{Q_1} + \overline{X} + Y)(\overline{Q_0} + \overline{X} + Y)(\overline{Q_1} + \overline{Q_0} + \overline{X})$$

XY Q ₁ Q ₀	XY			
	00	01	11	10
00	1	1	1	1
01	1	1	1	0
11	1	1	0	0
10	1	1	1	0

$$Z = \overline{Q_1}Q_0\overline{X}\overline{Y} + Q_1XY + Q_1Q_0X$$

XY Q ₁ Q ₀	XY			
	00	01	11	10
00	0	0	0	0
01	1	0	0	0
11	0	0	1	1
10	0	0	1	0

	Est. At.		Entradas			Est. Seg.		Saída	
	Q ₁	Q ₀	X	Y		D ₁ (Q ₁ ⁺)	D ₀ (Q ₀ ⁺)		
LOCK (LO)	0	0	0	0	A	1	1	0	
	0	0	0	1		1	1	0	
	0	0	1	0		1	1	0	
	0	0	1	1		1	1	0	
C	0	1	0	0	A	1	1	1	
	0	1	0	1	C	0	1	0	
	0	1	1	0	B	1	0	0	
	0	1	1	1	C	0	1	0	
B	1	0	0	0	A	1	1	0	
	1	0	0	1		1	1	0	
	1	0	1	0		B	1	0	0
	1	0	1	1		C	0	1	1
A	1	1	0	0	A	1	1	0	
	1	1	0	1		1	1	0	
	1	1	1	0		B	1	0	1
	1	1	1	1			1	0	1

Aluno:

Nº

Prova: Teste
 Exame



(Página deixada intencionalmente em branco.)

Aluno:

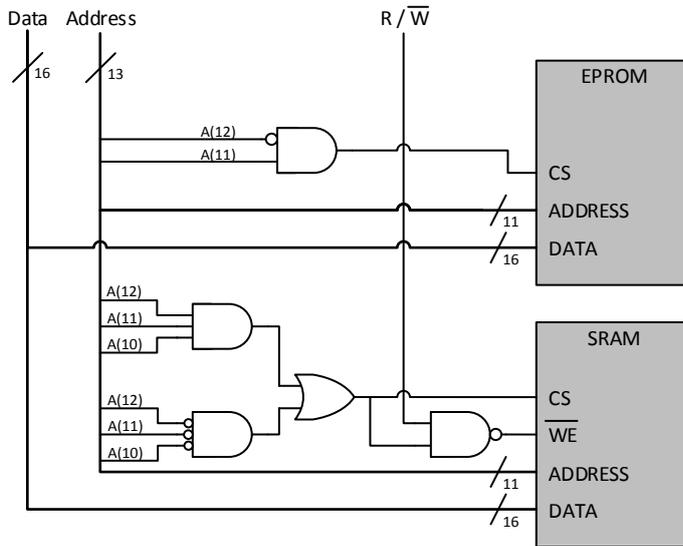
Nº

Prova: Teste
 Exame

Pág. 10

TESTE / EXAME

8. Considere o seguinte circuito referente a um plano de memória com uma EPROM e uma SRAM.

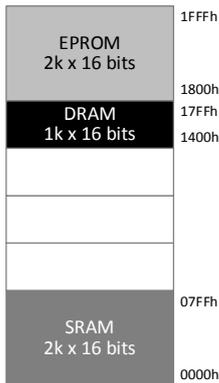


NOTAS:

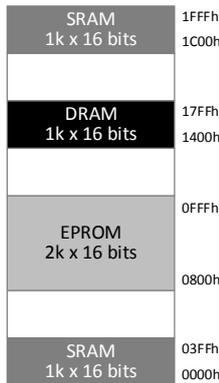
- Assuma que os portos DATA de todas as memórias são tri-state;
- Assuma que o porto DATA da memória SRAM é bidirecional.

a) Indique qual dos seguintes mapas de memória (A, B, C, D) corresponde ao circuito apresentado..... [0,5 val.]

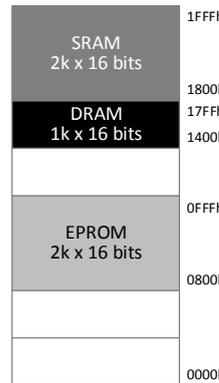
A: ____ B: X C: ____ D: ____ E (nenhum dos anteriores) : ____



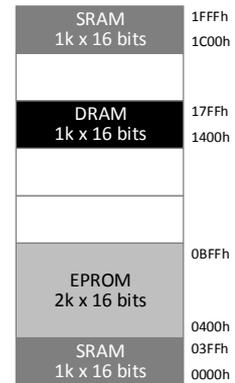
Mapa A



Mapa B



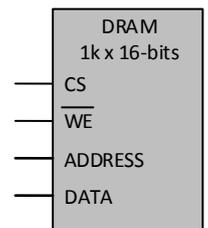
Mapa C



Mapa D

b) Pretende-se ligar, a este plano de memória, uma memória DRAM correspondente à zona assinalada no mapa de memória (ver acima). Desenhe o circuito de descodificação que deverá ser ligado à entrada CS deste dispositivo. Justifique..... [1,0 val.]

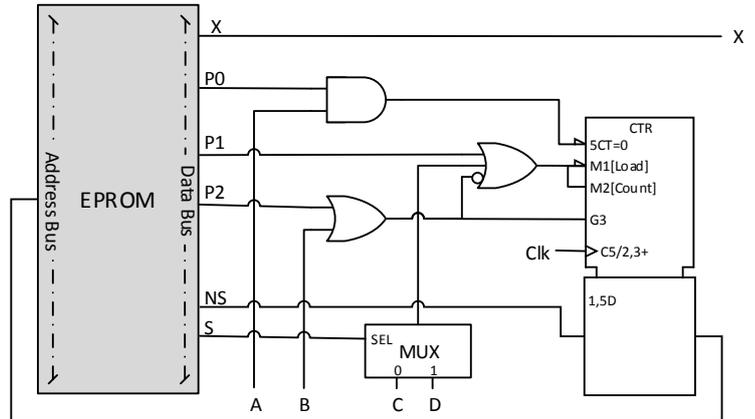
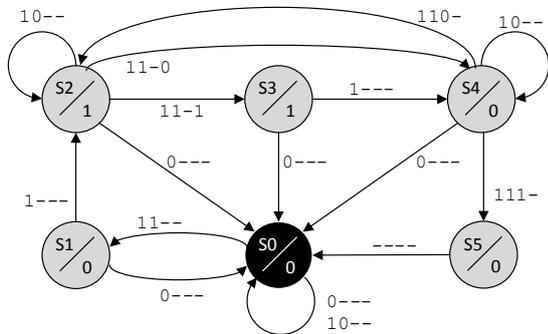
$$CS = A_{12} \cdot \overline{A_{11}} \cdot A_{10}$$



Aluno: _____	Nº _____	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------------	----------	-------------------------------------------------------------------------

TESTE / EXAME

9. Considere o seguinte diagrama de estados de um circuito sequencial síncrono, caracterizado por 4 entradas (A,B,C,D) e 1 saída (X):



Pretende-se implementar este circuito através de uma máquina de estados micro-programada constituída por uma EPROM e um contador síncrono. Os estados S0 a S5 foram codificados em binário natural.

a) Indique a função da entrada G3 do contador, explicando de que forma a sua ativação/inibição altera o funcionamento do contador. Justifique. [0,5 val.]

G3 – enable de contagem do contador

G3=1 -> Incrementa se M2=1

G3=0 -> Não incrementa (hold)

b) Determine o conteúdo da fração da EPROM que permite implementar todas as transições do diagrama de estados que saem dos estados S2 e S3. Não se esqueça de identificar os diversos campos, bem como os endereços correspondentes a essas posições de memória. [1,5 val.]

Estado	Endereço	S	NS	P2	P1	P0	X
S2	010	1	100	0	0	1	1
S3	011	-	---	1	1	1	1
S4	100	0	010	0	0	1	0

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	-------------------------------------------------------------------------