

Antes de iniciar a prova, tenha em atenção o seguinte:

- i. O enunciado da prova inclui 12 páginas.*
- ii. O teste contempla as perguntas 5, 6, 7, 8 e 9 e tem a duração de 1h30m.*
- iii. O exame contempla todas as perguntas e tem a duração de 2h30m.*
- iv. Existem 4 variantes distintas da prova: A, B, C e D.*
- v. A prova é sem consulta. Sobre a secretária apenas deve encontrar-se a sua identificação (cartão de estudante).*
- vi. Identifique todas as folhas do enunciado com:*
 - a) Nome;*
 - b) Número de aluno;*
 - c) Prova que pretende realizar: teste ou exame.*
- vii. Recorde que logo após terminar a prova:*
 - a) Todas as páginas serão desagafadas e separadas;*
 - b) As páginas 1 a 6 serão destruídas, caso tenha manifestado a intenção de fazer o teste;*
 - c) Folhas não identificadas não serão cotadas!!!*
- viii. Resolva a prova no próprio enunciado. Para cada questão é fornecido um espaço próprio, dentro do qual deverá responder. A sua dimensão está ajustada ao tamanho expectável da resposta.*
- ix. Excecionalmente, e caso realmente necessite, pode usar o espaço extra disponível das páginas em branco, colocadas ao longo da prova. Nesse caso, deve indicar junto ao enunciado da pergunta que a resposta à mesma se encontra na página que utilizou. Tenha presente o aviso descrito no ponto vii.b).*
- x. Justifique adequadamente todas as respostas.*
- xi. Responda à prova com calma. Se não sabe responder a uma pergunta, passe à seguinte e volte a ela no fim.*

MUITO IMPORTANTE: indique, no rodapé de cada página, a prova que pretende realizar:

- **2º TESTE (Questões 5, 6, 7, 8 e 9) 1h30m**
- **EXAME (Questões 1 a 9) 2h30m**

Aluno:	Nº	Prova: ☐ Teste ☐ Exame
--------	----	---

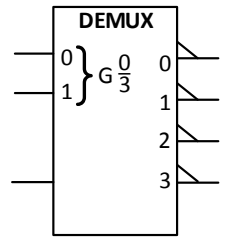
A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

1. Considere a função lógica $f(A, B, C) = \overline{(A \oplus B) \cdot (A \odot C) + B + C}$, em que a variável A é a de maior peso.

a) Apresente a tabela de verdade correspondente às funções Booleanas:

$(A \oplus B)$, $(A \odot C)$, $(B + C)$ e $f(A, B, C)$[1,0 val.]

b) Utilizando exclusivamente demultiplexers semelhantes ao ilustrado ao lado e portas lógicas NAND de 3 entradas, projete e implemente a função lógica $f(A, B, C)$[1,5 val.]

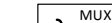


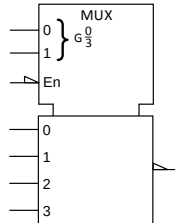
A	B	C						

2. Uma companhia aérea regional identifica todas as 27 rotas em que opera através de um número de 5 bits (A,B,C,D,E), utilizando este mesmo número para emitir os códigos de barras que são utilizados para encaminhar a bagagem para o avião pretendido. As rotas foram numeradas entre 1 e 27. Para identificar a bagagem que circula em rotas internacionais (terão de passar pelo aparelho de RX), foi solicitada a implementação de uma função Booleana $f(A,B,C,D,E)$ que identifica (com o nível lógico 1) todas as malas que circulam nas seguintes rotas: 2, 5, 7, 13, 15, 16, 18, 21, 22, 23, 26. Todas as restantes rotas deverão conduzir ao nível lógico 0. Considere que a saída deste circuito é irrelevante sempre que seja lida a identificação de uma rota desconhecida. A variável A é a de maior peso e a variável E é a de menor peso.
- a) Apresente, no espaço reservado em baixo, o mapa de Karnaugh correspondente a esta função..... [0,5 val.]
- b) Identifique a expressão algébrica correspondente à forma mínima disjuntiva desta função. Justifique, representando no mapa de Karnaugh os agrupamentos correspondentes aos implicantes usados na expressão..... [1,0 val.]
- c) Na solução por si identificada, qual o valor da função quando a entrada (A,B,C,D,E) toma o valor 29? Justifique. [0,5 val.]



AB \ CDE	000	001	010	011	100	101	110	111
00								
01								
10								
11								

3. Pretende-se implementar um circuito combinatório que implemente a função BitCount(x), que realiza a soma do número de 1's utilizados na representação binária de x. Exemplo: BitCount(0110₂)=2.
- a) Considerando uma representação do sinal de entrada de 4 bits (X_3, X_2, X_1, X_0), apresente a tabela de verdade do circuito, indicando o valor de todos os bits de saída (Y_2, Y_1, Y_0) em função dos bits de entrada..... [0,5 val.]
- b) Projete um circuito combinatório que implemente a saída Y_1 . Utilize, obrigatoriamente, dois (2) multiplexers semelhantes ao ilustrado ao lado e portas NAND de 2 entradas. [1,5 val.]
- 

[illegible]

Aluno:

№

Prova: ☐ Teste
☐ Exame

Pág. 4

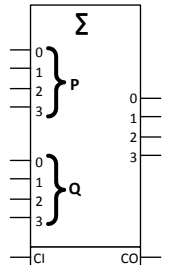
A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

4. O fabricante de camaras de refrigeração pretende implementar um sistema de controlo da temperatura dentro da camara. Para o efeito, utilizou dois sensores (T_A e T_B) capazes de indicar a temperatura utilizando uma representação em complemento para 2, com 6 bits de resolução. A medida no interior da camara é obtida através da média aritmética destes dois sensores:



$$T = (T_A + T_B) / 2$$

- a) Implemente um circuito que implemente o cálculo da temperatura média T . Utilize, para o efeito, somadores de 4 bits conforme ilustrado na figura. [1,5 val.]



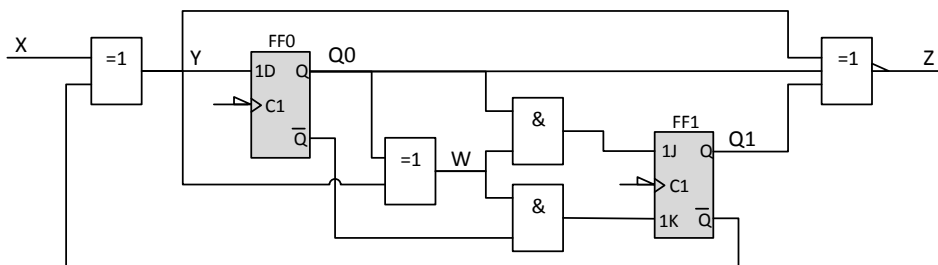
- b) O valor da temperatura média (6 bits) deve ser representado na seguinte escala de cores:

min °C	-5°C	-4°C	+5°C	+6°C	MAX °C
VERDE		AMARELO		VERMELHO	

Indique o valor das temperaturas (min,MAX) referentes aos limites inferiores e superiores desta escala.
Apresente os respetivos valores na representação binária e decimal..... [0,5 val.]

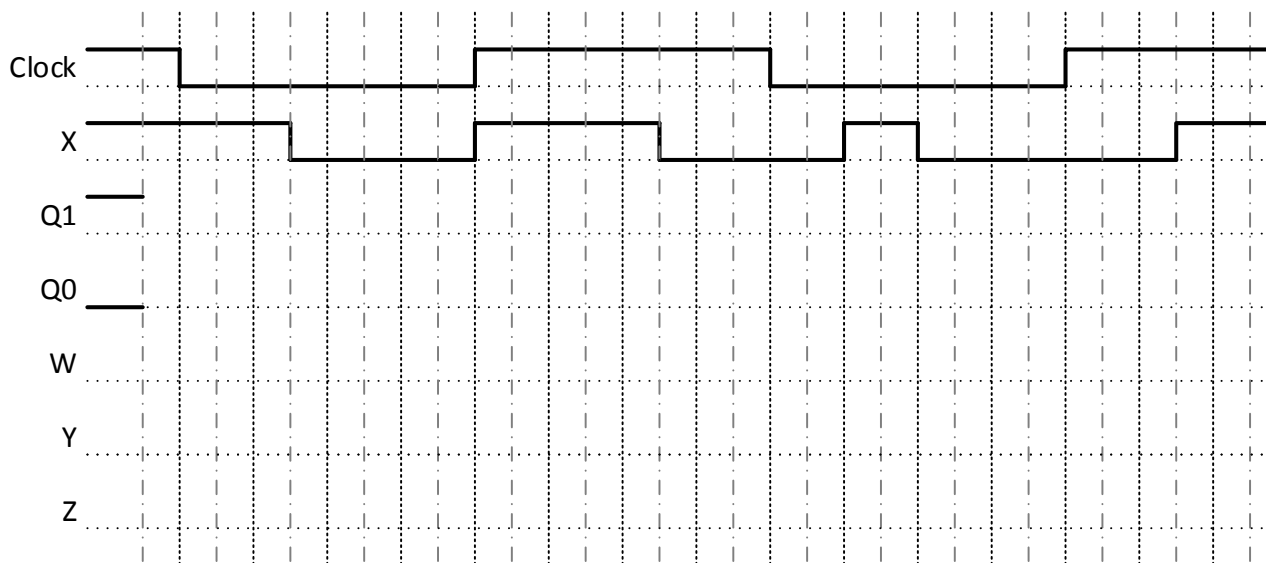
- c) Implemente um circuito que gera a saída binária que aciona o LED VERDE. Utilize, para o efeito, os mesmos somadores de 4 bits utilizados na alínea a)..... [1,5 val.]

5. Considere o circuito sequencial da figura seguinte.



	t_p	t_{su}	t_H
FF_D	15ns	5ns	5ns
FF_JK	10ns	5ns	5ns
AND2	5ns		
XOR2	7ns		
XNOR3	9ns		

- a) Esboce as formas de onda indicadas para o circuito da figura. Nesta alínea, não considere os tempos de propagação indicados na tabela, assumindo o valor zero para todos eles..... [1,0 val.]



- b) Indique, justificadamente, o valor do período mínimo do sinal de relógio para a qual o circuito funciona corretamente. Desenhe no logigrama o caminho crítico que determina o período crítico. [1,0 val.]

Aluno:

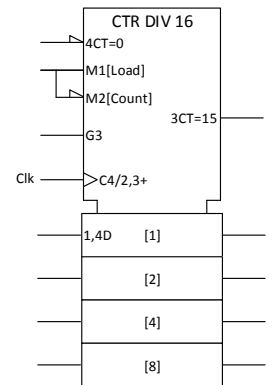
Nº

Prova: ☐ Teste
☐ Exame

Pág. 7

6. Considere o contador módulo-16 apresentado na figura.

- a) Utilizando um ou mais componentes deste tipo (e portas lógicas discretas), implemente um circuito que realize a contagem entre -23 e +49, com a saída representada em complemento para 2. [1,5 val.]



- b) Considerando a frequência do sinal de relógio de 1 GHz, indique o período do bit mais significativo da saída do contador. Justifique com todos os cálculos que realizar. Não se esqueça de indicar a unidade de tempo considerada na sua resposta (ex: s, ms, μ s, etc.).. [0,5 val.]

Aluno:

Nº

Prova: ☐ Teste
☐ Exame

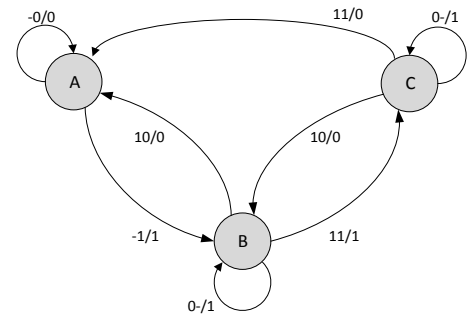
Pág. 8

7. Considere o seguinte diagrama de estados de um circuito sequencial síncrono, caracterizado por duas entradas (X,Y) e uma saída (Z):

Codificação dos Estados (Q_1 Q_0)

A	00
B	01
C	10

← Estado inicial



- Redesenhe o diagrama de estados de modo a garantir a inexistência de situações de *lock-out*. Assuma que a saída Z toma o valor lógico zero. [0,5 val.]
- Apresente a tabela de transição de estados do diagrama alterado. Considere a codificação de estados indicada na tabela. [0,5 val.]
- Sintetize as funções lógicas correspondentes às entradas dos flip-flops e à saída do circuito. Considere a utilização de flip-flops do tipo D..... [1,0 val.]

Q_1	Q_0	X	Y						

Aluno:

Nº

Prova: ☐ Teste
☐ Exame

Pág. 9



(Página deixada intencionalmente em branco.)

Aluno:

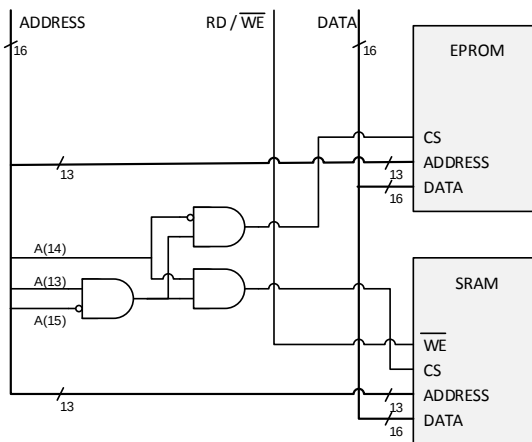
Nº

Prova: ☐ Teste
☐ Exame

Pág. 10

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

8. Considere o seguinte circuito referente a um plano de memória com uma EPROM e uma SRAM.

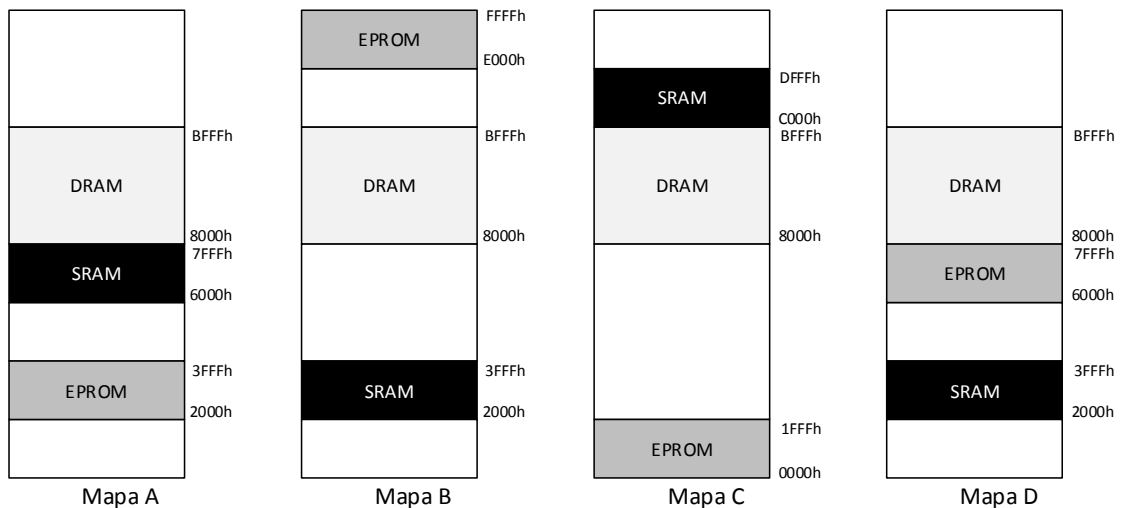

NOTAS:

- Assuma que os portos DATA de todas as memórias são tri-state;
- Assuma que o porto DATA da memória SRAM é bidirecional.

a) Indique a dimensão (número de endereços) da EPROM. Justifique. [0,5 val.]

b) Indique qual dos seguintes mapas de memória (A, B, C, D) corresponde ao circuito apresentado..... [0,5 val.]

A: ____ B: ____ C: ____ D: ____ E (nenhum dos anteriores) : ____



c) Pretende-se ligar uma memória DRAM correspondente à zona assinalada no mapa de memória (ver acima). Desenhe o circuito de descodificação que deverá ser ligado à entrada CS deste dispositivo. Justifique. [1,0 val.]

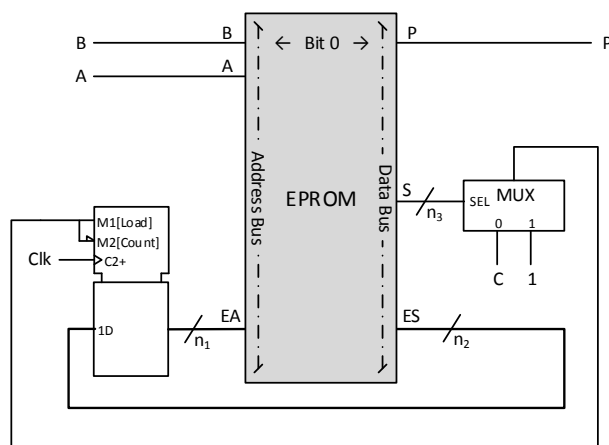
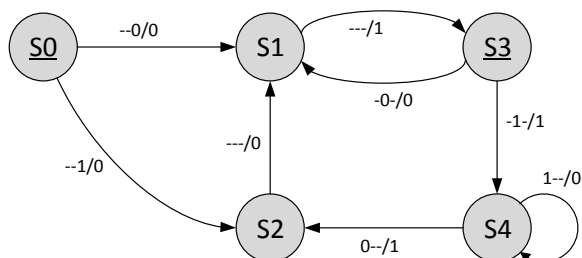
Aluno:

Nº

Prova: ☐ Teste
☐ Exame

Pág. 11

9. Considere o seguinte diagrama de estados de um circuito sequencial síncrono, caracterizado por três entradas (A,B,C) e uma saída (P):



Pretende-se implementar este circuito através de uma máquina de estados micro-programada constituída por uma EPROM e um contador síncrono. Os estados S0 a S4 foram codificados em binário natural (S0 = estado 0).

- a) Determine o conteúdo da fração da EPROM que permite implementar todas as transições do diagrama de estados que saem dos estados S0 e S3. Pode utilizar o símbolo X para assinalar situações de “Don’t Care”. Não se esqueça de identificar os diversos campos, bem como os endereços correspondentes a essas posições de memória. Assuma que os sinais B e P foram colocados nos bits menos significativos dos barramentos de endereços e de dados, respetivamente. [1,5 val.]

- b) Determine a dimensão mínima da EPROM (i.e., sem aproximar a potências inteiras de 2, apresentando simplesmente o nº endereços e a largura da palavra). [0,5 val.]