

Antes de iniciar a prova, tenha em atenção o seguinte:

- i. O enunciado da prova inclui 12 páginas.
- ii. O teste contempla as perguntas 5, 6, 7, 8 e 9 e tem a duração de 1h30m.
- iii. O exame contempla todas as perguntas e tem a duração de 2h30m.
- iv. Existem 4 variantes distintas da prova: A, B, C e D.
- v. A prova é sem consulta. Sobre a secretária apenas deve encontrar-se a sua identificação (cartão de estudante).
- vi. Identifique todas as folhas do enunciado com:
  - a) Nome;
  - b) Número de aluno;
  - c) Prova que pretende realizar: teste ou exame.
- vii. Recorde que logo após terminar a prova:
  - a) Todas as páginas serão desagafadas e separadas;
  - b) As páginas 1 a 6 serão destruídas, caso tenha manifestado a intenção de fazer o teste;
  - c) Folhas não identificadas não serão cotadas!!!
- viii. Resolva a prova no próprio enunciado. Para cada questão é fornecido um espaço próprio, dentro do qual deverá responder. A sua dimensão está ajustada ao tamanho expectável da resposta.
- ix. Excepcionalmente, e caso realmente necessite, pode usar o espaço extra disponível das páginas em branco, colocadas ao longo da prova. Nesse caso, deve indicar junto ao enunciado da pergunta que a resposta à mesma se encontra na página que utilizou. Tenha presente o aviso descrito no ponto vii.b).
- x. Justifique adequadamente todas as respostas.
- xi. Responda à prova com calma. Se não sabe responder a uma pergunta, passe à seguinte e volte a ela no fim.

**MUITO IMPORTANTE:** indique, no rodapé de cada página, a prova que pretende realizar:

- **2º TESTE (Questões 5, 6, 7, 8 e 9) ..... 1h30m**
- **EXAME (Questões 1 a 9) ..... 2h30m**

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

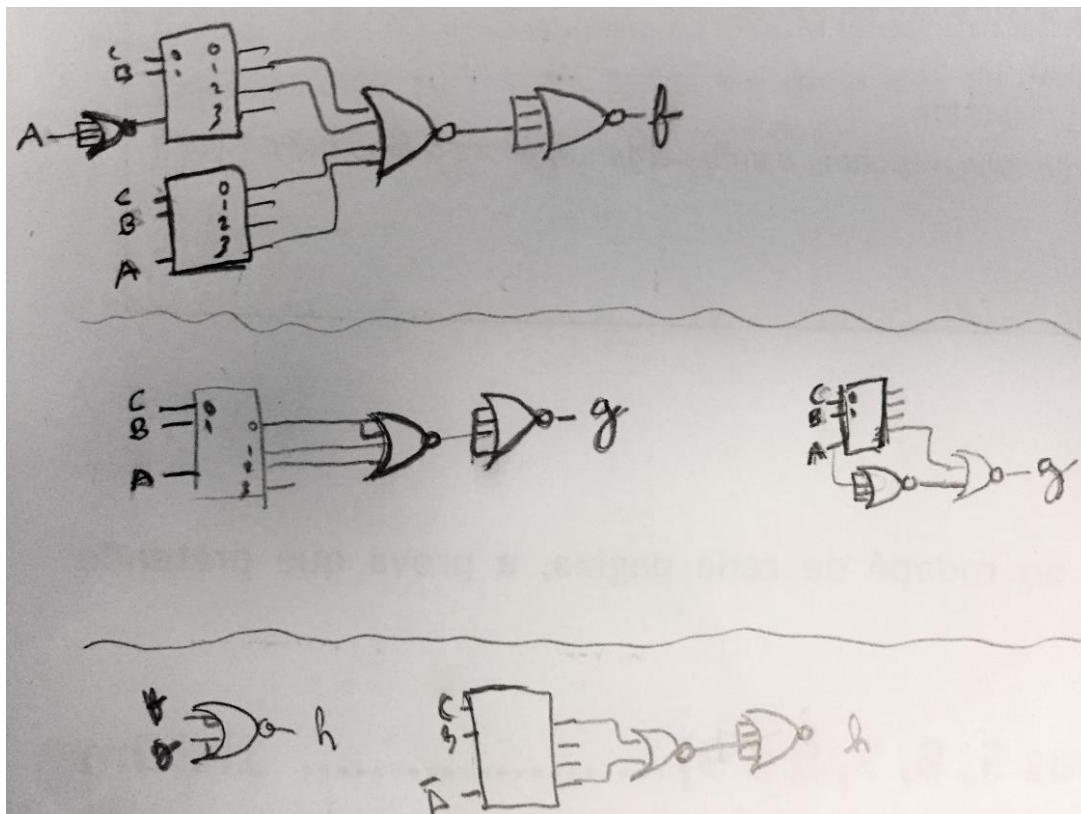
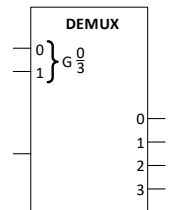
EXAME

1. Considere a função lógica  $h(A, B, C) = \overline{f + g}$ , com  $f(A, B, C) = \overline{(A \odot B) \oplus C}$  e  $g(A, B, C) = A \cdot \overline{B} \cdot \overline{C}$ , e em que a variável A é a de maior peso.

a) Apresente a tabela de verdade correspondente a cada uma das funções Booleanas indicadas no quadro de baixo. .... [1,0 val.]

A	B	C	$A \odot B$	$f = \overline{(A \odot B) \oplus C}$	$\overline{B} \cdot \overline{C}$	$g = A \cdot \overline{B} \cdot \overline{C}$	$h = \overline{f + g}$
0	0	0	1	0	1	0	1
0	0	1	1	1	1	0	0
0	1	0	0	1	1	0	0
0	1	1	0	0	0	0	1
1	0	0	0	1	1	1	0
1	0	1	0	0	1	1	0
1	1	0	1	0	1	1	0
1	1	1	1	1	0	0	0

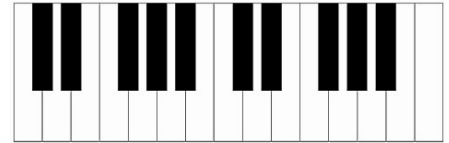
b) Utilizando apenas demultiplexer(es) semelhante(s) ao ilustrado ao lado e portas lógicas do tipo NOR de 4 entradas, projete e implemente as funções lógicas  $f(A, B, C)$ ,  $g(A, B, C)$  e  $h(A, B, C)$ . .... [1,5 val.]



Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

**EXAME**

2. Para implementar um teclado de um pequeno sintetizador (2 oitavas), pretende-se implementar um circuito que apresente o nível lógico 0 sempre que uma das teclas negras do teclado for pressionada. Para o efeito, o engenheiro que desenvolveu este produto identificou todas as teclas através de um código de 5-bits (A,B,C,D,E), entre 1 e 25. Em particular, as teclas negras fora identificadas com os seguintes valores: 2, 4, 6, 14, 16, 18, 19, 20, 22, 24. Todos os restantes códigos deverão conduzir ao nível lógico 1. Considere que a saída deste circuito é irrelevante sempre que for recebido um código fora da gama permitida. A variável A é a de maior peso e a variável E é a de menor peso.



- a) Apresente, no espaço reservado em baixo, o mapa de Karnaugh correspondente a esta função..... [0,5 val.]
- b) Identifique a expressão algébrica correspondente à forma mínima conjuntiva. Represente no mapa de Karnaugh os agrupamentos correspondentes aos implicados usados na expressão. .... [1,0 val.]
- c) Na solução por si identificada, qual o valor da função quando a entrada (A,B,C,D,E) toma o valor 28? Justifique. ..... [0,5 val.]

a)

AB \ CDE	000	001	011	010	110	111	101	100
00	x			0	0			0
01					0			
11	0	x	x	x	x	x	x	x
10	0		0	0	0			0

b)

$$f = (B+E) (\bar{C} + \bar{D} + E) (\bar{A} + E) (\bar{A} + C + \bar{D})$$

c)

$28_{10} = 11100_2$

OS ESPAÇOS EM BRANCO VALEM '1'.

pois faz parte dos agrupamentos.

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

EXAME

3. A tabela de preços da tarifa bi-horária de energia elétrica contempla o seguinte mapa correspondente aos instantes do dia em que a energia é mais barata (assinalados a preto) – horário económico:

HORA	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23
Econom.																								

Para realizar a contabilização do custo de energia, pretende-se implementar um circuito combinatório que recebe a informação correspondente à hora atual  $H_4H_3H_2H_1H_0$  (valor inteiro, em binário, entre 0 e 23) e produz um sinal  $E(H_4H_3H_2H_1H_0)$  que indica, com o valor lógico 1, que esse instante corresponde ao horário económico.

- a) Apresente, em baixo, a tabela de verdade da função  $E(H_4H_3H_2H_1H_0)$ ..... [0,5 val.]
- b) Projete um circuito combinatório que implemente a função  $E(H_4H_3H_2H_1H_0)$ . Utilize, obrigatoriamente, o dual-multiplexer apresentado ao lado. .... [1,5 val.]

The student's solution consists of two parts:

**Truth Table:** A table with columns  $H_4, H_3, H_2, H_1, H_0$  and  $E$ . It lists all 24 possible combinations of the 5-bit input. The output  $E$  is 1 for hours 0-7 and 14-23, and 0 for hours 8-13. The table is annotated with handwritten marks: a '1' next to rows 0-7, a '0' next to rows 8-13, and an 'X' next to rows 14-23.

**Circuit Diagram:** A 2-to-1 multiplexer (MUX) is shown. The select inputs are  $H_1$  and  $H_0$ . The data inputs are  $H_2, H_3, H_4$ . The output is  $E$ . The student has drawn a circuit that implements the function  $E = H_2 \oplus H_3 \oplus H_4$  using the MUX. The diagram shows the MUX with its inputs and outputs, and the student's handwritten logic for each input line.

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

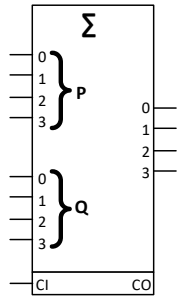
EXAME

4. Num determinado jogo de tabuleiro cada jogador lança simultaneamente 3 dados de tamanhos diferentes: um pequeno (P), um médio (M) e um grande (G). A pontuação atribuída ao lance é calculada segundo uma média pesada dada pela seguinte fórmula (NOTA: as faces dos dados estão numeradas entre 1 e 6):

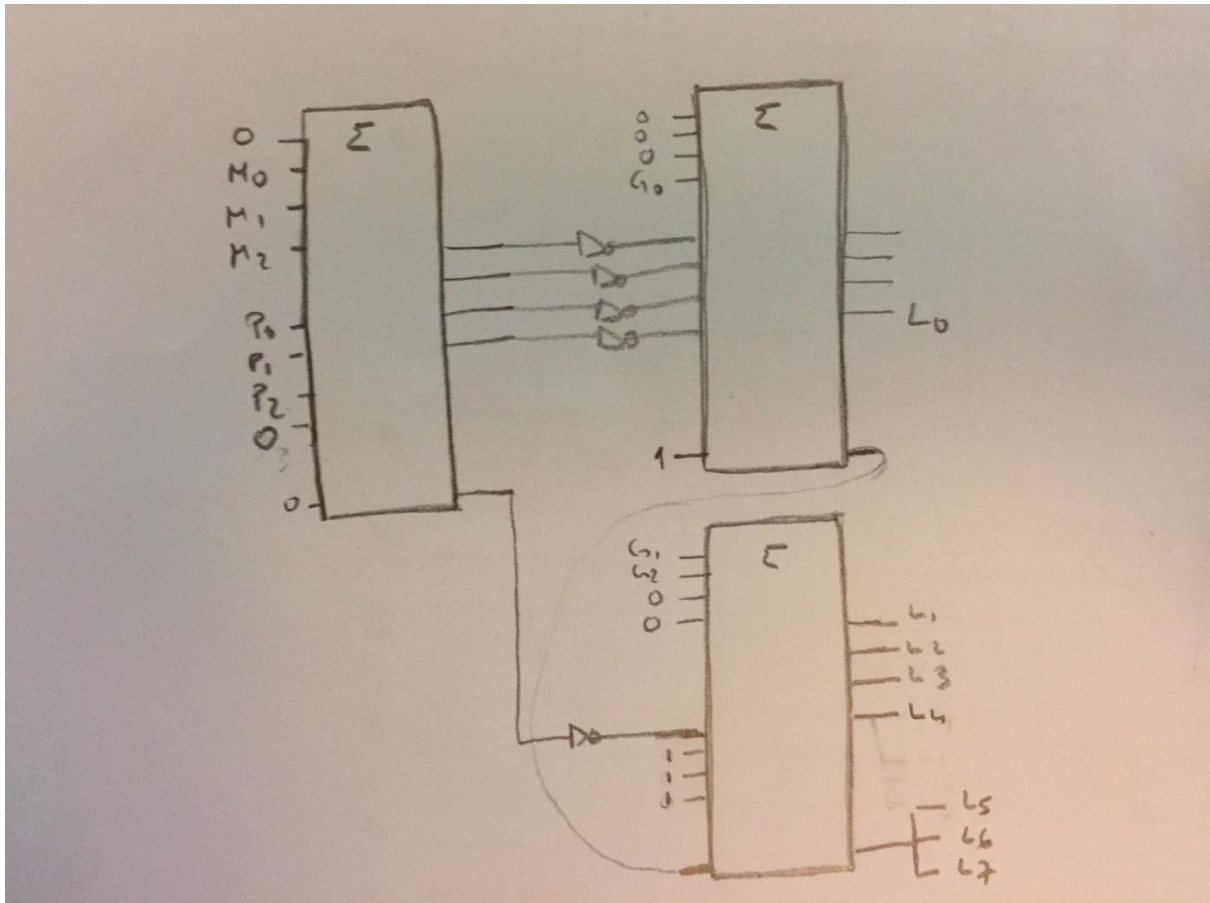


$$Lance = \frac{8 \times G - (2 \times M + 1 \times P)}{8}$$

Assuma agora uma versão eletrónica deste jogo, em que a face superior de cada um dos três dados é dada por uma representação de 3-bits: P(2:0), M(2:0) e G(2:0).



- a) Projete um circuito que implemente o cálculo da pontuação de um determinado lance (3 dados), apresentando o resultado em complemento para 2, com 8-bits. Utilize o mínimo número de somadores de 4-bits, semelhantes ao ilustrado na figura. ...[1,5 val.]

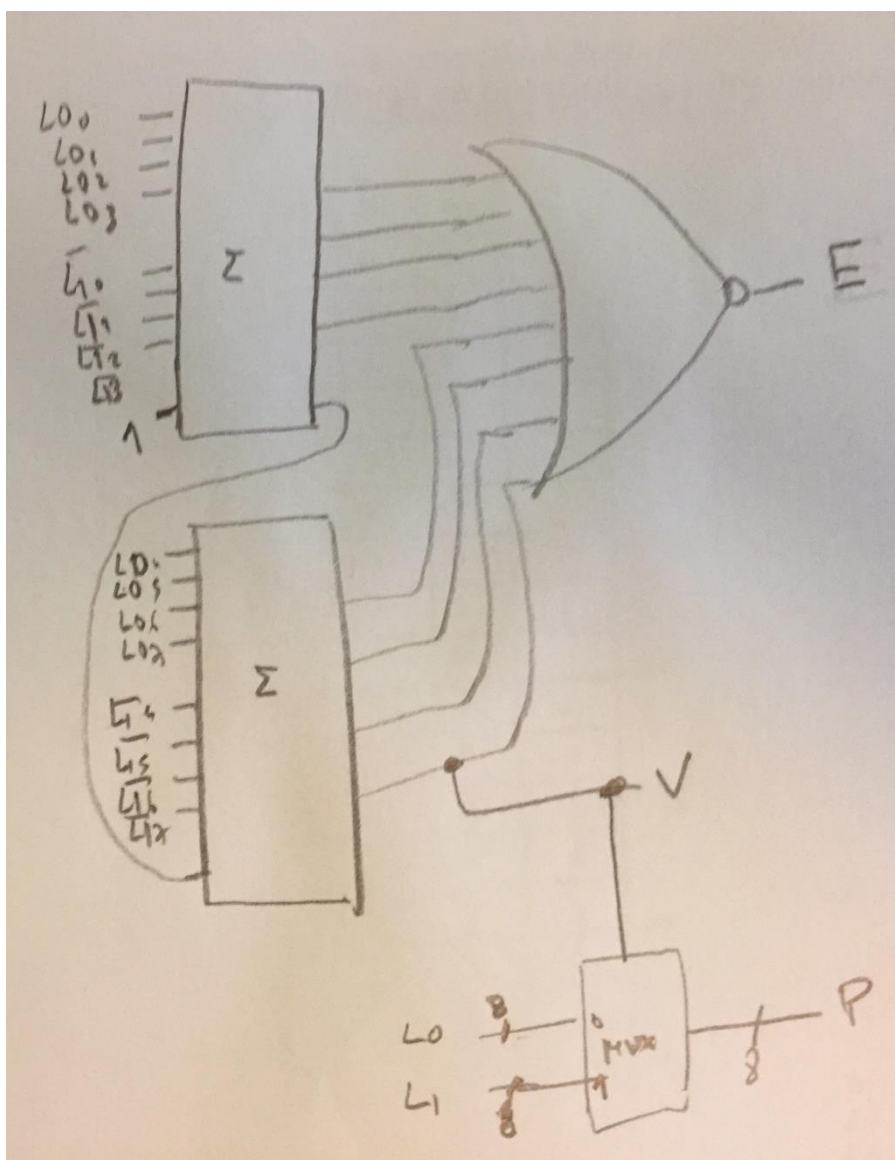


Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

b) Considerando que o jogo suporta apenas 2 jogadores (identificados por jogador 0 e jogador 1), pretende-se implementar um circuito que receba a pontuação dos lances de ambos os jogadores ( $L_0(7:0)$  e  $L_1(7:0)$ ) e devolva a seguinte informação:

- Saída E (1-bit) - Existência de empate, em que  $E=1$  (caso contrário,  $E=0$ );
- Saída V (1-bit) - Identificação do jogador vencedor, com a maior pontuação;
- Saída P (8-bits) - Pontuação do jogador vencedor (ou do resultado do empate).

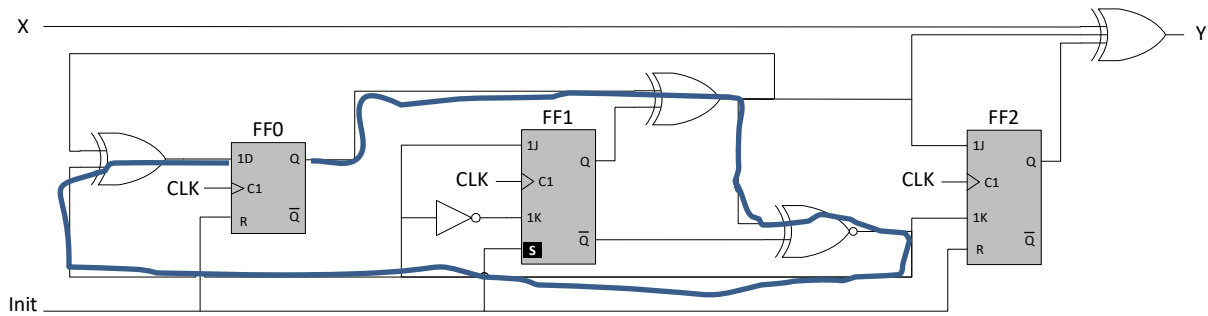
Utilize os mesmos somadores de 4 bits utilizados na alínea a) e o mínimo de lógica adicional..... [2,0 val.]



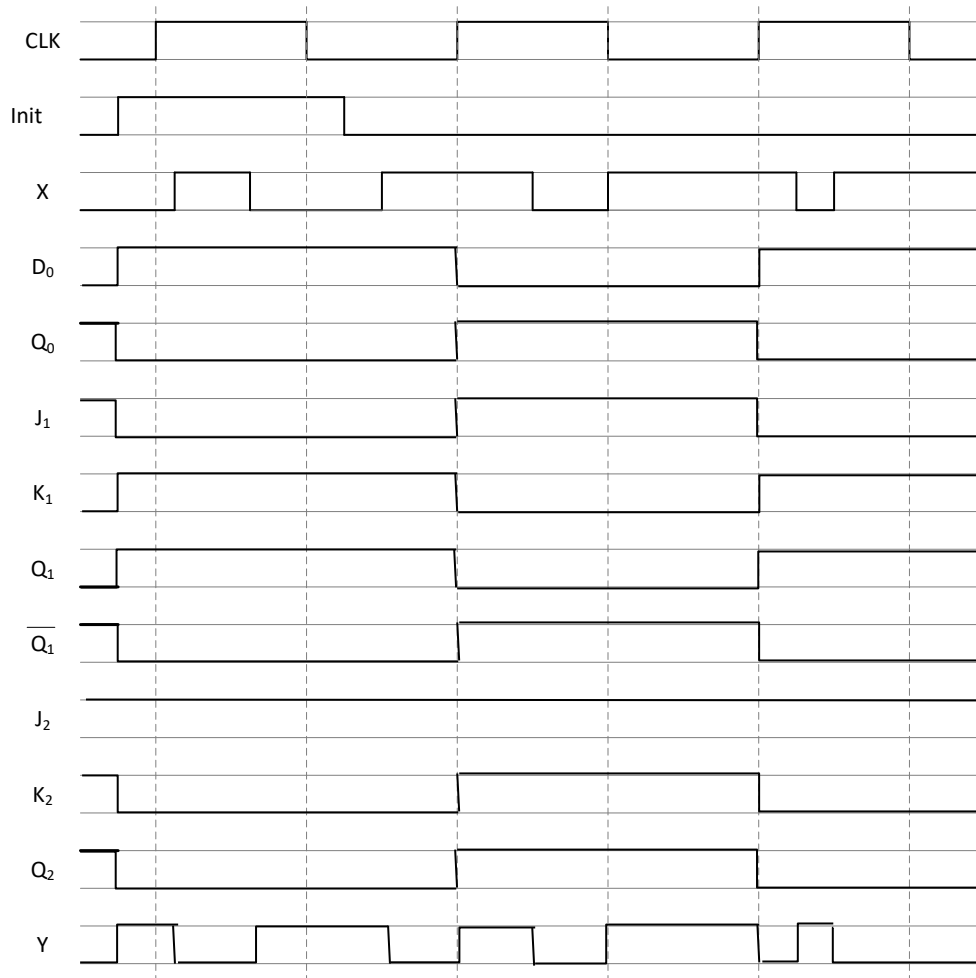
Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

TESTE / EXAME

5. Considere o circuito sequencial da figura seguinte.



a) Esboce as formas de onda indicadas para o circuito da figura. Nesta alínea, não considere os tempos de propagação indicados na tabela, assumindo o valor zero para todos eles..... [1,0 val.]



b) Indique, justificadamente, o valor do período mínimo do sinal de relógio para a qual o circuito funciona corretamente. Desenhe no logigrama o caminho crítico que determina o período crítico. .... [1,0 val.]

$T_{min} = 40 \text{ ns}$  (A resposta completa requer justificação cuidada)

	$t_p$	$t_{su}$	$t_H$
FF_D	15ns	5ns	4ns
FF_JK	10ns	5ns	3ns
XOR2	6ns		
XOR3	10ns		
XNOR2	8ns		
NOT	5ns		

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

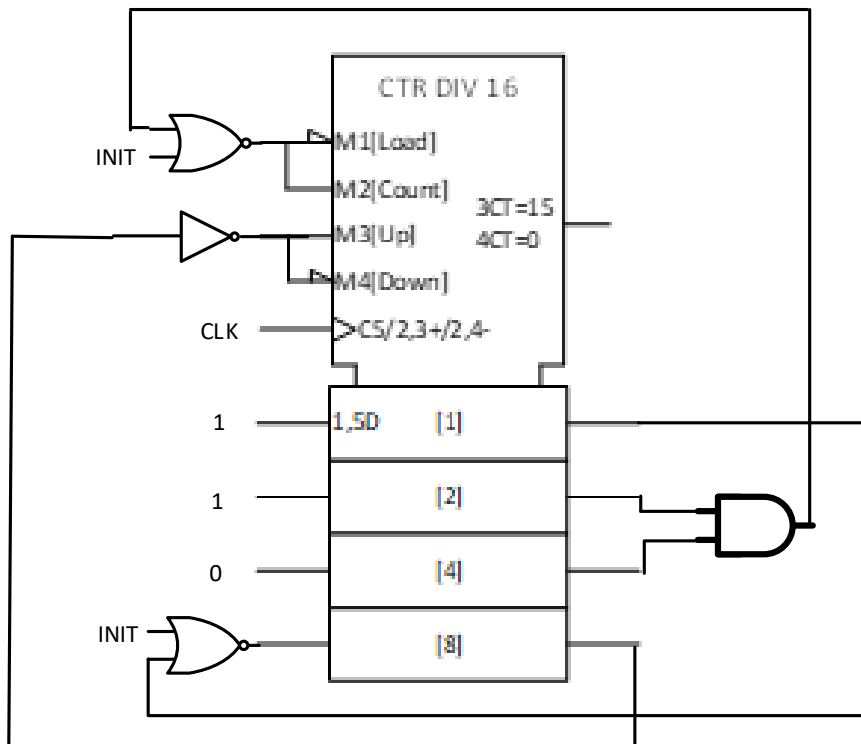
TESTE / EXAME

6. Considere o contador representado em baixo. Utilizando o mínimo de logica combinatória adicional, implemente um circuito que realize a contagem binária da seguinte sequência:

..., 3, 4, 5, 6, 11, 10, 9, 8, 7, **3, 4, 5, 6, 11, 10, 9, 8, 7**, 3, 4, 5, 6, 11, 10, 9, 8, 7, ...

Deve ainda prever a existência de um sinal de entrada (INIT) para inicialização da contagem no valor 3.

Sugestão: comece por representar, numa tabela, os valores da sequência de contagem em binário natural e observe o padrão (bits) dos valores fronteira dessa sequência. .... [2,0 val.]



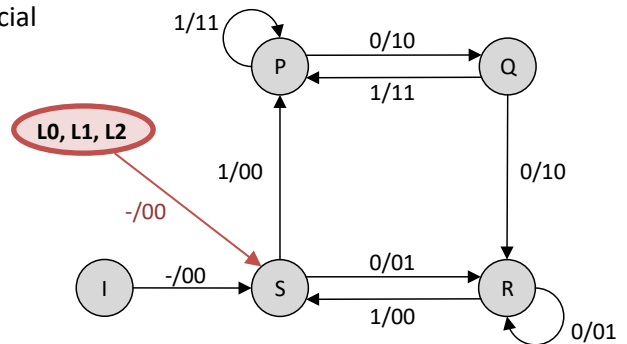
Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---



TESTE / EXAME

7. Considere o seguinte diagrama de estados de um circuito sequencial síncrono, caracterizado por uma entrada (T) e duas saídas (X,Y):

Codificação Estados ( $Q_2 Q_1 Q_0$ )	
I	000 ← Estado inicial
P	111
Q	110
R	100
S	101



- Complete o diagrama de estados de modo a garantir a inexistência de situações de *lock-out*. Assuma que o sistema converge o mais rapidamente possível para o estado S e que as saídas (X,Y) tomam o valor lógico (0,0)..... [0,5 val.]
- Apresente a tabela de transição de estados do diagrama alterado. Considere a codificação de estados indicada na tabela. .... [0,5 val.]
- Sintetize as funções lógicas mínimas correspondentes às entradas dos flip-flops e às saídas do circuito. Considere a utilização de flip-flops do tipo D..... [1,0 val.]

EA	$Q_2$	$Q_1$	$Q_0$	T	ES	$Q_2^+$	$Q_1^+$	$Q_0^+$	X	Y
I	0	0	0	0	S	1	0	1	0	0
	0	0	0	1		1	0	1	0	0
L0	0	0	1	0	S	1	0	1	0	0
	0	0	1	1		1	0	1	0	0
L1	0	1	0	0	S	1	0	1	0	0
	0	1	0	1		1	0	1	0	0
L2	0	1	1	0	S	1	0	1	0	0
	0	1	1	1		1	0	1	0	0
R	1	0	0	0	R	1	0	0	0	1
	1	0	0	1	S	1	0	1	0	0
S	1	0	1	0	R	1	0	0	0	1
	1	0	1	1	P	1	1	1	0	0
Q	1	1	0	0	R	1	0	0	1	0
	1	1	0	1	P	1	1	1	1	1
P	1	1	1	0	Q	1	1	0	1	0
	1	1	1	1	P	1	1	1	1	1

$$D_2 = Q_2^+ = 1$$

$$D_1 = Q_1^+ = Q_2 Q_1 (Q_0 + T) + Q_2 Q_0 T$$

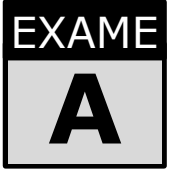
$$D_0 = Q_0^+ = \bar{Q}_2 + T$$

$$X = Q_2 Q_1$$

$$Y = Q_2 Q_1 T + Q_2 \bar{Q}_1 \bar{T} = Q_2 (Q_1 \odot T)$$

	$D_1 = Q_1^+$				$D_0 = Q_0^+$				X				Y			
	00	01	11	10	00	01	11	10	00	01	11	10	00	01	11	10
00	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0
01	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0
11	0	1	1	1	0	1	1	0	1	1	1	1	0	1	1	0
10	0	0	1	0	0	1	1	0	0	0	0	0	1	0	0	1

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---



(Página deixada intencionalmente em branco.)

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

TESTE / EXAME

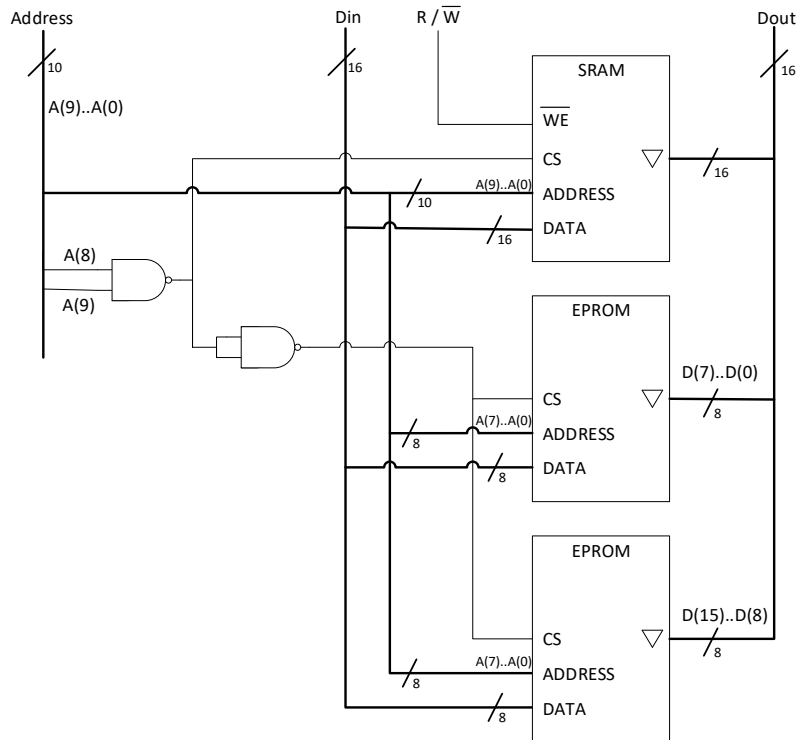
8. Considere o circuito da figura e admita que inicialmente o conteúdo das memórias é o seguinte:

- O endereço  $i$  mapeado no espaço de EPROM guarda o valor simétrico de  $i$ , ou seja,  $-i$  (estendido a 16-bits);
- O endereço  $i$  mapeado no espaço de SRAM foi inicializado com o valor positivo correspondente ao resultado da divisão inteira:  $i \div 16$  (estendido a 16-bits).

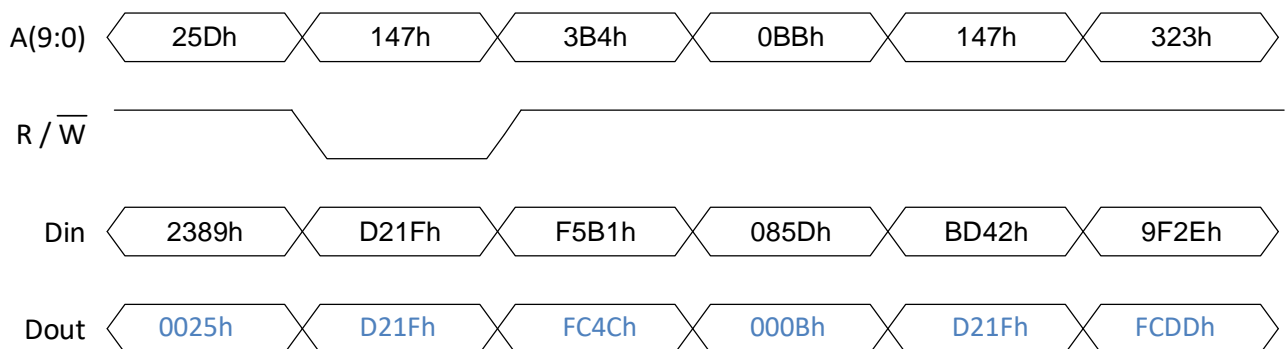
a) Indique a capacidade (número de endereços) do espaço de endereçamento mapeado em EPROM e SRAM, bem como o respetivo endereço inicial e final, de acordo com o circuito apresentado na figura..... [1,0 val.]

**NOTA:** represente os endereços em hexadecimal.

	EPROM	SRAM
Capacidade	256	768
End. Inicial	300h	000h
End. Final	3FFh	2FFh



b) Complete o seguinte diagrama temporal, indicando o valor à saída do barramento Dout..... [1,0 val.]



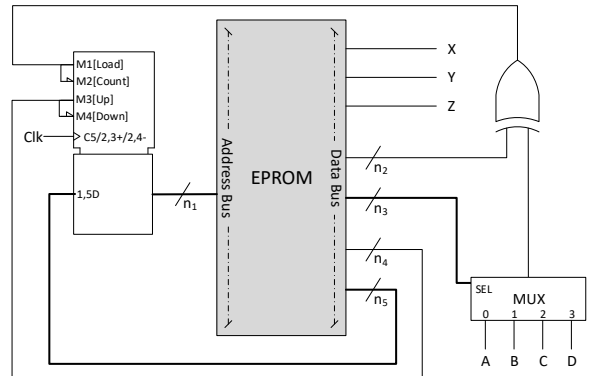
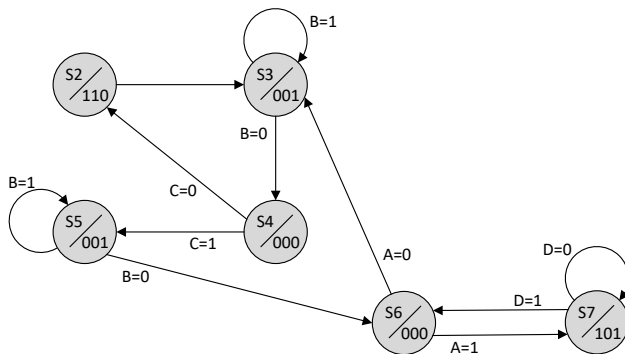
**Notas:**

- Assinale com o símbolo 'Z' sempre que o barramento se encontrar em alta impedância.
- Assuma que a escrita é transparente, i.e., sempre que escrever um valor V num endereço A, a saída Dout toma imediatamente o valor V.

Aluno:	Nº	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----	---

TESTE / EXAME

9. Considere o seguinte diagrama de estados de um circuito sequencial síncrono, caracterizado por 4 entradas (A,B,C,D) e 3 saídas (X, Y, Z):



Pretende-se implementar este circuito através de uma máquina de estados micro-programada constituída por uma EPROM e um contador binário com carregamento paralelo. A codificação dos estados em código binário natural corresponde ao número do respetivo estado.

- a) Identifique (ex: letra, nome ou acrónimo) e indique a largura ( $n^{\circ}$  bits) dos sinais representados no diagrama:  $n_1, n_2, n_3, n_4, n_5$  e  $n_5$ . ..... [0,5 val.]
- b) Determine o conteúdo da fração da EPROM que permite implementar todas as transições do diagrama de estados que saem dos estados S2, S6 e S7 (indique o endereço e o valor das correspondentes posições da memória, admitindo que a saída X corresponde ao bit menos significativo). ..... [1,0 val.]
- c) Indique qual a dimensão mínima da EPROM (endereços e largura de cada palavra) por forma a garantir o funcionamento do circuito, tendo em conta este diagrama de estados (não precisa fazer qualquer normalização para uma potência inteira de 2). ..... [0,5 val.]

- a)  $n_1$  (3-bits) – Current State
- $n_2$  (1-bit) – Complement Test
- $n_3$  (2-bits) – Select Input
- $n_4$  (1-bit) – Up/Down
- $n_5$  (3-bits) – Next State

b)

$n_1$ Current State (address)	$n_5$ Next State	$n_4$ Up/down	$n_3$ Select Input	$n_2$ Complement Test	Z Y X
010	011	1	XX	X	011
110	011	1	00	1	000
111	111	0	11	1	101

- c) 6 estados -> 6 endereços
- Palavras com 10-bits
- TOTAL =  $6 \cdot 10 = 60$  bits

Aluno:	N <sup>o</sup>	Prova: <input type="checkbox"/> Teste <input type="checkbox"/> Exame
--------	----------------	---