

Instructions

Before starting the exam, read carefully the following information:

- There are (at least) nine different versions of this exam.
- Although the exam comprises a total of 16 pages, there are two distinct volumes that should be handled as follows:
 - **Volume 1** corresponds to the question list and comprises pages 1 to 13. These pages do not need to be identified because they will be discarded at the end of the exam;
 - **Volume 2** corresponds to the answers sheet and comprises pages 13 to 16. All pages of this volume **MUST** be identified with the **student's name** and **number**.
 - At the end of the exam, all pages of **Volume 2** will be separated. Consequently, all non-identified pages will not be considered.
- The exam is composed of three parts (Part I, II and III) and has a duration of 2 (two) hours.
 - **Part I** comprises N_1 multiple choice questions and awards a total of $P_1 = 15$ points.
 - * Each correct answer awards $C = P_1/N_1$ points;
 - * Each wrong answer awards $W = -C/(A - 1)$ points (negative value), where A denotes the number of possible answers offered to each question;
 - * Each non-answered question awards 0 points.
 - **Part II** comprises an open-answer problem about combinatorial circuits and awards a total of $P_2 = 2.5$ points.
 - **Part III** comprises an open-answer problem about sequential circuits and awards a total of $P_3 = 2.5$ points.
 - All question answers **MUST** be replied in the allotted space of **Volume 2**.
- At the end of **Part I of Volume 1** you will find an empty page - you can use it for auxiliary calculations, but this page will not be delivered at the end. This means that all answers **MUST** be replied (and properly justified) in the allotted space of **Volume 2**.
- Each question includes a Portuguese translation of the corresponding text. In case of a mismatch between the English text and its translation, the English text will be the one to be considered in the evaluation¹.
- You cannot use or consult any material during the exam. On your desk you can only have a pen and your student identity card.

¹Cada pergunta inclui uma tradução para Português do referido texto. Em caso de incoerência entre o texto em Inglês e a sua tradução, será o texto em Inglês que será considerado na avaliação.

Volume 1 - Part I

- A. Which of the following expressions corresponds to the minimal function represented in the Karnaugh-map?
[Qual das seguintes expressões corresponde à função mínima representada no mapa de Karnaugh?]

- [1]: $(B + \bar{D})(A + C)(\bar{B} + C)$
 [2]: $(C + D)(\bar{A} + C)(\bar{B} + C)$
 [3]: $(C + D)(A + \bar{D})(\bar{A} + D)$
 [4]: $(B + \bar{D})(A + D)(\bar{B} + C)$
 [5]: $(B + D)(A + D)(\bar{A} + C)$
 [6]: None of the other options [Nenhuma das outras opções]

		CD			
		00	01	11	10
AB	00	0	1	1	X
	01	0	1	X	0
	11	X	0	1	1
	10	X	X	1	0

- B. Select the canonical conjunctive normal form (product of sums) of the function $(X + \bar{Z})(\bar{X} + \bar{Y})$ with three variables.

[Indique qual das seguintes expressões corresponde à forma canónica conjuntiva (produto de somas) da função $(X + \bar{Z})(\bar{X} + \bar{Y})$ com três variáveis.]

- [1]: $(\bar{X} + Y + \bar{Z})(X + \bar{Y} + Z)(\bar{X} + \bar{Y} + Z)(\bar{X} + \bar{Y} + \bar{Z})$
 [2]: $(X + Y + \bar{Z})(X + \bar{Y} + Z)(\bar{X} + \bar{Y} + Z)(\bar{X} + Y + Z)$
 [3]: $(X + \bar{Y} + \bar{Z})(\bar{X} + \bar{Y} + Z)(\bar{X} + \bar{Y} + \bar{Z})(X + Y + \bar{Z})$
 [4]: $(X + \bar{Y} + \bar{Z})(X + \bar{Y} + Z)(\bar{X} + \bar{Y} + Z)(\bar{X} + \bar{Y} + \bar{Z})$
 [5]: $(\bar{X} + Y + \bar{Z})(X + \bar{Y} + \bar{Z})(\bar{X} + Y + Z)(\bar{X} + \bar{Y} + \bar{Z})$
 [6]: None of the other options [Nenhuma das outras opções]

- C. What is the 8-bit two's complement representation of -47 ?

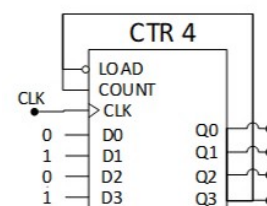
[Qual é a representação em complemento para dois com 8-bits de -47 ?]

- [1]: 11010000 [2]: 11010001 [3]: 00101111
 [4]: 10101110 [5]: 10101111 [6]: None of the other options
 [Nenhuma das outras opções]

- D. Consider the following circuit with a 4-bit counter. The initial state of the circuit is $Q_3 Q_2 Q_1 Q_0 = 1011$. What are the next two states of the circuit?

[Considere o seguinte circuito com um contador de 4-bits. O estado inicial do circuito é $Q_3 Q_2 Q_1 Q_0 = 1011$. Quais serão os próximos dois estados do circuito?]

- [1]: 1010, 1011
 [2]: 1010, 0101
 [3]: 1100, 1101
 [4]: 0100, 1010
 [5]: 1101, 1110
 [6]: None of the other options [Nenhuma das outras opções]

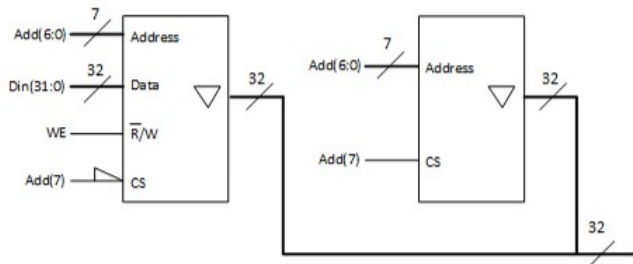


E. Represent $D5_{16}$ in base 10.
 [Represente $D5_{16}$ na base 10.]

- [1]: 229
- [2]: 205
- [3]: 197
- [4]: 181
- [5]: 213
- [6]: None of the other options
 [Nenhuma das outras opções]

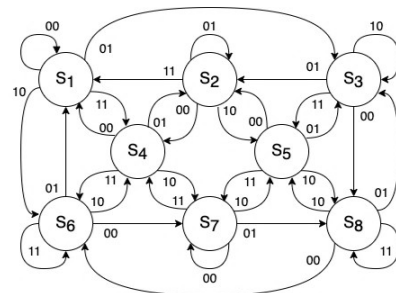
F. Consider the following memory system. Compute the size (in number of bits, i.e., number of words \times number of bits per word) of the address space in which it is possible to write values.
 [Considere o seguinte sistema de memória. Calcule a dimensão (número de bits, isto é, número de palavras \times número de bits por palavra) do espaço de endereçamento em que é possível escrever valores.]

- [1]: 256×32
- [2]: 128×32
- [3]: 256×64
- [4]: 64×32
- [5]: 128×64
- [6]: None of the other options
 [Nenhuma das outras opções]



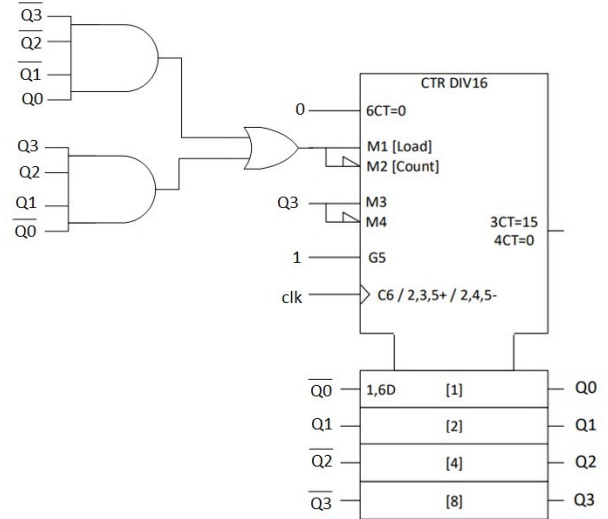
G. Consider the following state diagram with two inputs X_1X_0 and where each state S_i ($i = 1, \dots, 8$) is implemented with D flip-flops, with input D_i (next state) and output Q_i (current state). Select, only for the state S_3 , the correct option for D_3 as a function of X_1 and X_0 and the current states Q_i .
 [Considere o seguinte diagrama de estados com duas entradas X_1X_0 em que cada estado S_i ($i = 1, \dots, 8$) é implementado com flip-flops do tipo D, com entradas D_i (próximo estado) e saída Q_i (estado actual). Indique, para o estado S_3 , a expressão de D_3 como função de X_1 e X_0 e os estados actuais Q_i .]

- [1]: $D_3 = \bar{X}_1 X_0 Q_2 + \bar{X}_1 X_0 Q_3 + \bar{X}_1 X_0 Q_4 + \bar{X}_1 \bar{X}_0 Q_5$
- [2]: $D_3 = X_1 X_0 Q_1 + \bar{X}_1 \bar{X}_0 Q_2 + X_1 \bar{X}_0 Q_6 + X_1 X_0 Q_7$
- [3]: $D_3 = X_1 \bar{X}_0 Q_2 + X_1 X_0 Q_3 + X_1 \bar{X}_0 Q_7 + X_1 \bar{X}_0 Q_8$
- [4]: $D_3 = \bar{X}_1 X_0 Q_1 + X_1 \bar{X}_0 Q_3 + \bar{X}_1 X_0 Q_5 + \bar{X}_1 X_0 Q_8$
- [5]: $D_3 = \bar{X}_1 \bar{X}_0 Q_1 + X_1 X_0 Q_2 + \bar{X}_1$
- [6]: None of the other options [Nenhuma das outras opções]



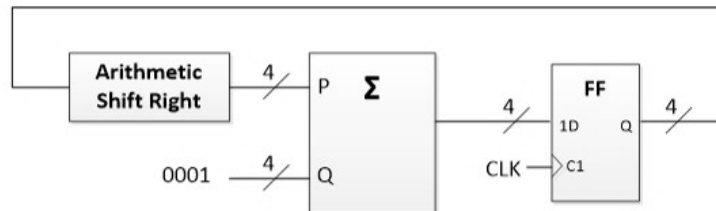
- H. Which of the following options corresponds to the sequence, in stationary mode, in decimal format at the output of the circuit in the figure below? (suggestion: start by analyzing a "load" situation.)
 [Qual das seguintes opções corresponde à sequência de saída do seguinte circuito, em regime estacionário e em formato decimal? (sugestão: comece por analisar a situação de carregamento ("load") de dados.)]

- [1]: ... 11 - 3 - 4 - 5 - 13 - 12 - 11 ...
- [2]: ... 10 - 7 - 6 - 5 - 8 - 9 - 10 ...
- [3]: ... 12 - 1 - 2 - 3 - 14 - 13 - 12 ...
- [4]: ... 14 - 3 - 2 - 1 - 12 - 13 - 14 ...
- [5]: ... 13 - 5 - 4 - 3 - 11 - 12 - 13 ...
- [6]: None of the other options
 [Nenhuma das outras opções]



- I. Consider the following circuit with an adder, a register (4 FF's) and a combinational logic circuit. Assuming that the current state is $Q(3:0) = 1001$, what are the next two states of the circuit?
 [Considere o seguinte circuito com um somador, um registo (4 FF's) e lógica combinatória. Assumindo que o estado actual é $Q(3:0) = 1001$, quais serão os próximos dois estados do circuito?]

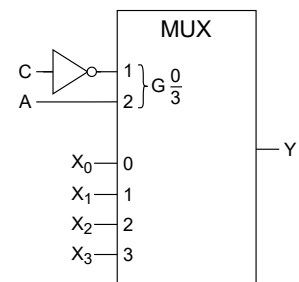
- [1]: 0101, 0011
- [2]: 1011, 1111
- [3]: 1101, 1111
- [4]: 0011, 0111
- [5]: 1100, 1110
- [6]: None of the other options
 [Nenhuma das outras opções]



- J. Consider the following circuit and truth table. Select the multiplexer inputs $\{X_3; X_2; X_1; X_0\}$ that result in the given truth table.
 [Considere o seguinte circuito e tabela de verdade. Selecione as entradas do multiplexer $\{X_3; X_2; X_1; X_0\}$ que resultam na tabela apresentada.]

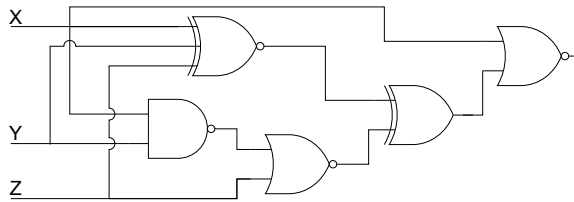
- [1]: $\{X_3; X_2; X_1; X_0\} = \{B; 1; B; \overline{B}\}$
- [2]: $\{X_3; X_2; X_1; X_0\} = \{\overline{B}; 1; B; \overline{B}\}$
- [3]: $\{X_3; X_2; X_1; X_0\} = \{B; 1; \overline{B}; 0\}$
- [4]: $\{X_3; X_2; X_1; X_0\} = \{B; 0; \overline{B}; \overline{B}\}$
- [5]: $\{X_3; X_2; X_1; X_0\} = \{0; 1; B; \overline{B}\}$
- [6]: None of the other options
 [Nenhuma das outras opções]

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1



This page will be discarded

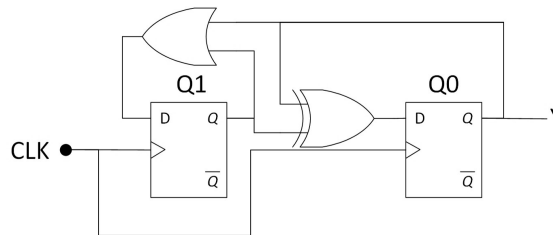
K. What is the worst case for the propagation time of the following circuit?
 [Qual é o pior caso para o tempo de propagação do seguinte circuito?]



Gate	tp [ns]
NAND2	8
NOR2	9
XOR2	15
XNOR2	16
XNOR3	18

- [1]: 50
- [2]: 42
- [3]: 41
- [4]: 44
- [5]: 40
- [6]: None of the other options
 [Nenhuma das outras opções]

L. Consider the following circuit. Which state diagram corresponds to the circuit?
 [Considere o seguinte circuito. Qual dos diagramas de estado corresponde ao funcionamento do circuito?]



- [1]
- [2]
- [3]
- [4]
- [5]
- [6]: None of the other options
 [Nenhuma das outras opções]

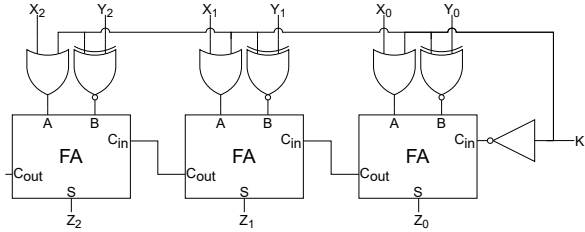
M. Represent 11101101₂ in octal.
 [Represente 11101101₂ em octal.]

- [1]: 237
- [2]: 205
- [3]: 355
- [4]: 155
- [5]: 255
- [6]: None of the other options
 [Nenhuma das outras opções]

This page will be discarded

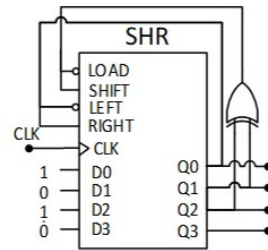
N. Which function is implemented by the following circuit? Consider that X and Y are 3-bit signed numbers (two's complement).
 [Qual é a função desempenhada pelo seguinte circuito? Assuma que X e Y são números com sinal com 3-bits (em complemento para dois).]

- [1]: $K=0: Z=X+Y$; $K=1: Z=Y-1$
- [2]: $K=0: Z=X+1$; $K=1: Z=X-Y$
- [3]: $K=0: Z=X-Y$; $K=1: Z=Y+1$
- [4]: $K=0: Z=X-Y$; $K=1: Z=Y-1$
- [5]: $K=0: Z=X-1$; $K=1: Z=X+Y$
- [6]: None of the other options
 [Nenhuma das outras opções]



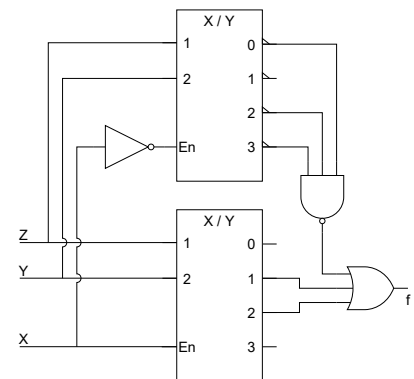
O. Consider the following circuit with a 4-bit shift register where the serial data inputs are always zero. The current state is $Q3 Q2 Q1 Q0 = 0110$. What are the next two states of the circuit?
 [Considere o seguinte circuito com um registo de deslocamento de 4-bits em que as entradas de dados série são sempre zero. O estado actual é $Q3 Q2 Q1 Q0 = 0110$. Quais serão os próximos dois estados?]

- [1]: 1011, 1100
- [2]: 0101, 0010
- [3]: 1010, 0101
- [4]: 1100, 1000
- [5]: 0011, 1010
- [6]: None of the other options [Nenhuma das outras opções]



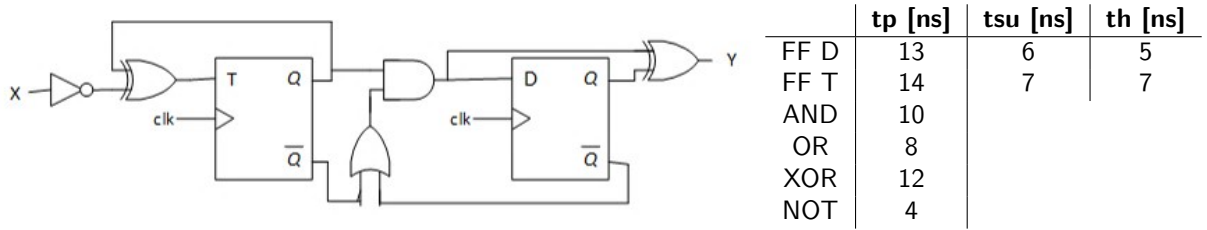
P. Select the option corresponding to the output $f(X, Y, Z)$ of the circuit shown below, when the inputs (X, Y, Z) have the values $(0, 0, 1), (0, 1, 1)$, and $(1, 0, 1)$.
 [Indique qual das opções corresponde à saída $f(X, Y, Z)$ do circuito apresentado em baixo, quando as entradas (X, Y, Z) tomam os valores $(0, 0, 1), (0, 1, 1)$, e $(1, 0, 1)$.]

- [1]: $\{f(0, 0, 1) ; f(0, 1, 1) ; f(1, 0, 1)\} = \{0 ; 1 ; 1\}$
- [2]: $\{f(0, 0, 1) ; f(0, 1, 1) ; f(1, 0, 1)\} = \{0 ; 0 ; 1\}$
- [3]: $\{f(0, 0, 1) ; f(0, 1, 1) ; f(1, 0, 1)\} = \{1 ; 0 ; 1\}$
- [4]: $\{f(0, 0, 1) ; f(0, 1, 1) ; f(1, 0, 1)\} = \{0 ; 1 ; 0\}$
- [5]: $\{f(0, 0, 1) ; f(0, 1, 1) ; f(1, 0, 1)\} = \{1 ; 0 ; 0\}$
- [6]: None of the other options [Nenhuma das outras opções]



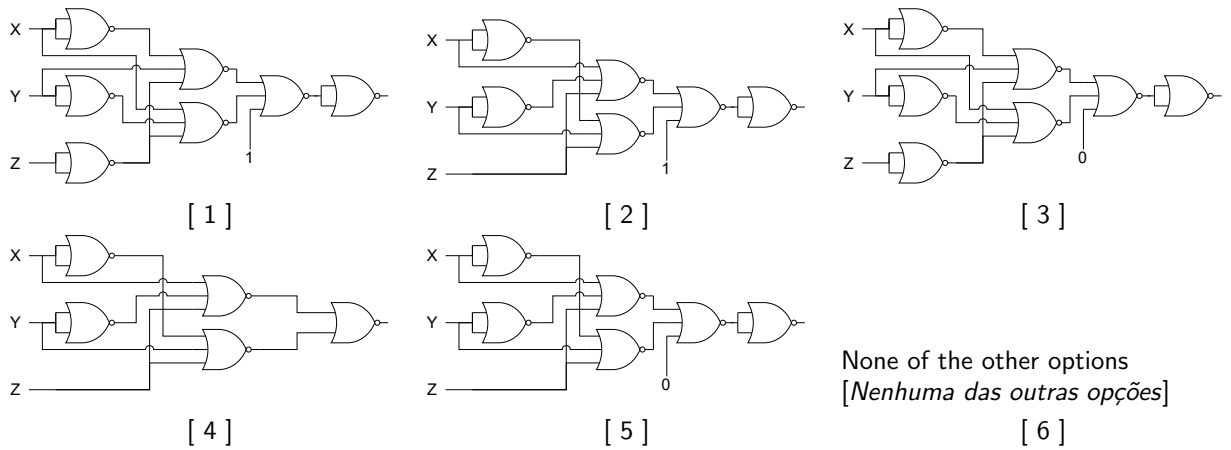
This page will be discarded

Q. What is the minimum clock period of the following circuit, given the table values (in ns)?
 [Qual é o período de relógio mínimo do seguinte circuito, assumindo os valores da tabela (em ns)?]



- [1]: 50
 - [2]: 33
 - [3]: 38
 - [4]: 66
 - [5]: 37
 - [6]: None of the other options
- [Nenhuma das outras opções]

R. Which of the following circuits implements the expression $X\bar{Y}.Z + \bar{X}.Y.Z$?
 [Qual dos seguintes circuitos implementa a expressão $X\bar{Y}.Z + \bar{X}.Y.Z$?]



(This space was intentionally left blank for you auxiliary calculations.)

This page will be discarded

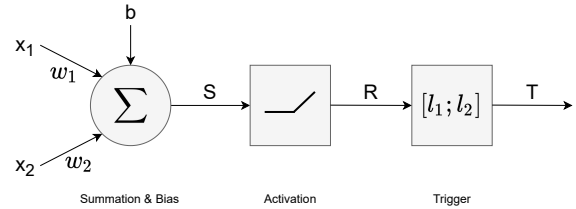
This page will be discarded

Volume 1 - Part II

NOTE: Portuguese version in the following page

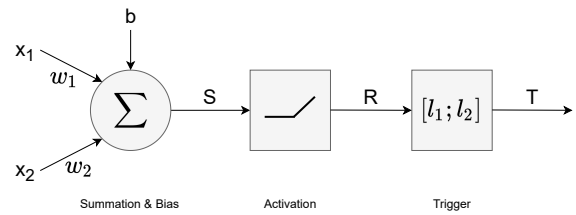
[Question score partitioning: 50% + 20% + 30%]

The neural network depicted in the figure comprises three layers that implement the *Summation & Bias*, the *ReLU Activation* function, and the *Trigger* function, respectively. The network processes a 2-D input vector (x_1, x_2) , where each input x_i is a signed integer represented with 4-bits. The final output T is a binary value (1-bit). In the following exercises, consider the utilization of 8-bit adders and assume an 8-bit precision in all intermediary calculations:



1. Design the circuit that implements the *Summation & Bias* layer, whose function is given by $S = \sum_{i=1}^{i=2} x_i \cdot w_i + b$. Assume the following parameterization: $w_1 = 4$, $w_2 = 7$, and $b = -23$.
2. Implement the circuit of the *ReLU Activation* function, given by $R(s) = \begin{cases} s & \text{if } s \geq 0; \\ 0 & \text{if } s < 0. \end{cases}$
3. By using the minimum hardware resources as possible, design the circuit that implements the *Trigger* function $T(x)$, whose output is equal to 1 when $l_1 \leq x \leq l_2$, by assuming $l_1 = 20$ and $l_2 = 27$. Hint: look at the binary representation of l_1 and l_2 .

A rede neuronal representada na figura inclui três camadas que implementam a *Summation & Bias*, a função *ReLU Activation*, e a função *Trigger*, respectivamente. A rede processa um vector 2-D (x_1, x_2) de entrada, onde cada entrada x_i é um inteiro com sinal representado com 4-bits. A saída final T é um valor binário (1-bit). Nos seguintes exercícios, considere a utilização de somadores de 8-bits e assuma precisão de 8-bits em todos os cálculos intermédios:



1. Desenhe o circuito que implementa a camada *Summation & Bias*, cuja função é dada por $S = \sum_{i=1}^{i=2} x_i \cdot w_i + b$. Assuma a seguinte parametrização: $w_1 = 4$, $w_2 = 7$, e $b = -23$.
2. Implemente o circuito da função *ReLU Activation*, dada por $R(s) = \begin{cases} s & \text{se } s \geq 0; \\ 0 & \text{se } s < 0. \end{cases}$
3. Utilizando o mínimo possível de recursos de hardware, projecte o circuito que implementa a função *Trigger* $T(x)$, cuja saída é igual a 1 quando $l_1 \leq x \leq l_2$, assumindo que $l_1 = 20$ e $l_2 = 27$. Sugestão: analise com atenção a representação binária de l_1 e l_2 .

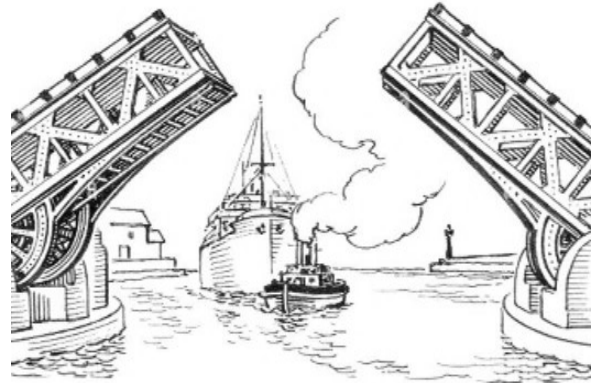
Volume 1 - Part III

NOTE: Portuguese version in the following page

[Question score partitioning: 50% + 50%]

Question A:

Design a circuit that controls a bascule bridge over a river. Since the bridge is relatively low, boats can only pass when the bridge is open (i.e., elevated). The operation of the bascule bridge is automated, with safety being guaranteed by radars and traffic lights. A set of radars detects cars crossing the bridge (CR) and another set detects boats approaching the bridge (BR). For both, detection means logical value '1'. There is a set of traffic lights for cars (CS) and another for boats (BS). The traffic lights include two lights: green (logical value '1') and red (logical value '0'). A signal (EU) activates the mechanism to open the bridge, and another signal (ED) activates the mechanism to close the bridge. The system includes a timer, able to count intervals of 15s. The timer is activated when the enabling signal (AT) has value '1', and keeps counting while that value is kept; it resets to inactive when that signal has value '0'; it activates signal TE when it expires at the end of 15s. The operation of the bridge obeys to the following rules:



- The initial state of the bridge is in the closed (i.e., down) position, with EU, ED and AT inactive, CS green and BS red. Starting from this state, when BR is activated by approaching boats, CS immediately becomes red. After CR detects that there are no cars crossing the bridge, EU is activated (value '1') until the bridge is completely open, which takes 15s.
- When the bridge is completely open, BS becomes green, and it remains so until no boats are detected by BR. Once no boats are detected, BS becomes immediately red. ED is activated (value '1') until the bridge is completely closed, which takes 15s. Then, the system goes back to the initial state.
- If, while the bridge is being elevated, a car is detected, the elevation stops until cars are no longer detected. After this, elevation resumes.
- It is more difficult to stop a boat than a car. If, while the bridge is lowering, a boat is detected, the bridge must be elevated again.
- In this bridge model, there are no other mechanisms to detect that the bridge is open or closed other than the known timings of the elevation and lowering operations. In case of doubt, the worst case must be considered.

Design the Moore machine of the circuit, presenting its state diagram, and defining all state transitions and output values for each state. "Don't cares" must be used for the inputs whose value does not matter for given a state transition. In the diagram, indicate the inputs/outputs according to the following order:

- Order of the inputs: BR, CR, TE.
- Order of the outputs: BS, CS, EU, ED, AT.

Explain succinctly the operation of the state machine and clearly indicate the meaning of each state.

Question B:

The state transition table on the right describes the behavior of a machine with 4 states, one input E and one output Y. Design a circuit that implements it using 1 flip-flop T (FF0), and 1 flip-flop D (FF1), as well as AND, OR and NOT gates. Obtain the logical expressions (in minimal form) for the flip-flop input signals, as well as the output of the circuit.

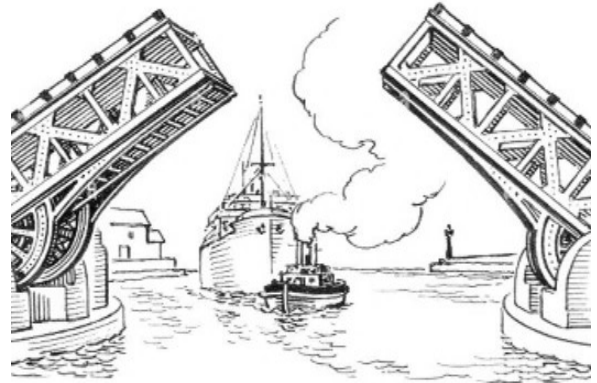
Q1(n)	Q0(n)	E	Q1(n+1)	Q0(n+1)	Y
0	0	0	1	1	1
0	0	1	0	1	0
0	1	0	1	0	1
0	1	1	0	1	1
1	0	0	0	0	1
1	0	1	1	0	0
1	1	0	1	1	0
1	1	1	0	1	1

T0 = ... D1 = ... Y = ...

This page will be discarded

Pergunta A:

Projecte um sistema de controlo de uma ponte basculante entre as duas margens de um rio. Como a ponte é relativamente baixa, as embarcações só podem passar quando a ponte está aberta (i.e., elevada). A operação da ponte basculante está automatizada, sendo a segurança garantida por radares e semáforos. Um conjunto de radares detecta automóveis a atravessar a ponte (CR), e outro detecta embarcações a aproximar-se da ponte (BR). Para ambos, o nível lógico '1' significa que houve detecção. Existe um conjunto de semáforos para automóveis (CS) e outro para embarcações (BS). Os semáforos incluem duas luzes: verde (valor lógico '1') e vermelho (valor lógico '0'). Um sinal (EU) activa o mecanismo para abrir a ponte, e outro sinal (ED) activa o mecanismo para fechar a ponte. O sistema inclui um temporizador, capaz de contar intervalos de 15s. O temporizador é activado quando o seu sinal de activação (AT) tem valor '1', e continua a contar enquanto aquele valor for mantido; o temporizador reinicializa e fica inactivo quando aquele sinal tem valor '0'; quando expira ao fim de 15s, o temporizador activa o sinal TE. A operação da ponte obedece às seguintes regras:



- O estado inicial da ponte é fechada (i.e., em baixo), com EU, ED e AT inactivos, CS verde e BS vermelho. Partindo deste estado, quando BR é activado por embarcações em aproximação, CS passa imediatamente a vermelho. Quando CR já não detectar carros a atravessar, EU é activado (valor '1') até que a ponte fique completamente aberta, o que acontece ao fim de 15s.
- Quando a ponte está completamente aberta, BS fica verde, e permanece assim até que nenhuma embarcação seja detectada por BR. Assim que isto acontecer, BS fica imediatamente vermelho. ED é activado (valor '1') até que a ponte fique completamente fechada, o que acontece ao fim de 15s. Uma vez aqui, o sistema volta ao estado inicial.
- Se, enquanto a ponte está a ser elevada, um automóvel for detectado, a elevação pára até que já não sejam detectados automóveis. Depois disto, a elevação da ponte continua.
- é mais difícil travar uma embarcação do que um automóvel. Se, enquanto a ponte está a baixar, uma embarcação for detectada, a ponte tem de ser elevada novamente.
- Neste modelo de ponte, não há outros mecanismos para detectar que a ponte está aberta ou fechada que não sejam os tempos bem conhecidos de elevação e abaixamento. Em caso de dúvida, tem de se considerar o pior caso.

Projecte a máquina de Moore do circuito, apresentando o diagrama de estados, e definindo todas as transições de estado e valores de saída de cada estado. As "indiferenças" têm de ser obrigatoriamente usadas para entradas que não tenham influência numa determinada transição de estado. No diagrama, as entradas/saídas têm de ser indicadas de acordo com a ordem seguinte:

- Ordem das entradas: BR, CR, TE.
- Ordem das saídas: BS, CS, EU, ED, AT.

Explique sucintamente a operação da máquina de estados e indique de forma clara o significado de cada estado.

Pergunta B:

A tabela de transição de estados à direita descreve uma máquina com 4 estados, uma entrada E e uma saída Y. Projecte o circuito que a implementa utilizando 1 flip-flop T (FF0), e 1 flip-flop D (FF1), assim como portas AND, OR e NOT. Obtenha as expressões algébricas (na forma mínima) para os sinais de entrada dos flip-flops, assim como da saída do circuito.

$T_0 = \dots$ $D_1 = \dots$ $Y = \dots$

Q1(n)	Q0(n)	E	Q1(n+1)	Q0(n+1)	Y
0	0	0	1	1	1
0	0	1	0	1	0
0	1	0	1	0	1
0	1	1	0	1	1
1	0	0	0	0	1
1	0	1	1	0	0
1	1	0	1	1	0
1	1	1	0	1	1



**Don't forget to identify this and the following pages!
Only these pages will be considered for your evaluation.**

Volume 2 - Part I

For each question of Part I (question A, B, C, ...), fill in the number of the **correct answer** from the supplied multiple-choice list (answer 1, 2, 3, ...):

*	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z
1																			X	X	X	X	X	X	X	X

NOTE: Leave blank (or fill in with 0) all questions that you do not wish to answer.

Volume 2 - Part II

Volume 2 - Part II (Cont.)

Volume 2 - Part III

Volume 2 - Part III (Cont.)