

Instructions

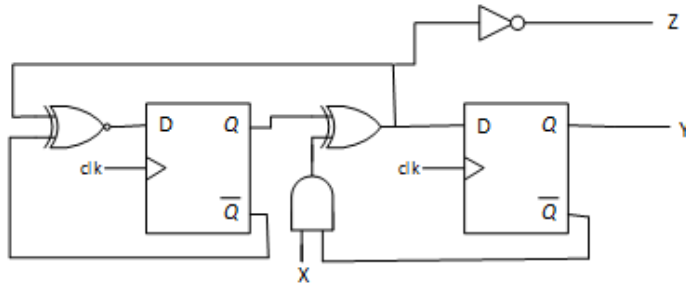
Before starting the exam, read carefully the following information:

- There are (at least) nine different versions of this exam.
- Although the exam comprises a total of 18 pages, there are two distinct volumes that should be handled as follows:
 - **Volume 1** corresponds to the question list and comprises pages 1 to 15. These pages do not need to be identified because they will be discarded at the end of the exam;
 - **Volume 2** corresponds to the answers sheet and comprises pages 15 to 18. All pages of this volume **MUST** be identified with the **student's name** and **number**.
 - At the end of the exam, all pages of **Volume 2** will be separated. Consequently, all non-identified pages will not be considered.
- The exam is composed of three parts (Part I, II and III) and has a duration of 2 (two) hours.
 - **Part I** comprises N_1 multiple choice questions and awards a total of $P_1 = 15$ points.
 - * Each correct answer awards $C = P_1/N_1$ points;
 - * Each wrong answer awards $W = -C/(A - 1)$ points (negative value), where A denotes the number of possible answers offered to each question;
 - * Each non-answered question awards 0 points.
 - **Part II** comprises an open-answer problem about combinatorial circuits and awards a total of $P_2 = 2.5$ points.
 - **Part III** comprises an open-answer problem about sequential circuits and awards a total of $P_3 = 2.5$ points.
 - All question answers **MUST** be replied in the allotted space of **Volume 2**.
- At the end of **Part I of Volume 1** you will find an empty page - you can use it for auxiliary calculations, but this page will not be delivered at the end. This means that all answers **MUST** be replied (and properly justified) in the allotted space of **Volume 2**.
- Each question includes a Portuguese translation of the corresponding text. In case of a mismatch between the English text and its translation, the English text will be the one to be considered in the evaluation¹.
- You cannot use or consult any material during the exam. On your desk you can only have a pen and your student identity card.

¹Cada pergunta inclui uma tradução para Português do referido texto. Em caso de incoerência entre o texto em Inglês e a sua tradução, será o texto em Inglês que será considerado na avaliação.

Volume 1 - Part I

A. What is the minimum clock period of the following circuit, given the table values (in ns)?
 [Qual é o período de relógio mínimo do seguinte circuito, assumindo os valores da tabela (em ns)?]



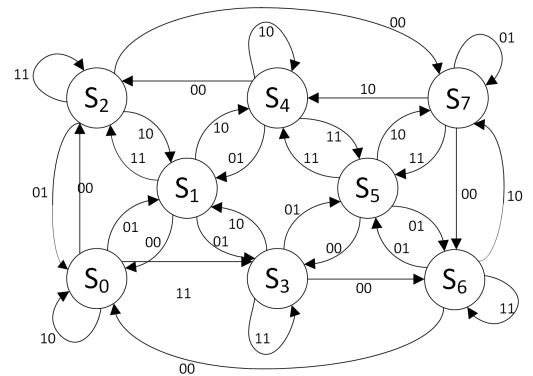
	tp [ns]	tsu [ns]	th [ns]
FF D	12	5	7
AND	5		
XNOR	8		
XOR	10		
NOT	3		

- [1]: 38
- [2]: 34
- [3]: 29
- [4]: 35
- [5]: 30
- [6]: None of the other options [Nenhuma das outras opções]

B. Consider the following state diagram with two inputs X_1X_0 , one-hot encoding, and where each state $S_i (i = 0, \dots, 7)$ is implemented with D flip-flops, with input D_i (next state) and output Q_i (current state). Select, only for the state S_6 , the correct option for D_6 as a function of X_1 and X_0 and the current states Q_i .

[Considere o seguinte diagrama de estados com duas entradas X_1X_0 , codificação one-hot, em que cada estado $S_i (i = 0, \dots, 7)$ é implementado com flip-flops do tipo D, com entradas D_i (próximo estado) e saída Q_i (estado actual). Indique, para o estado S_6 , a expressão de D_6 como função de X_1 e X_0 e os estados actuais Q_i .]

- [1]: $D_6 = X_1\bar{X}_0Q_2 + X_1X_0Q_3 + X_1\bar{X}_0Q_6 + X_1\bar{X}_0Q_7$
- [2]: $D_6 = X_1X_0Q_1 + \bar{X}_1\bar{X}_0Q_2 + X_1\bar{X}_0Q_6 + X_1X_0Q_7$
- [3]: $D_6 = \bar{X}_1X_0Q_0 + X_1\bar{X}_0Q_3 + \bar{X}_1X_0(Q_5 + Q_7)$
- [4]: $D_6 = \bar{X}_1X_0Q_5 + \bar{X}_1\bar{X}_0(Q_3 + Q_7) + X_1X_0Q_6$
- [5]: $D_6 = X_1\bar{X}_0Q_6 + X_1X_0Q_3 + \bar{X}_1X_0Q_5 + \bar{X}_1\bar{X}_0Q_7$
- [6]: None of the other options
[Nenhuma das outras opções]



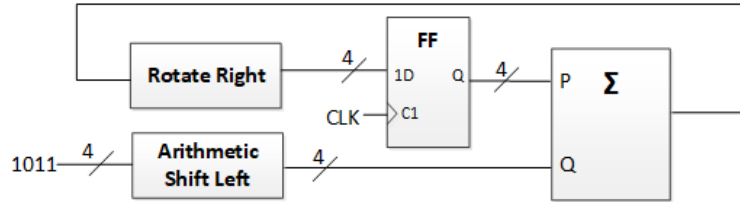
C. Represent $538A_{16}$ in octal.
 [Represente $538A_{16}$ em octal.]

- [1]: 56225
- [2]: 32513
- [3]: 53752
- [4]: 53262
- [5]: 51612
- [6]: None of the other options [Nenhuma das outras opções]

This page will be discarded

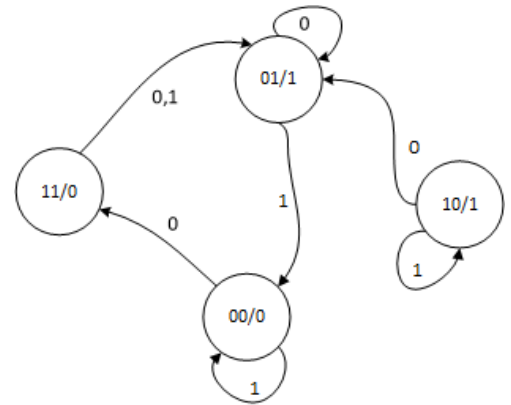
D. Consider the following circuit with an adder, a register (4 FF's) and a combinational logic circuit. Assuming that the current state is $Q(3:0) = 0101$, what are the next two states of the circuit?
 [Considere o seguinte circuito com um somador, um registo (4 FF's) e lógica combinatória. Assumindo que o estado actual é $Q(3:0) = 0101$, quais serão os próximos dois estados do circuito?]

- [1]: 0011, 1010
- [2]: 1000, 1100
- [3]: 0001, 1111
- [4]: 0100, 1111
- [5]: 1101, 1001
- [6]: None of the other options
 [Nenhuma das outras opções]



E.

Consider the following state diagram. Select the output value for each state and the value of the next state for each state and input.
 [Considere o seguinte diagrama de estados. Indique o valor da saída do circuito para cada estado e o valor do próximo estado para cada valor do estado e entrada.]



Q(n)	Y(n)	Q(n+1) x=0	Q(n+1) x=1
00	0	10	11
01	1	00	10
10	1	10	10
11	0	11	01

[1]

Q(n)	Y(n)	Q(n+1) x=0	Q(n+1) x=1
00	0	01	01
01	1	11	10
10	1	00	00
11	0	01	01

[2]

Q(n)	Y(n)	Q(n+1) x=0	Q(n+1) x=1
00	1	10	01
01	0	11	10
10	1	00	00
11	0	01	01

[3]

Q(n)	Y(n)	Q(n+1) x=0	Q(n+1) x=1
00	0	11	00
01	1	10	11
10	1	10	01
11	0	11	01

[4]

Q(n)	Y(n)	Q(n+1) x=0	Q(n+1) x=1
00	0	11	00
01	1	01	00
10	0	01	10
11	1	01	01

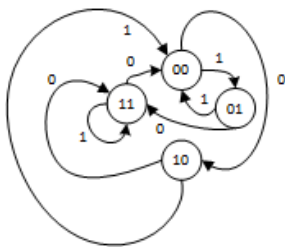
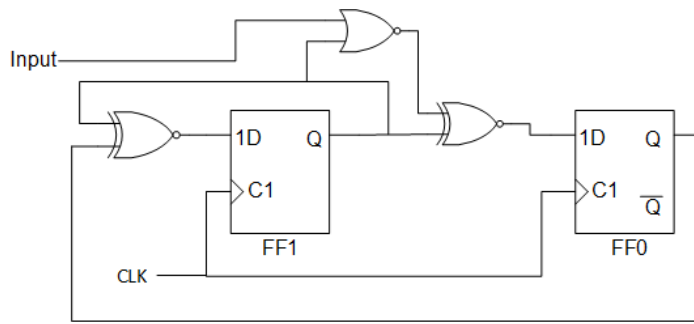
[5]

None of the other options
 [Nenhuma das outras opções]

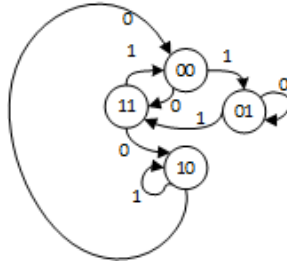
[6]

This page will be discarded

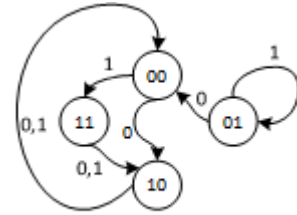
F. Consider the following circuit.
Which state diagram corresponds to the circuit?
[*Considere o seguinte circuito. Qual dos diagramas de estado corresponde ao funcionamento do circuito?*]



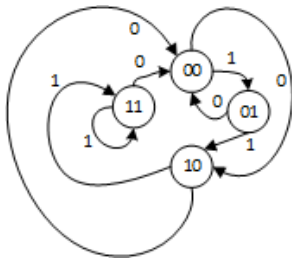
[1]



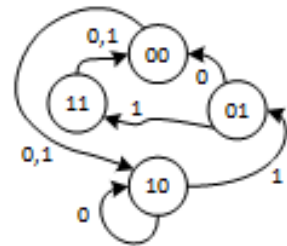
[2]



[3]



[4]



[5]

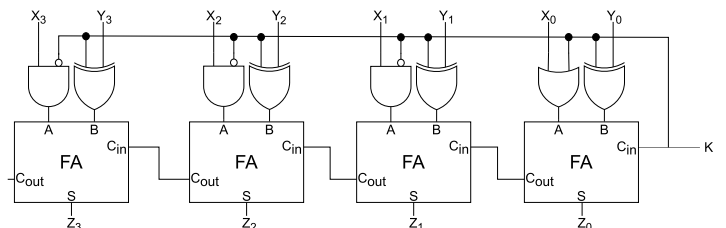
None of the other options
[*Nenhuma das outras opções*]

[6]

G. Which function is implemented by the following circuit? Consider that X and Y are 4-bit signed numbers (two's complement).

[*Qual é a função desempenhada pelo seguinte circuito? Assuma que X e Y são números com sinal com 4-bits (em complemento para dois).*]

- [1]: $K=0: Z = X-Y$; $K=1: Z = Y-1$
- [2]: $K=0: Z = X-Y$; $K=1: Z = X+Y+1$
- [3]: $K=0: Z = 1-Y$; $K=1: Z = 1+Y$
- [4]: $K=0: Z = -X$; $K=1: Z = X+Y$
- [5]: $K=0: Z = X+Y$; $K=1: Z = 1-Y$
- [6]: None of the other options
[*Nenhuma das outras opções*]



This page will be discarded

H. Which of the following expressions corresponds to the minimal function (defined as a sum of products) represented in the Karnaugh-map?
 [Qual das seguintes expressões corresponde à função mínima (definida como uma soma de produtos) representada no mapa de Karnaugh?]

- [1]: $\overline{B}.D + \overline{A}.B.\overline{D} + A.C$
- [2]: $C.\overline{D} + A.\overline{B}.C.D + A.D$
- [3]: $A.\overline{D} + \overline{B}.D + A.B.C.D$
- [4]: $\overline{A}.D + \overline{B}.D + A.B.C.\overline{D}$
- [5]: $\overline{B}.C + \overline{A}.B.C + \overline{A}.C.\overline{D}$
- [6]: None of the other options [Nenhuma das outras opções]

	CD			
	00	01	11	10
00	0	1	1	X
01	X	X	1	0
11	0	0	0	1
10	0	X	1	0

I. Represent 527_8 in base 10.

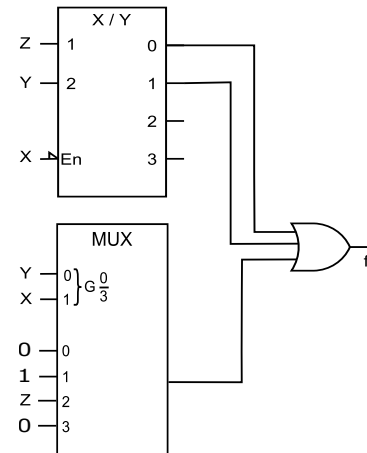
[Represente 527_8 na base 10.]

- [1]: 376
- [2]: 187
- [3]: 198
- [4]: 762
- [5]: 343
- [6]: None of the other options [Nenhuma das outras opções]

J. Select the option corresponding to the output $f(X, Y, Z)$ of the circuit shown below, when the inputs (X, Y, Z) have the values $(0, 0, 1), (0, 1, 0)$, and $(1, 1, 0)$.

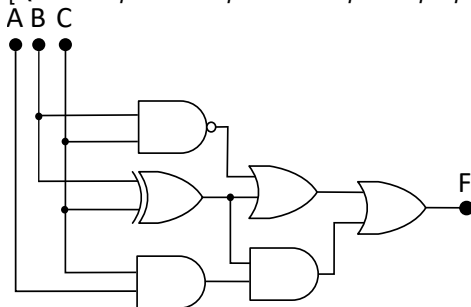
[Indique qual das opções corresponde à saída $f(X, Y, Z)$ do circuito apresentado em baixo, quando as entradas (X, Y, Z) tomam os valores $(0, 0, 1), (0, 1, 0)$, and $(1, 1, 0)$.]

- [1]: $\{f(0, 0, 1) ; f(0, 1, 0) ; f(1, 1, 0)\} = \{1 ; 1 ; 0\}$
- [2]: $\{f(0, 0, 1) ; f(0, 1, 0) ; f(1, 1, 0)\} = \{1 ; 0 ; 0\}$
- [3]: $\{f(0, 0, 1) ; f(0, 1, 0) ; f(1, 1, 0)\} = \{0 ; 1 ; 0\}$
- [4]: $\{f(0, 0, 1) ; f(0, 1, 0) ; f(1, 1, 0)\} = \{0 ; 0 ; 1\}$
- [5]: $\{f(0, 0, 1) ; f(0, 1, 0) ; f(1, 1, 0)\} = \{0 ; 1 ; 1\}$
- [6]: None of the other options [Nenhuma das outras opções]



K. What is the worst case for the propagation time of the following circuit?

[Qual é o pior caso para o tempo de propagação do seguinte circuito?]



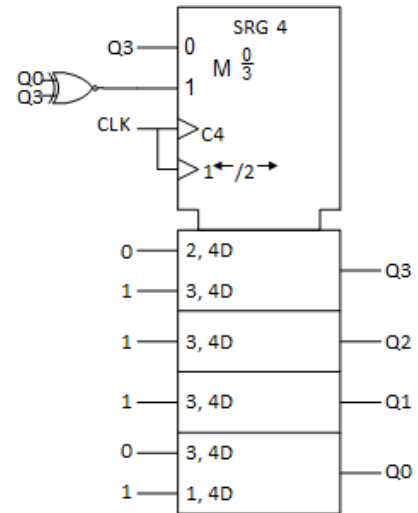
Gate	tp [ns]
NAND2	5
OR2	8
AND2	7
XOR2	12

- [1]: 33
- [2]: 31
- [3]: 28
- [4]: 30
- [5]: 27
- [6]: None of the other options [Nenhuma das outras opções]

This page will be discarded

L. Consider the following circuit with a 4-bit shift register, as depicted in the figure. The current state is $Q_3 Q_2 Q_1 Q_0 = 1011$. What are the next two states of the circuit?

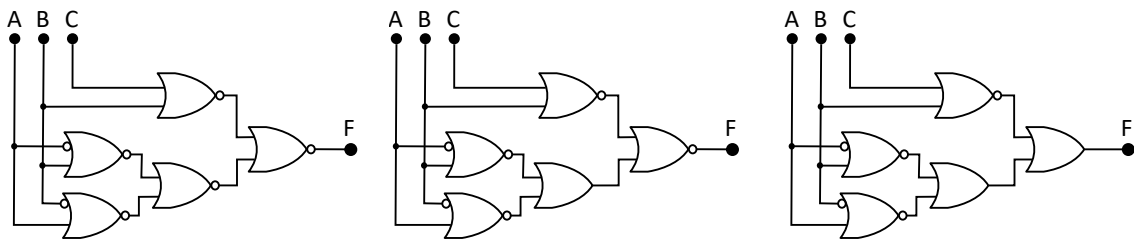
[Considere o seguinte circuito com um registo de deslocamento de 4-bits representado na figura. O estado actual é $Q_3 Q_2 Q_1 Q_0 = 1011$. Quais serão os próximos dois estados?]



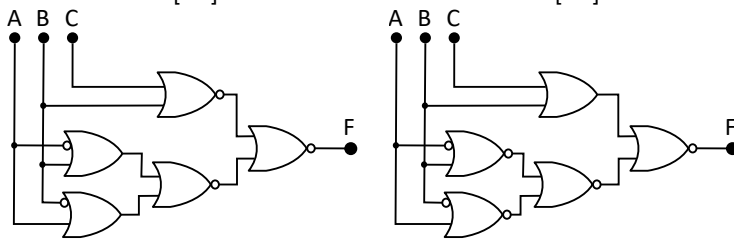
- [1]: 1010, 0110
- [2]: 1011, 0110
- [3]: 1001, 1001
- [4]: 1110, 1101
- [5]: 0111, 1110
- [6]: None of the other options
[Nenhuma das outras opções]

M. Which of the following circuits implements the expression $(A \oplus B).C + \bar{A}.B$?

[Qual dos seguintes circuitos implementa a expressão $(A \oplus B).C + \bar{A}.B$?]



- [1]
- [2]
- [3]



- [4]
- [5]

None of the other options
[Nenhuma das outras opções]

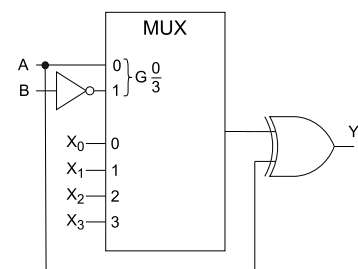
- [6]

N. Consider the following circuit and truth table. Select the multiplexer inputs $\{X_3; X_2; X_1; X_0\}$ that result in the given truth table.

[Considere o seguinte circuito e tabela de verdade. Selecione as entradas do multiplexer $\{X_3; X_2; X_1; X_0\}$ que resultam na tabela apresentada.]

- [1]: $\{X_3; X_2; X_1; X_0\} = \{0; \bar{C}; 1; \bar{C}\}$
- [2]: $\{X_3; X_2; X_1; X_0\} = \{1; C; 0; C\}$
- [3]: $\{X_3; X_2; X_1; X_0\} = \{0; C; 1; \bar{C}\}$
- [4]: $\{X_3; X_2; X_1; X_0\} = \{1; \bar{C}; C; 0\}$
- [5]: $\{X_3; X_2; X_1; X_0\} = \{1; C; \bar{C}; 1\}$
- [6]: None of the other options
[Nenhuma das outras opções]

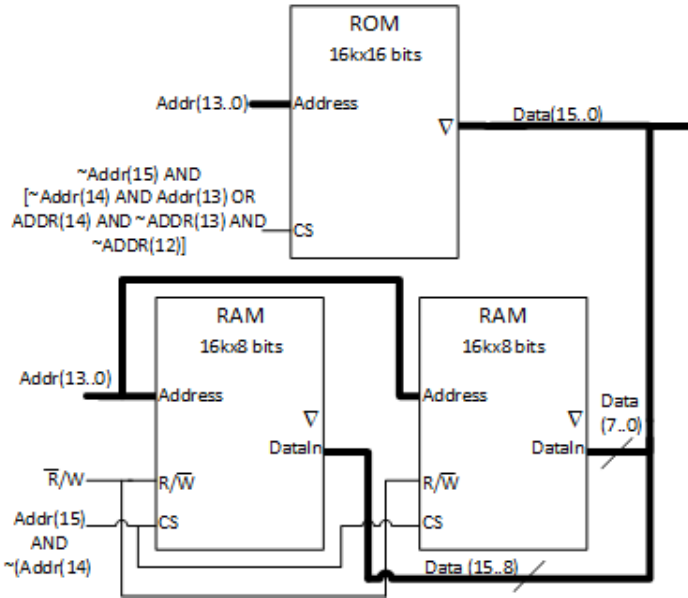
A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1



This page will be discarded

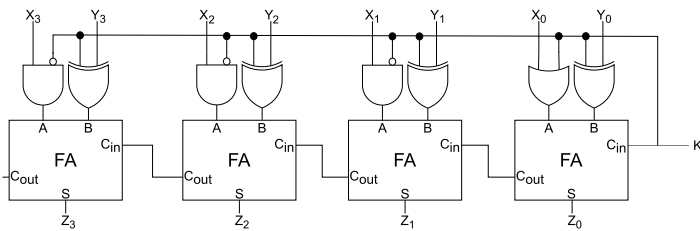
O. Consider the following memory system. Indicate the range of addresses that correspond to RAM and EPROM.

[Considere o seguinte sistema de memória. Indique os intervalos de endereços que correspondem a RAM e EPROM.]



- [1]: RAM:4000h..7FFFh; EPROM:B000h..EFFFh
- [2]: RAM:8000h..BFFFh; EPROM:1000h..2FFFh
- [3]: RAM:A000h..5FFFh; EPROM:C000h..DFFFh
- [4]: RAM:8000h..BFFFh; EPROM:2000h..4FFFh
- [5]: RAM:C000h..FFFFh; EPROM:B000h..EFFFh
- [6]: None of the other options
[Nenhuma das outras opções]

P. What is the worst case for the propagation time of the following circuit?
[Qual é o pior caso para o tempo de propagação do seguinte circuito?]



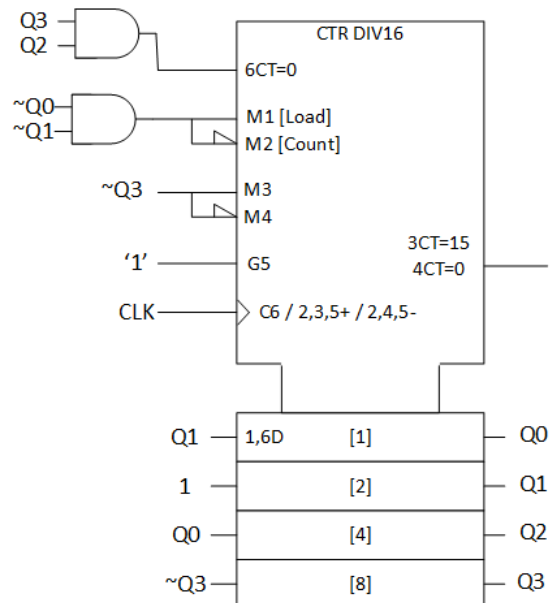
Gate	tp [ns]
AND	7
OR	8
XOR	15

FA propagation times (ns)		
	S	cout
A/B	19	23
cin	10	15

- [1]: 76
- [2]: 83
- [3]: 90
- [4]: 78
- [5]: 95
- [6]: None of the other options [Nenhuma das outras opções]

Q. Which of the following options corresponds to the sequence, in stationary mode, in decimal format at the output of the circuit in the figure below? (suggestion: start by analyzing a "load" situation.)

[Qual das seguintes opções corresponde à sequência de saída do seguinte circuito, em regime estacionário e em formato decimal? (sugestão: comece por analisar a situação de carregamento ("load") de dados.)]



- [1]: 4 - 10 - 9 - 8 - 2 - 3 - 4 ...
- [2]: 12 - 0 - 1 - 2 - 3 - 4 - 11...
- [3]: 4 - 12 - 11 - 10 - 9 - 3 - 4 ...
- [4]: 9 - 8 - 7 - 6 - 5 - 4 - 3 - 9 ...
- [5]: 4 - 12 - 0 - 1 - 2 - 3 - 4 ...
- [6]: None of the other options
[Nenhuma das outras opções]

This page will be discarded

R. What is the 8-bit two's complement representation of -39 ?

[Qual é a representação em complemento para dois com 8-bits de -39 ?]

[1]: 11011000

[2]: 10111010

[3]: 11011010

[4]: 00110001

[5]: 11011001

[6]: None of the other options [Nenhuma das outras opções]

(This space was intentionally left blank for you auxiliary calculations.)

This page will be discarded

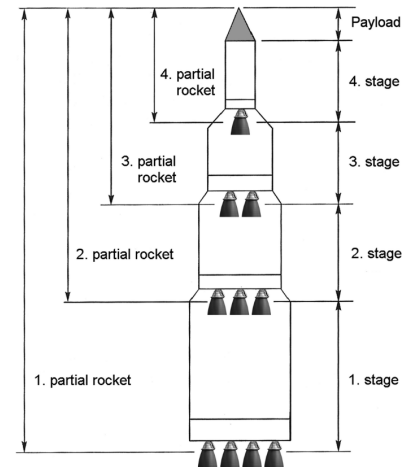
Volume 1 - Part II

NOTE: Portuguese version in the following page

[Question score partitioning: 35% + 30% + 35%]

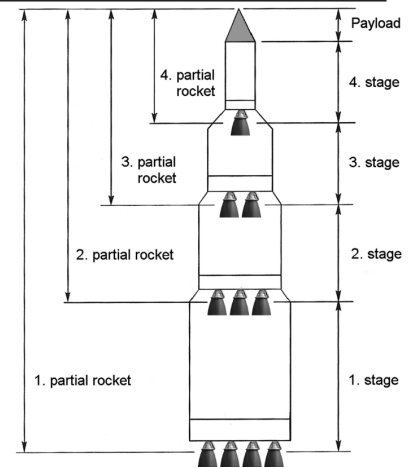
Consider a three-stage rocket with three fuel tanks, one for each stage. Each fuel tank (1, 2, and 3) has a sensor that measures the liquid fuel volume in thousands of liters using 6-bit unsigned outputs $V1$, $V2$, and $V3$, respectively. In the following exercises, consider the use of 8-bit adders:

1. Design the circuit that computes the total fuel weight in tons P if the fuel of tanks 1, 2, and 3 have densities of $3/4$, $1/2$, and $1/4$ kilograms per liter.
2. Without using adders or comparators, design a circuit that determines when the $V1$ is lower than 8 to determine when the first fuel tank can be released, activating signal $R1$.
3. Each tank also has a temperature sensor with 6-bit 2's complement outputs $T1$, $T2$, and $T3$. If the temperature of a later-stage tank gets higher than the one from the previous stage, an alarm signal A is activated to signal possible fuel ignition before time. Design a circuit that determines the alarm signal $A = (T3 > T2 \text{ or } T2 > T1)$ without using comparator circuits.



Considere um foguete de três andares com três tanques de combustível, um para cada andar. Cada tanque de combustível (1, 2 e 3) tem um sensor que mede o volume de combustível líquido em milhares de litros usando saídas de 6 bits sem sinal $V1$, $V2$ e $V3$, respectivamente. Nos exercícios a seguir, considere o uso de somadores de 8 bits.

1. Projete o circuito que calcula o peso total do combustível em toneladas P , se o combustível dos tanques 1, 2 e 3 tiver densidades de $3/4$, $1/2$ e $1/4$ quilogramas por litro.
2. Sem usar somadores ou comparadores, projete um circuito que determine quando o $V1$ é inferior a 8 para determinar quando o primeiro tanque de combustível pode ser liberado, ativando o sinal $R1$.
3. Cada tanque também tem um sensor de temperatura com saídas de 6 bits em complemento para 2: $T1$, $T2$ e $T3$. Se a temperatura de um tanque de um dos andares ficar mais alta do que a do andar anterior, um sinal de alarme A é ativado para sinalizar a possível ignição do combustível antes do tempo. Projete um circuito que determine o sinal de alarme $A = (T3 > T2 \text{ ou } T2 > T1)$ sem utilizar circuitos comparadores.



Volume 1 - Part III

NOTE: Portuguese version in the following page

[Question score partitioning: 50% + 50%]

Question A:

Design a circuit that controls a basic dehumidifier device. This device has two modes of operation, allowing it to be used as a dehumidifier or as a fan. The control mechanism to be developed works as follows:



- Unless otherwise indicated, all the signals are Active High.
- Input signal B0 is the on/off switch. Input B1 is the mode selector, selecting between dehumidifier ('1') and fan ('0') functions. S0 is the sensor that detects whether the water bucket is attached in place ('1') or not ('0'). Input S1 detects whether the bucket is full ('1') or not ('0'). Input signal T is activated when one of the system timers expires (see below).
- There are two timers, Timer 0 with length T0, and Timer 1 with length T1. Output signal AT0 activates Timer 0. Output signal AT1 activates Timer 1. Each of the timers is activated when the respective activation signal (AT0 or AT1) makes a transition from '0' to '1'. The timer is deactivated in case the respective activation signal returns to value '0'. Only one of the timers may be active at each time, since signal T is common to both. In case of simultaneous activation of AT1 and AT2, signal T will not be activated.
- Output signal A0 activates the dehumidifier mechanism. Output signal A1 activates the fan mechanism.
- The control mechanism starts in an off state. The activation of button B0 moves to a state of duration T0, during which the user may switch between modes of operation using button B1. Once Timer 0 expires, the device begins its operation in the selected mode.
- In case the dehumidifier mode was selected, the device activates the dehumidifier function by means of signal A0. The latter is interrupted in case the bucket becomes full, or when the bucket is removed. Once the bucket is detected to be attached and not full, the device waits a time interval of duration T1 before resuming normal dehumidifier operation. During this interval, if the bucket is again detected to be detached or full, the state machine goes back to the interrupted dehumidifier state.
- In case the fan mode was selected, the device activates the fan mechanism by means of signal A1, and remains operating in that mode until B0 is deactivated. The fan mode can operate independently of the bucket being detached or full.
- The system will return to the initial off state whenever B0 is deactivated.

Consider the incomplete state diagram of the Moore machine of the circuit (see Volume 2, Part III).

Complete the diagram, defining the values of the input signals associated with all state transitions, as well as the values of the output signals associated with each state. "Don't cares" must be used for the inputs whose value does not matter for given a state transition. In the diagram, indicate the inputs/outputs according to the following order:

- Order of the inputs: B0, B1, S0, S1, T.
- Order of the outputs: A0, A1, AT0, AT1.

Question B:

The state transition table on the right describes the behavior of a machine with 4 states, one input E and one output Y. A circuit that implements it using two flip-flops of type D (FF0 and FF1), as well as AND, OR and NOT gates, is to be projected. Obtain the logical expressions (in minimal disjunctive form) for the flip-flop input signals, as well as the output of the circuit.

Q1(n)	Q0(n)	E	Q1(n+1)	Q0(n+1)	Y
0	0	0	1	1	0
0	0	1	0	0	1
0	1	0	1	1	0
0	1	1	0	1	0
1	0	0	0	0	1
1	0	1	0	1	1
1	1	0	1	0	1
1	1	1	1	0	1

D0 = ...

D1 = ...

Y = ...

This page will be discarded

Pergunta A:

Projete um circuito para controlar um desumidificador simples. Este dispositivo tem dois modos de operação, que lhe permitem funcionar quer como desumidificador quer como ventilador. O mecanismo de controlo a desenvolver funciona da seguinte forma:



- A não ser que se especifique o contrário, todos os sinais são Ativos a High.
- O sinal de entrada B0 corresponde ao botão on/off. O sinal de entrada B1 é o seletor de modo, que seleciona entre a função desumidificador ('1') e função ventilador ('0'). S0 é o sensor que deteta se o balde de água está encaixado ('1') ou removido ('0'). O sensor S1 deteta se o balde está cheio ('1') or não ('0'). O sinal de entrada T é ativado quando um dos temporizadores do sistema expira (ver abaixo).
- Existem dois temporizadores, Timer 0 com duração T0, e Timer 1 with length T1. O sinal de saída AT0 ativa o Timer 0. O sinal de saída AT1 ativa o Timer 1. Cada uma dos temporizadores é ativado quando o respetivo sinal de ativação (AT0 ou AT1) transita de '0' para '1'. O temporizador é desativado no caso de o respetivo sinal de ativação voltar a tomar valor '0'. A cada momento só pode estar ativo um temporizador, pois o sinal T é comum a ambos. Em caso de ativação simultânea de AT1 e AT2, o sinal T não será ativado.
- O sinal de saída A0 ativa o mecanismo do desumidificador. O sinal de saída A1 ativa o mecanismo do ventilador.
- O mecanismo de controlo começa no estado desligado. A ativação do botão B0 fá-lo passar para um estado com duração T0, durante o qual o utilizador pode alterar o modo de funcionamento utilizando o botão B1. Assim que o Timer 0 expira, o dispositivo inicia a sua operação no modo selecionado.
- No caso de ter sido selecionado o modo desumidificador, o dispositivo ativa a função de desumidificação através de A0. Esta é interrompida caso o balde fique cheio, ou seja removido. Assim que o balde volta ao seu encaixe e não esteja cheio, o dispositivo espera um intervalo de duração T1 antes de voltar ao funcionamento normal do desumidificador. Durante este intervalo, se o balde volta a ser detetado como estando cheio ou removido, a máquina de estados volta ao estado de desumidificador interrompido.
- No caso de a função de ventilador ser selecionada, o dispositivo ativa o mecanismo de ventilação através do sinal A1, e continua a operar nesse modo até B0 ser desativado. O ventilador pode operar independentemente de o balde ter sido removido ou estar cheio..
- O sistema regressa ao estado inicial sempre que B0 é desativado.

Considere o diagrama de estados incompleto da máquina de Moore do circuito (ver Volume 2, Parte III).

Complete o diagrama, definindo os valores dos sinais de entrada que desencadeiam todas as transições de estado, assim como os valores de saída de cada estado. As "indiferenças" têm de ser obrigatoriamente usadas para entradas que não tenham influência numa determinada transição de estado. As entradas/saídas têm de ser indicadas de acordo com a ordem seguinte:

- Ordem das entradas: B0, B1, S0, S1, T.
- Ordem das saídas: A0, A1, AT0, AT1.

Pergunta B:

A tabela de transição de estados à direita descreve uma máquina com 4 estados, uma entrada E e uma saída Y. Projecte o circuito que a implementa utilizando dois flip-flops D (FF0 e FF1), assim como portas AND, OR e NOT. Obtenha as expressões algébricas (na forma mínima disjuntiva) para os sinais de entrada dos flip-flops, assim como da saída do circuito.

Q1(n)	Q0(n)	E	Q1(n+1)	Q0(n+1)	Y
0	0	0	1	1	0
0	0	1	0	0	1
0	1	0	1	1	0
0	1	1	0	1	0
1	0	0	0	0	1
1	0	1	0	1	1
1	1	0	1	0	1
1	1	1	1	0	1

D0 = ...

D1 = ...

Y = ...



**Don't forget to identify this and the following pages!
Only these pages will be considered for your evaluation.**

Volume 2 - Part I

For each question of Part I (question A, B, C, ...), fill in the number of the **correct answer** from the supplied multiple-choice list (answer 1, 2, 3, ...):

★	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z
1																			X	X	X	X	X	X	X	X

NOTE: Leave blank (or fill in with 0) all questions that you do not wish to answer.

Volume 2 - Part II

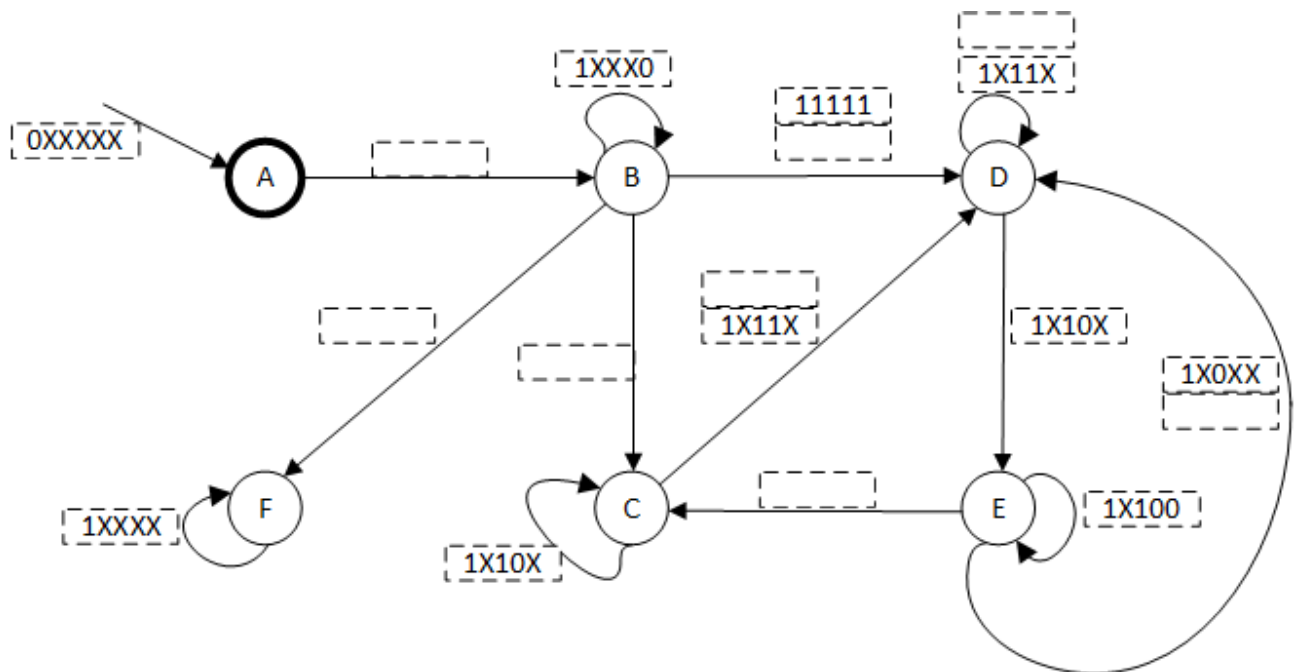
Volume 2 - Part II (Cont.)

Volume 2 - Part III

Pergunta A:

Meaning of the states [*Significado dos estados*]:

- A: Off; **initial state** [*Desligado; estado inicial*];
- B: Mode selection [*Seleção de modo*];
- C: Dehumidifier active [*Desumidificador ativo*];
- D: Dehumidifier with removed or full bucket [*Desumidificador com balde removido ou cheio*];
- E: Dehumidifier waiting to reactivate [*Desumidificador a aguardar reativação*];
- F: Fan active [*Ventilador ativo*];



For each state, define the values of the inputs (in the diagram) and of the outputs (below) according to the following order:
 [*Para cada estado, indique os valores das entradas (no diagrama) e das saídas (em baixo) de acordo com a seguinte ordem*]:

- Ordem das entradas: B0, B1, S0, S1, T.
- Ordem das saídas: A0, A1, AT0, AT1.

- A: _____
- B: _____
- C: _____
- D: _____
- E: _____
- F: _____

Volume 2 - Part III (Cont.)