

Aluno _____	Nº _____
-------------	----------

Instituto Superior Técnico
Licenciatura em Ciências Informáticas
Licenciatura em Engenharia Física Tecnológica
Licenciatura em Engenharia Electrotécnica e de Computadores

Sistemas Digitais

Exame de 1ª Época – 20 de Janeiro de 2004

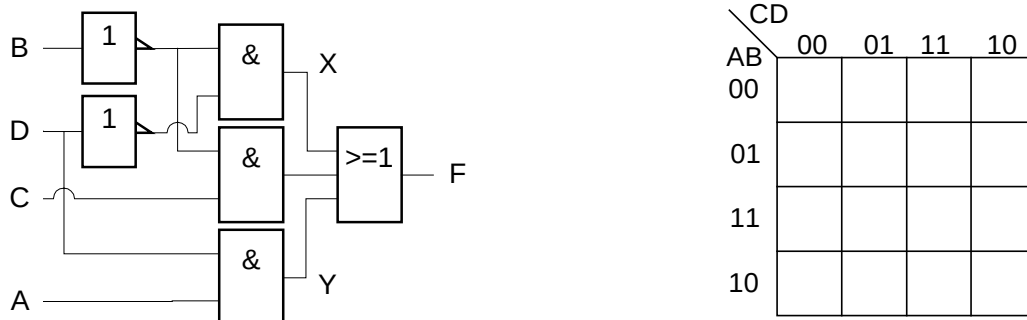
Antes de começar o exame leia atentamente esta folha de rosto

1. A mesa de exame apenas deve ter a identificação do aluno (cartão de estudante e bilhete de identidade ou outro documento oficial com fotografia)
2. Identifique todas as folhas do enunciado. A não identificação de uma folha de exame acarreta a sua destruição automática.
3. Responda apenas na folha de exame. Utilize as costas das folhas para rascunho.
4. Para cada questão do exame é fornecido um espaço, devidamente enquadrado, dentro do qual deverá responder. O tamanho do enquadramento está ajustado ao tamanho expectável da resposta. Respostas que se prolongam para além do enquadramento de cada pergunta apenas significam que o aluno está a responder desadequadamente, pelo que serão devidamente penalizadas.
5. As cotações das perguntas encontram-se indicadas à esquerda, a cheio entre parêntesis.
6. Todas as respostas têm de ser justificadas adequadamente.
7. Duração do exame: 2 horas e meia.
8. A não entrega do exame tem o mesmo significado que a não comparência ao exame.

Aluno _____	Nº _____
-------------	----------

Grupo I – Circuitos Combinatórios Básicos

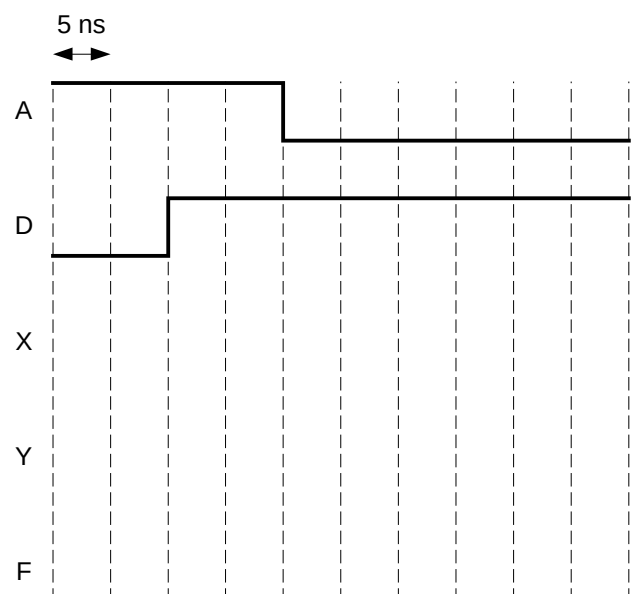
1. Considere o circuito representado na figura, que implementa (não necessariamente na forma mínima) uma função booleana de 4 variáveis.



- a) **[2 val]** Suponha que a função booleana a partir da qual o circuito foi projectado contém indiferenças nos mintermos 1, 7 e 11 (A e D são as variáveis de maior e menor peso, respectivamente). Complete o mapa de Karnaugh correspondente e obtenha expressões mínimas para $F(A,B,C,D)$ nas formas disjuntiva e conjuntiva.

- b) **[1 val]** Atendendo aos tempos de propagação apresentados na tabela abaixo, e supondo que $B = L$, $C = L$, complete o diagrama temporal relativo ao circuito da figura.

Componente	t_{pHL} (ns)	t_{pLH} (ns)
NOT	10	7
AND	5	10
OR	15	12



Aluno _____	N° _____
-------------	----------

2. Considere o seguinte mapa de Karnaugh de 5 variáveis.

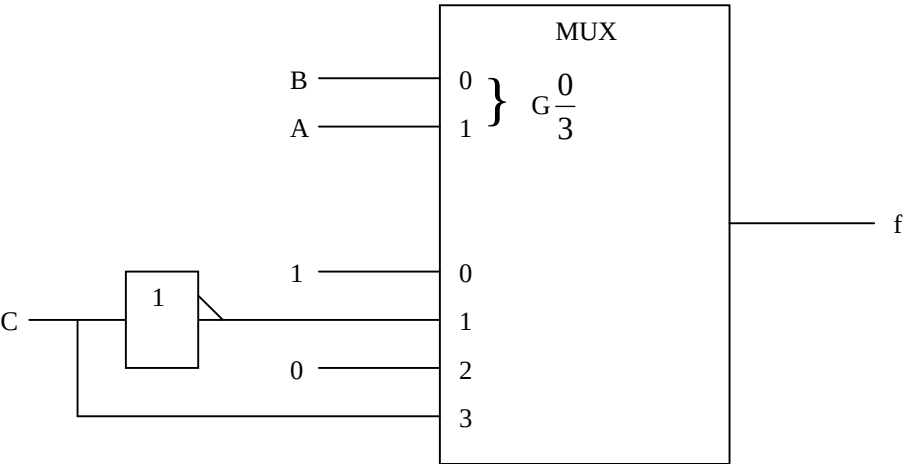
		C							
		D							
		E							
AB \	00	0	0	0	0	1	1	1	1
	01	0	0	1	1	1	1	0	0
AB \	11	0	1	1	0	0	1	1	0
	10	1	X	1	1	1	1	X	X

a) **[1 val]** Indique a expressão para o implicante primo que contém $\overline{B}\overline{C}\overline{E}$.

b) **[0,5 val]** Indique, justificando, se é possível reunir os dois mintermos assinalados num mesmo implicante. Em caso afirmativo, indique a sua expressão.

Grupo II – Circuitos Combinatórios Integrados

1. Considere o circuito com entradas A, B, C e saída f abaixo apresentado.



a) [1 val] Qual a expressão algébrica correspondente a f ?

b) [1 val] Indique, justificando, qual o tempo de atraso máximo do circuito apresentado.

		MUX		NOT
	tPHL	Seleccção	25ns	16ns
	tPLH		20ns	14ns
	tPHL	Dados	12ns	
	tPLH		16ns	

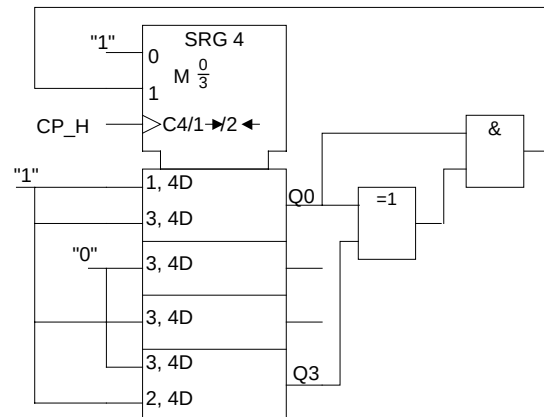
Aluno _____	Nº _____
-------------	----------

c) [1,5 val] Sintetize a função f usando apenas um MUX 2:1 e portas lógicas elementares.

2. [1 val] Desenhe um circuito com entradas $A_2, A_1, A_0, B_2, B_1, B_0$ e saída f . A saída f deve valer 1 se e só se as palavras $A_2A_1A_0$ e $B_2B_1B_0$ têm o mesmo número de bits a 1. Pode usar apenas um decodificador de 3 entradas (saídas activas a HIGH), um MUX 8:1 e portas lógicas elementares.

Grupo III – Contadores, Registos e Memórias

1. Considere a montagem seguinte:



- a) **[1 val]** Indique, justificando, a sequência de estados pela qual passa o circuito para transitar do estado 6 para o estado 5.
 Nota: o estado é identificado pelos bits $Q_3Q_2Q_1Q_0$, por exemplo, o valor 0101 corresponde ao estado 5.

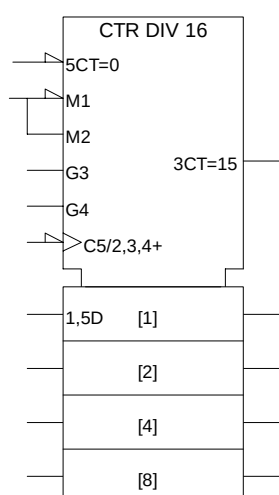
- b) **[1,5 val]** Determine a frequência máxima de funcionamento para o circuito apresentado. Seria possível simplificar a lógica adicional mantendo o funcionamento pretendido? Justifique a resposta.

Componente	Thold	Tsu	TpHL	TpLH
Registo	2ns	10ns	40ns	30ns
EXOR			25ns	20ns
AND			10ns	15ns

Aluno _____	Nº _____
-------------	----------

2. Considere a seguinte sequência de estados (0,1,4,5,8,9,12,13,0,...)

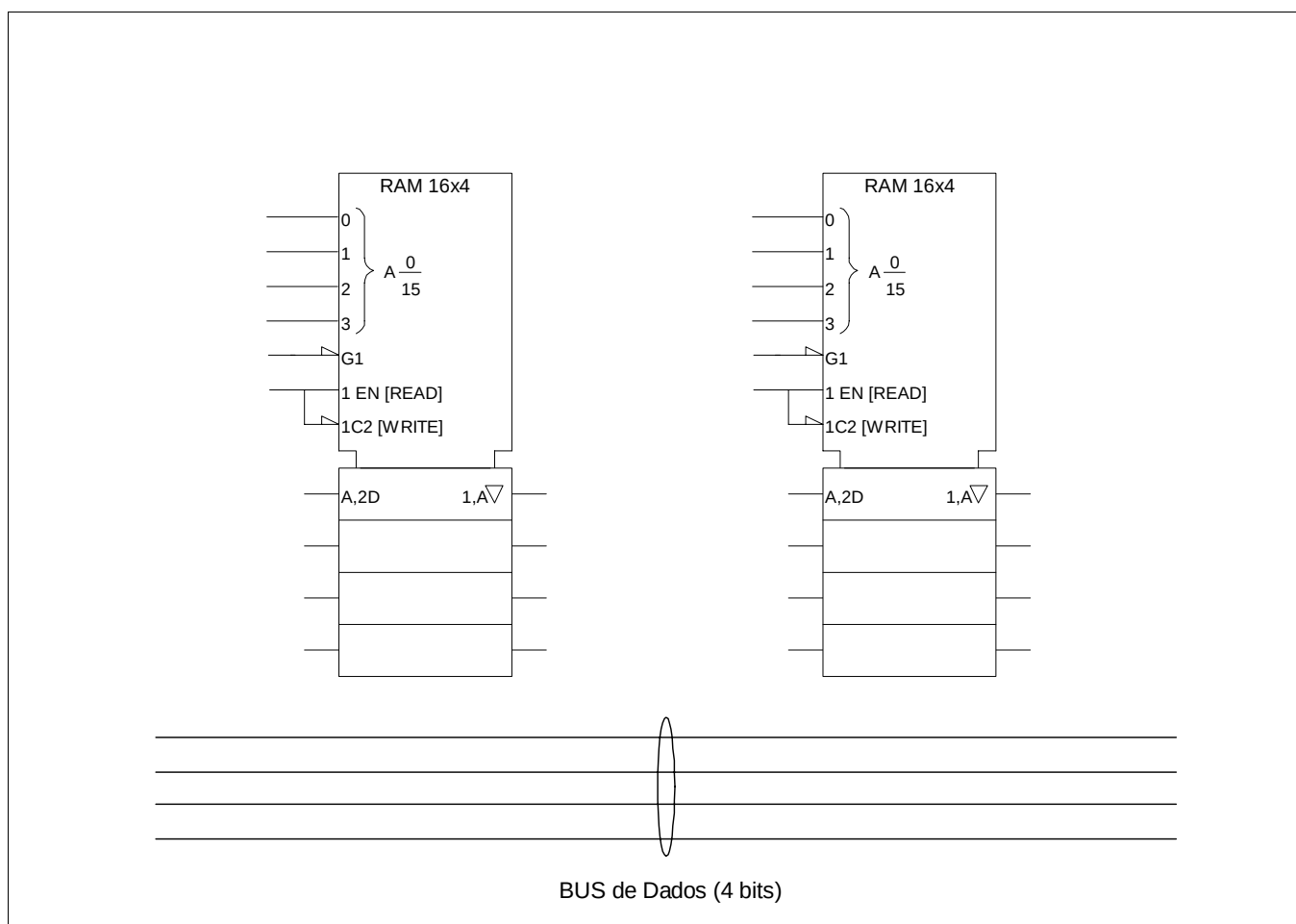
- a) **[1,5 val]** Utilizando o contador da figura e o menor número possível de portas lógicas adicionais implemente a sequência de estados referida. Justifique todas as opções.



Aluno _____	Nº _____
-------------	----------

- b) **[0,5 val]** A solução da alínea anterior apresenta situações de “lock-out”? Justifique a resposta.
 Caso não tenha respondido à alínea anterior, apresente, justificando, um exemplo de uma hipotética situação de “lock-out” quando a sequência de estados pretendida corresponde à referida anteriormente.

3. **[1 val]** Considere os seguintes circuitos de memória. Estabeleça as ligações que permitem associar estes dois blocos de memória, de 16 palavras de 4 bits, de modo a obter um bloco de memória de 32 palavras consecutivas de 4 bits com ligação de entrada/saída a um bus de 4 bits.. Mais, as palavras com endereços 0 a 3, 8 a 11, 16 a 19, 24 a 27 devem ser armazenadas na memória da direita e as restantes na memória da esquerda

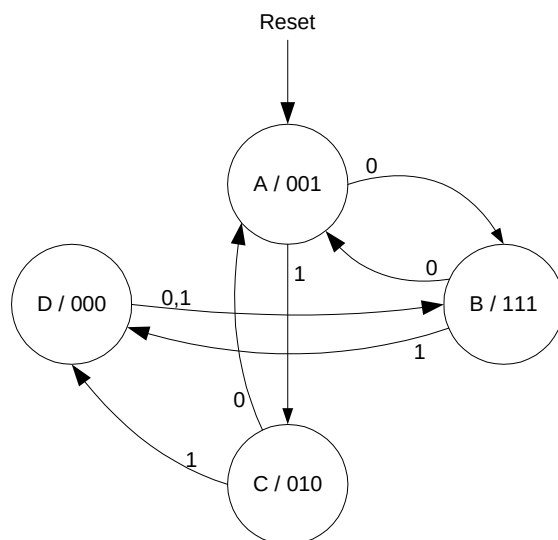


Grupo IV – Circuitos Sequenciais Síncronos

1. Considere o circuito sequencial, com uma entrada **E** (além da entrada de Reset) e 3 saídas **S₂**, **S₁** e **S₀**, definido pelo diagrama de estados seguinte.

Projecte (de acordo com as alíneas abaixo) circuitos que o concretizem utilizando **Flip-Flops D** “edge-triggered” positivos.

Entrada: <E>
Saídas: <S₂ S₁ S₀>



- a) **[2 val]** Determine as equações de excitação dos FFs e as funções das saídas, para uma concretização do circuito utilizando 2 FFs, de acordo com a codificação de estados indicada abaixo.

A	00
B	01
C	11
D	10

Aluno _____	Nº _____
-------------	----------

b) **[1 val]** Desenhe o logigrama correspondente ao circuito definido em a).

c) **[1,5 val]** Determine as equações de excitação dos FFs e as funções das saídas, para uma concretização do circuito utilizando **1FF/estado** (“*one-hot encoding*”).

Aluno _____	Nº _____
-------------	----------

2. **[1 val]** Dada a figura abaixo, que reflecte a evolução temporal (considerando os tempos de atraso desprezáveis face ao período de relógio) de um circuito sequencial com uma entrada E e uma saída S (os sinais Q1 e Q0 representam as saídas dos FFs), esboce o diagrama de estados que especifica completamente o comportamento do circuito.

