

Aluno _____	Nº _____
-------------	----------

Instituto Superior Técnico
Licenciatura em Engenharia Aeroespacial
Licenciatura em Engenharia Electrotécnica e de Computadores

Sistemas Digitais

Exame de 1ª Época – 28 de Junho de 2004

Antes de começar o exame leia atentamente esta folha de rosto

1. Duração do exame: **2:30**
2. Sobre a mesa de exame apenas deve encontrar-se a identificação do aluno (**cartão de estudante**)
3. **Identifique** todas as folhas do enunciado.
4. Responda apenas na folha de exame. Utilize as costas das folhas para **rascunho**.
5. Para cada questão do exame é fornecido um espaço, devidamente enquadrado, dentro do qual deverá responder. O tamanho do enquadramento está ajustado ao tamanho expectável da resposta.
6. Responda ao exame com **calma**. Se não sabe responder a uma pergunta **passe à seguinte** e volte a ela no fim.

Grupo I – Circuitos Combinatórios Básicos

1. **[0.5 val]** Dada a função booleana de cinco variáveis $f(A,B,C,D,E)$ definida abaixo (em que A é a variável mais significativa), preencha o mapa de Karnaugh da esquerda.

$$f(A,B,C,D,E) = \sum m(1,2,3,6,12,13,14,17,19,22,27,28,30,31) + \sum m_d(10,18,21,25,26,29)$$

A	0	0	0	0	1	1	1	1
B	0	0	1	1	1	1	0	0
C	0	1	1	0	0	1	1	0
DE								
00								
01								
11								
10								

A	0	0	1	1
B	0	1	1	0
CD				
00	X	X	1	
01	1	1		1
11	1			X
10			1	X

2. Considere o mapa de Karnaugh de quatro variáveis da direita.

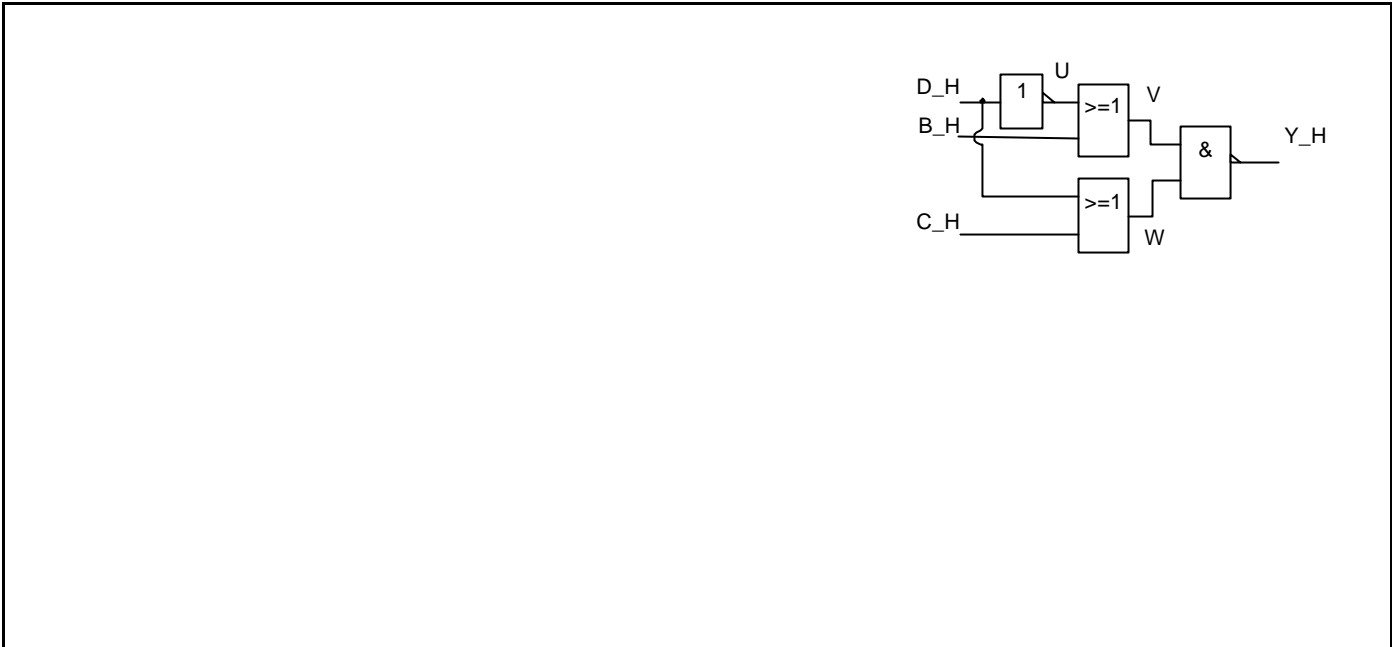
- a) **[1 val]** Expresse a respectiva função lógica $g(A,B,C,D)$ na forma conjuntiva mínima (produto de somas).

- b) **[0.5 val]** Por **inspeção directa** do mapa indique, justificando, o valor de g para todas as combinações indiferentes das variáveis de entrada.

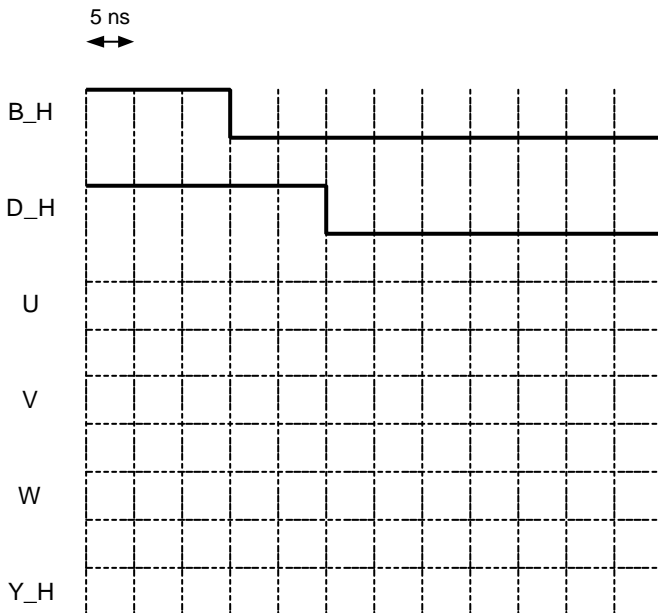
3. Considere o circuito representado abaixo.

a) [1 val] Demonstre, **por manipulação algébrica**, que o circuito gera a saída $Y = h(A,B,C,D)$, onde

$$h(A, B, C, D) = \overline{B} \overline{C} + A \overline{C} \overline{D} + \overline{B} D + \overline{A} \overline{C} \overline{D}$$



b) [1 val] Complete o seguinte diagrama temporal relativo ao circuito anterior, **supondo que C_H = L**. Tenha em conta os tempos de atraso indicados na tabela



(ns)	NOT	NAND	OR
t_{PLH}	12	15	13
t_{PHL}	10	11	11

c) [0.5 val] Indique os valores (fixos) das variáveis B_H e C_H para que uma transição HL em D_H se propague até à saída **apenas** através do percurso NOT → OR → NAND.

Grupo II – Circuitos Combinatórios Integrados

1. Considere a função booleana $f(A,B,C)$ definida através da sua tabela de verdade.

a) [1 val] Complete o logigrama apresentado, que permite gerar $Y = f(A,B,C)$ usando um decodificador 3:8 e uma única porta lógica adicional (cujas características deverá definir).

ABC	Y
000	1
001	0
010	0
011	1
100	1
101	1
110	0
111	0

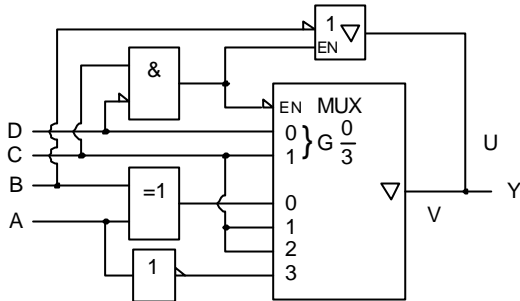
b) [1 val] Repita o exercício anterior para o novo circuito apresentado. Note que a porta de saída está agora especificada.

CAB	Y
000	
001	
010	
011	
100	
101	
110	
111	

Aluno _____

Nº _____

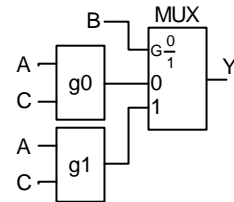
2. [1 val] Adoptando a convenção de lógica **negativa em A** e **positiva nas restantes variáveis**, complete a tabela de verdade relativa ao circuito combinatório apresentado. **Sugestão:** Comece por identificar os estados de alta impedância em U e V, assinalando-os na tabela com a letra 'Z'.



A = 0				A = 1			
BCD	U	V	Y	BCD	U	V	Y
000				000			
001				001			
010				010			
011				011			
100				100			
101				101			
110				110			
111				111			

3. [1 val] Pretende-se usar o circuito representado abaixo para sintetizar a função lógica $g(A,B,C) = \prod M(0,3,6) \cdot \prod m_d(4,7)$, em que A é a variável de maior peso. Determine as expressões algébricas dos blocos de lógica combinatória, g0 e g1, que devem ser ligados às entradas de dados do multiplexer. Indique, justificando, como resolver as indiferenças de modo a minimizar o número de portas lógicas a utilizar.

ABC	Y
000	
001	
010	
011	
100	
101	
110	
111	

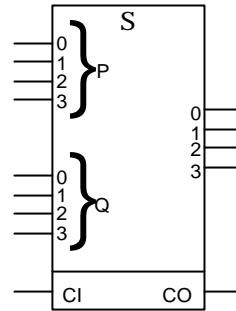
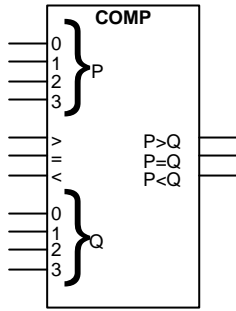


BAC	Y
000	
001	
010	
011	
100	
101	
110	
111	

Aluno _____

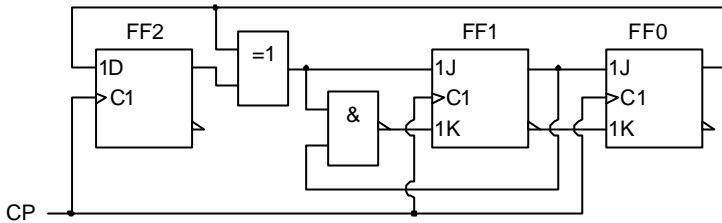
Nº

4. [1 val] Utilizando somadores integrados, comparadores e, se necessário, portas lógicas adicionais, projecte um circuito que receba um número de 4 bits, $X = (X_3X_2X_1X_0)$, gerando um número de 4 bits $Y = (Y_3Y_2Y_1Y_0)$ tal que (i) $Y = X+1$ se $0 \leq X \leq 5$ e (ii) $Y = X+3$ se $X > 5$. Ignore os problemas relacionados com overflow.



Grupo III – Contadores, Registos e Memórias

1. Considere o circuito sequencial representado na figura.



$(Q_2Q_1Q_0)_n$	D2	J1	K1	J0	K0	$(Q_2Q_1Q_0)_{n+1}$
000						
001						
010						
011	1	1	0	1	0	111
100						
101						
110						
111	1	0	1	1	0	101

- a) **[0.7 val]** Preencha a tabela de transições, considerando que ao flip-flop FF_i está associada a saída Q_i e as entradas D_i ou J_i , K_i .
- b) **[0.8 val]** Supondo que o estado inicial é $Q_2Q_1Q_0 = 001$, use os resultados obtidos na alínea anterior para determinar a sequência de estados (contagem) cíclica do circuito. Qual é o **módulo de contagem**?

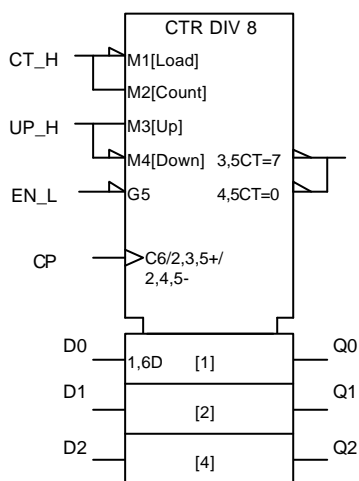
- c) **[1 val]** Após um flanco de relógio que origina a transição $Q_2Q_1Q_0 = 011 \rightarrow 111$, qual o intervalo de tempo máximo até que todas as entradas dos flip-flops estabilizem? Indique quais os **trajectos de propagação a analisar**.

(ns)	FF-D	FF-JK	NAND	XOR
t_{PLH}	22	10	10	11
t_{PHL}	20	12	8	13
t_{setup}	25	34	–	–
t_{hold}	5	6	–	–

Aluno _____	Nº
-------------	----

- d) **[0.5 val]** Calcule a frequência máxima de funcionamento deste circuito, admitindo que a transição entre estados que conduz a um tempo de latência mais desfavorável é a que foi considerada na alínea anterior.

2. **[1 val]** Pretende-se utilizar o contador integrado ascendente/descendente representado abaixo para implementar um circuito que percorra ciclicamente a sequência de contagem 1, 2, 3, 7, 6, 5. Preencha as linhas da tabela correspondentes aos **estados de contagem**, indicando em cada caso as excitações do contador e o correspondente estado seguinte. Nas linhas correspondentes a **estados não utilizados**, indique valores de excitação que **implicariam** a possibilidade de ocorrência de lockout num circuito implementado de acordo com essa especificação.

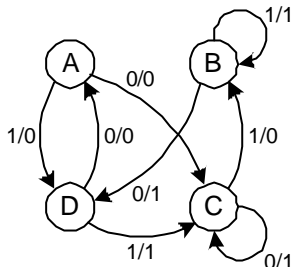


$(Q_2Q_1Q_0)_n$	CT	UP	D ₂ D ₁ D ₀	$(Q_2Q_1Q_0)_{n+1}$
000				
001				
010				
011				
100				
101				
110				
111				

3. **[1 val]** Indique, justificando, qual a dimensão mínima (em bits) de um contador que permite dividir a frequência da sua entrada de relógio por um factor de 128.

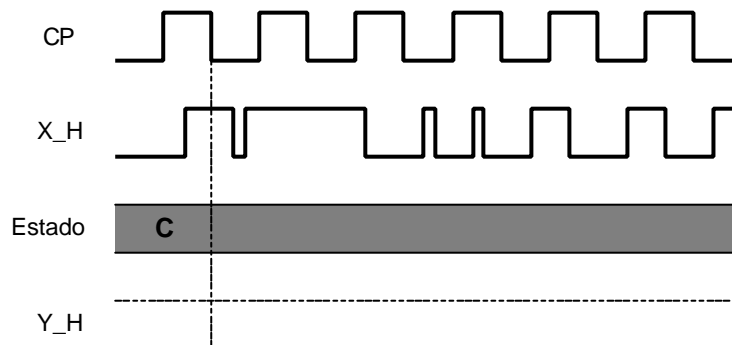
Grupo IV – Circuitos Sequenciais Síncronos

1. Considere o seguinte diagrama de estados de uma máquina de Mealy com entrada X e saída Y.



$(Q_1Q_0)_n$	X	$(Q_1Q_0)_{n+1}$	Y
00	0		
00	1		
01	0		
01	1		
10	0		
10	1		
11	0		
11	1		

- a) **[0.5 val]** Preencha a tabela de transições, admitindo que o estado é codificado pelas saídas de dois flip-flops, Q_1Q_0 , de acordo com A = 10, B = 01, C = 00, D = 11.
- b) **[1 val]** Complete o diagrama temporal. Admita que as transições de estado ocorrem nos flancos descendentes do sinal de relógio (CP) e despreze os atrasos de propagação no circuito.



c) **[1 val]** Converta o diagrama de estados dado num outro que possa ser implementado como uma máquina de Moore.

Aluno _____	Nº
-------------	----

2. A seguinte tabela de transições descreve o comportamento de um circuito sequencial síncrono com uma entrada W e uma saída Z, cujo estado é codificado pelas saídas de dois flip-flops, Q1Q0.

$(Q_1Q_0)_n$	W	D	J	K	$(Q_1Q_0)_{n+1}$	Z
00	0				00	1
00	1				01	1
01	0				11	1
01	1				00	0
10	0				X	X
10	1				X	X
11	0				00	0
11	1				01	1

- a) **[1 val]** Supondo que os flip-flops associados a Q1 e Q0 são do tipo D e JK, respectivamente, complete as colunas da tabela referentes às excitações destes.
- b) **[1 val]** Suponha agora que pretendia implementar um circuito com funcionalidade idêntica utilizando síntese com 1 flip-flop D por estado (“one-hot encoding”). Quantos flip-flops seriam necessários neste caso? Apresente a equação de excitação para um dos flip-flops à sua escolha. Identifique-o relativamente à codificação de estados inicial (síntese clássica), justificando a expressão obtida com um diagrama de estados.

Aluno _____	Nº
-------------	----

3. [1 val] Determine o diagrama de estados de uma máquina de Moore que detecta se um inteiro não negativo, representado por um bloco de 3 bits, pertence ao intervalo 0 a 5, **excluindo** o 2. Os bits são apresentados em série à máquina numa única entrada, começando pelo de maior peso. Ao receber o bit menos significativo a máquina activa a saída durante um período de relógio se o número estiver na gama pretendida, e fica pronta a processar o próximo bloco de 3 bits (ou seja, o sistema opera **sem sobreposição**). Justifique as opções tomadas.