

Aluno _____	Nº
-------------	----

Instituto Superior Técnico
Licenciatura em Engenharia Aeroespacial
Licenciatura em Engenharia Electrotécnica e de Computadores

Sistemas Digitais

Exame de 2ª Época - 13 de Julho de 2001

Antes de começar o exame leia atentamente esta folha de rosto

1. A mesa de exame apenas deve ter a identificação do aluno (cartão de estudante e bilhete de identidade ou outro documento oficial com fotografia)
2. Identifique todas as folhas do enunciado. A não identificação de uma folha de exame acarreta a sua destruição automática.
3. Responda apenas na folha de exame. Utilize as costas das folhas para rascunho.
4. Para cada questão do exame é fornecido um espaço, devidamente enquadrado, dentro do qual deverá responder. O tamanho do enquadramento está ajustado ao tamanho expectável da resposta. Respostas que se prolongam para além do enquadramento de cada pergunta apenas significam que o aluno está a responder desadequadamente, pelo que serão devidamente penalizadas.
5. As cotações das perguntas encontram-se indicadas à esquerda, a cheio entre parêntesis.
6. Duração do exame: 2 horas.
7. A não entrega do exame tem o mesmo significado que a não comparência ao exame.

Aluno _____	Nº _____
-------------	----------

Grupo I – Circuitos Combinatórios Básicos

1. Considere uma função F de quatro variáveis (A, B, C, D), em que A é o bit mais significativo, definida por:

- i) $\Sigma m(3, 4, 6)$
- ii) indiferente em m2, m10, m12 e m14.

a) **[1,5 val]** Obtenha a expressão mínima da função F como uma soma de produtos, usando o quadro de Karnaugh dado.

	AB				
		00	01	11	10
CD					
00					
01					
11					
10					

b) **[1 val]** Indique DOIS implicants primos essenciais (IPE), UM impicante primo não essencial (IPnE), e DOIS implicants não primos (InP), da função F. Justifique.

Aluno _____	Nº
-------------	----

2. [1 val] Dada a função $G = \overline{(X + Y)}(Z + X\bar{Z})$, simplifique-a de modo a obter um único termo.

3. Considere um circuito somador completo de 1 bit.
a) [1 val] Defina a tabela de verdade do circuito.

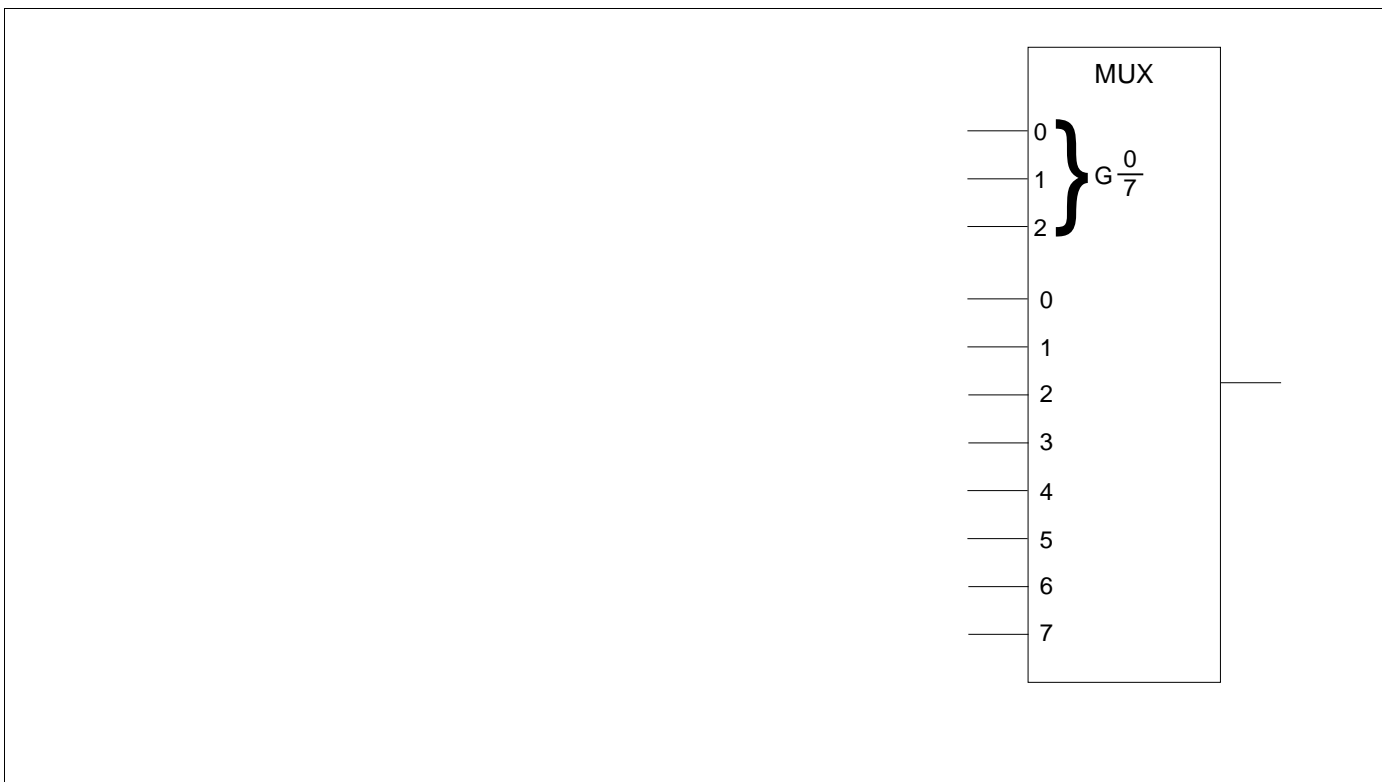
- b) [1.5 val] Realize o circuito utilizando portas lógicas básicas (AND, OR, NOT, NOR, NAND, XOR e/ou XNOR).

Aluno _____	Nº _____
-------------	----------

Grupo II – Circuitos Combinatórios Integrados

1. Pretende-se projectar um circuito que dados quatro bits (b3, b2, b1, b0) apresente a saída S activa sse o número correspondente em binário for capicua (por exemplo, 1001 é capicua, mas 1010 não é).

a) [1.5 val] Realize o circuito acima especificado usando o multiplexer abaixo e, caso necessário, portas NOT.

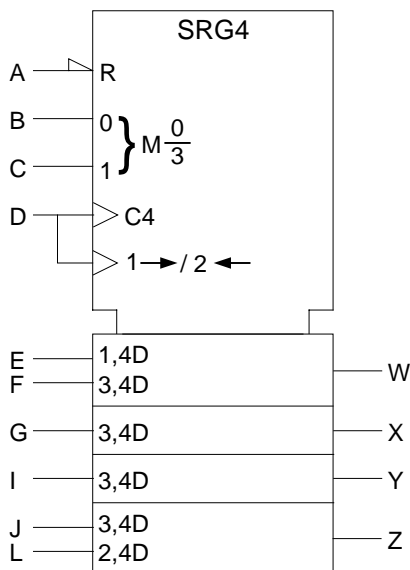


b) [1.5 val] Determine o pior atraso de propagação de sinal (“*worst-case propagation delay*”) no circuito realizado. Indique num diagrama temporal **UMA** transição correspondente a esse caso.

Dispositivos \ Tempos	t_{PHL}	t_{PLH}
Multiplexer		
Seleção→Saída	15 ns	19 ns
Dados→Saída	20 ns	22 ns
Restantes Portas	10 ns	11 ns

Grupo III – Contadores, Registos e Memórias

1.



A	B	C	D	E	F	G	I	J	L
1	1	0	0	0	1	0	0	1	0

- a) **[1 val]** Considere que são colocados às entradas do registo os valores lógicos indicados na tabela acima. Determine os valores lógicos nas saídas, após um flanco de relógio (D comuta de 0 para 1), dado o estado anterior:

	W	X	Y	Z
Antes do flanco de relógio	1	1	1	1
Depois do flanco de relógio				

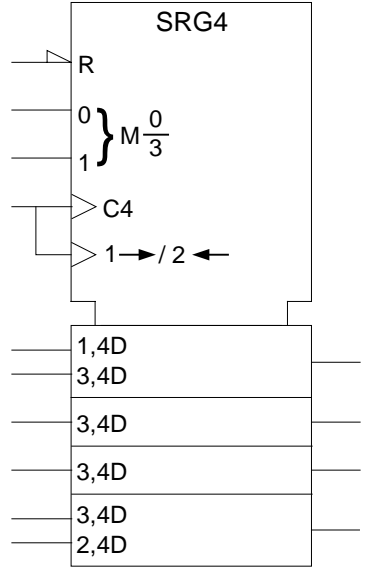
- b) **[1.5 val]** Pretende-se projectar um registo de 4 bits, com as funcionalidades seguintes, seleccionáveis a partir de 2 linhas de controlo S0 e S1 de acordo com a tabela abaixo.

S0	S1	Função (a realizar num único flanco de relógio)
0	0	Mantém o estado (<i>hold</i>)
0	1	Deslocamento à direita de uma posição (<i>shift-right</i>), com carregamento série do bit mais significativo.
1	0	Deslocamento à esquerda de uma posição (<i>shift-left</i>), com carregamento série do bit menos significativo.
1	1	Deslocamento à direita de duas posições (<i>shift-right-2</i>), com carregamento dos 2 bits mais significativos.

Use apenas o registo de deslocamento indicado na página seguinte e, caso considere necessário, portas lógicas simples (AND, OR, NOT, NOR e/ou NAND).

Aluno _____

Nº



Aluno _____	Nº
-------------	----

Grupo IV – Circuitos Sequenciais Síncronos

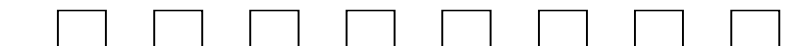
1. Considere um circuito sequencial com uma entrada, X , e uma saída, Z . A saída $Z = '1'$ se e só se existir uma sequência de 2 ou mais zeros na entrada.

a) [1 val] Desenhe o diagrama de estados do circuito correspondente a um modelo de Mealy.

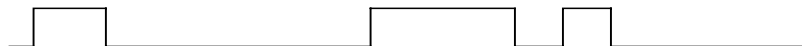
b) [1.5 val] Defina uma codificação de estados com um máximo de 2 bits.

Complete o diagrama temporal abaixo, indicando a forma de onda na saída e nos bits de estado, Q_1 , supondo uma implementação com Flip-Flops “*edge-triggered*” positivos.

CLK



X



.....

.....

.....

.....

.....

.....

Aluno _____	Nº _____
-------------	----------

2. Considere o circuito sequencial definido pela tabela de transição de estados seguinte.
 Projecte (de acordo com as alíneas abaixo) o circuito correspondente utilizando **Flip-Flops D** “edge-triggered” positivos.
 Utilize o **número mínimo** de FFs.

Estado Actual	Estado Seguinte / Saída Actual	
	X = 0	X = 1
A	A / 0	B / 0
B	B / 0	D / 0
C	C / 0	D / 0
D	D / 1	A / 1

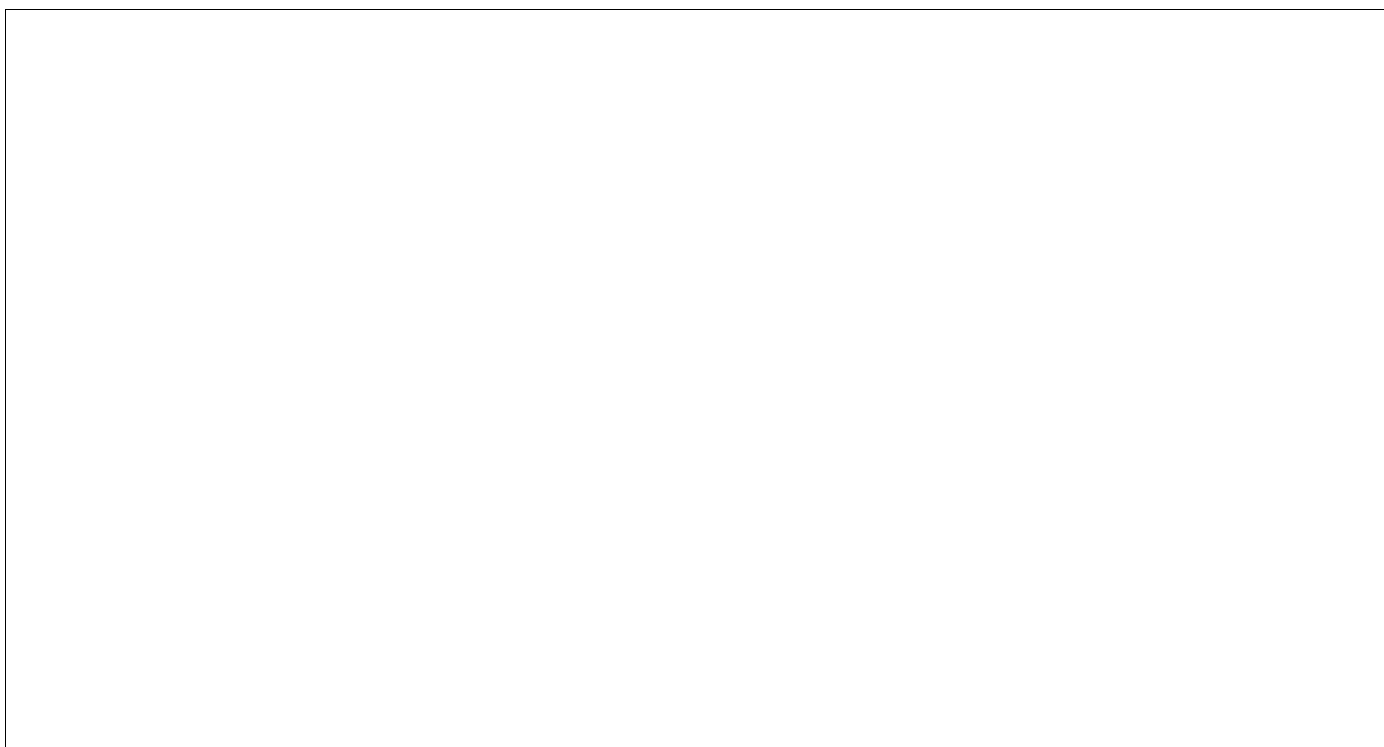
- a) **[0.5 val]** Trata-se de uma máquina de Moore ou de Mealy ? Justifique.

- b) **[0,5 val]** Defina a codificação de estados que vai usar no projecto.

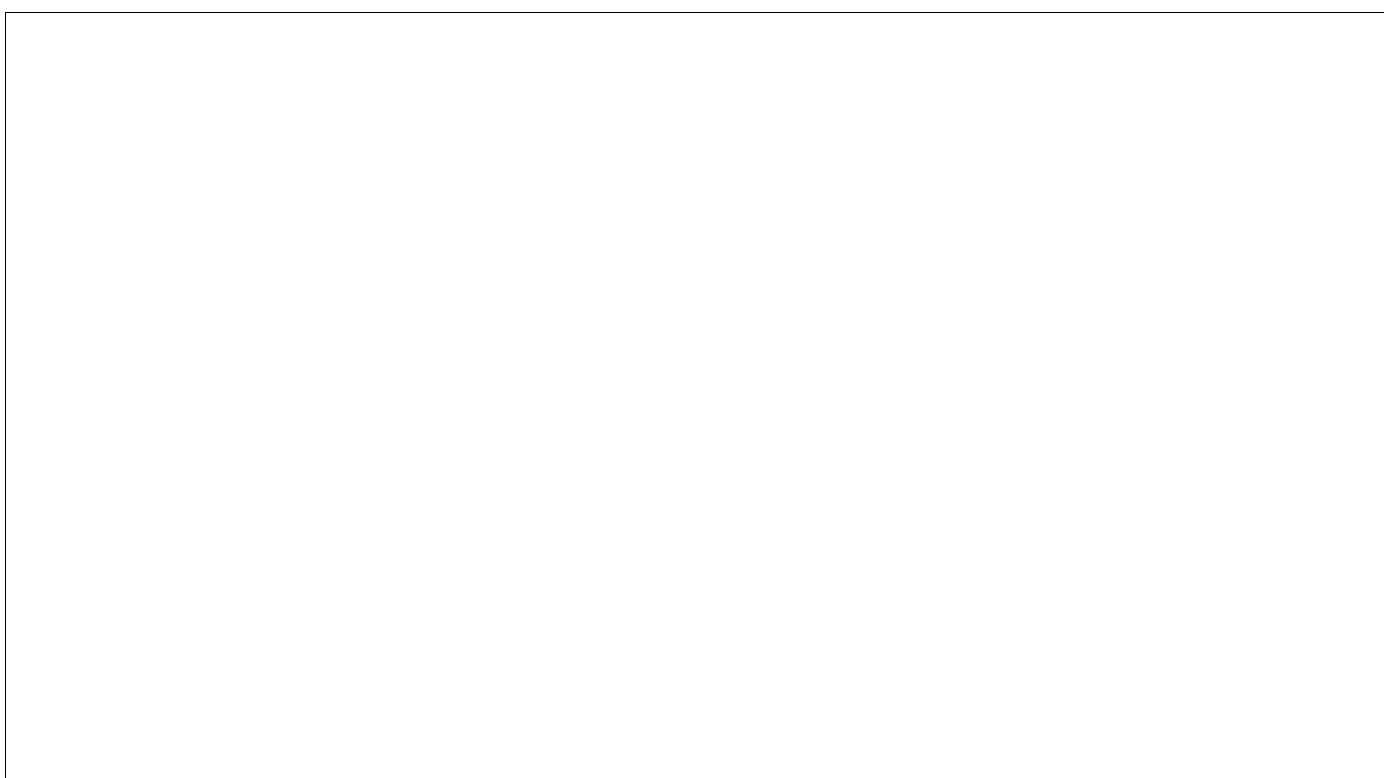
- c) **[1.5 val]** Determine as equações de excitação dos FFs e a função da saída, de acordo com a codificação de estados definida em b).

Aluno _____	Nº
-------------	----

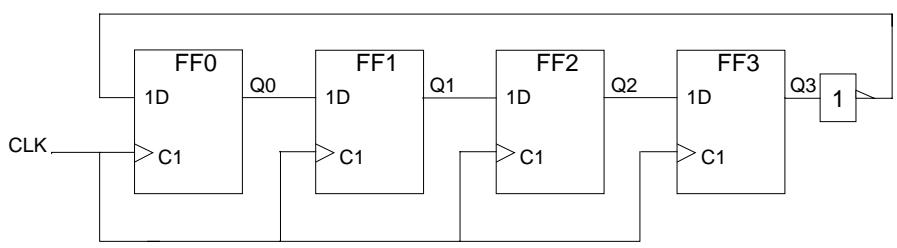
d) [1 val] Desenhe o logigrama correspondente ao circuito definido em c).



e) [1 val] Indique se é possível reduzir o número de estados definido pela tabela de transição de estados original, sem alterar a funcionalidade do circuito. Justifique.



3. [1.5 val] O circuito abaixo representa um contador módulo 8 tipo Johnson (ou contador em anel torcido). Calcule a frequência máxima de relógio para a qual o contador funciona correctamente. Justifique.



Considere o seguinte conjunto de parâmetros temporais relativos aos componentes de circuito.

Parâmetros	FFD	NOT
tSU	15ns	
tH	3ns	
tPHL	22ns	10ns
tPLH	25ns	8ns