

Aluno _____	Nº _____
-------------	----------

Instituto Superior Técnico
Licenciatura em Engenharia Física Tecnológica
Licenciatura em Engenharia Electrotécnica e de Computadores
Licenciatura em Ciências Informáticas

Sistemas Digitais

Exame de 2ª Época - 8 de Fevereiro de 2002

Antes de começar o exame leia atentamente esta folha de rosto

1. A mesa de exame apenas deve ter a identificação do aluno (cartão de estudante e bilhete de identidade ou outro documento oficial com fotografia)
2. Identifique todas as folhas do enunciado. A não identificação de uma folha de exame acarreta a sua destruição automática.
3. Responda apenas na folha de exame. Utilize as costas das folhas para rascunho.
4. Para cada questão do exame é fornecido um espaço, devidamente enquadrado, dentro do qual deverá responder. O tamanho do enquadramento está ajustado ao tamanho expectável da resposta. Respostas que se prolongam para além do enquadramento de cada pergunta apenas significam que o aluno está a responder desadequadamente, pelo que serão devidamente penalizadas.
5. As cotações das perguntas encontram-se indicadas à esquerda, a cheio entre parêntesis.
6. Duração do exame: 2 horas.
7. A não entrega do exame tem o mesmo significado que a não comparência ao exame.

Aluno _____	Nº
-------------	----

Grupo I – Circuitos Combinatórios Básicos

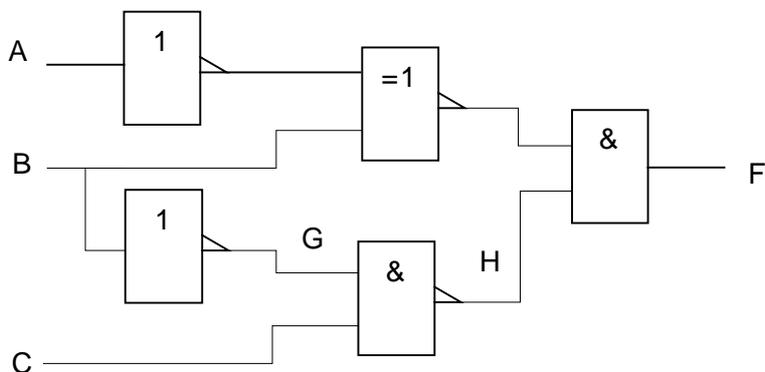
1. Considere uma função F de cinco variáveis (A, B, C, D, E), em que A é o bit mais significativo, definida da seguinte forma:
 $F(A,B,C,D,E) = \sum m(6, 9, 16, 22, 24, 25, 26, 29, 31) + \sum md(1, 2, 3, 5, 7, 10, 11, 18, 28)$

a) **[2 val]** Usando um quadro de Karnaugh, obtenha a expressão mínima da função **F** como uma soma de produtos,.

b) **[1 val]** Indique um implicante primo essencial (IPE), um implicante primo não essencial (IPnE), e um implicante não primo (InP), da função F. Justifique.

Aluno _____	Nº _____
-------------	----------

2. Considere o seguinte circuito e tabela de tempos



Portas \ Tempos	t_{PHL}	t_{PLH}
NOT	8 ns	10 ns
AND	15 ns	20 ns
NAND	12 ns	20 ns
OR	22 ns	20 ns
NOR	15 ns	19 ns
XOR	20 ns	22 ns
XNOR	20 ns	30 ns

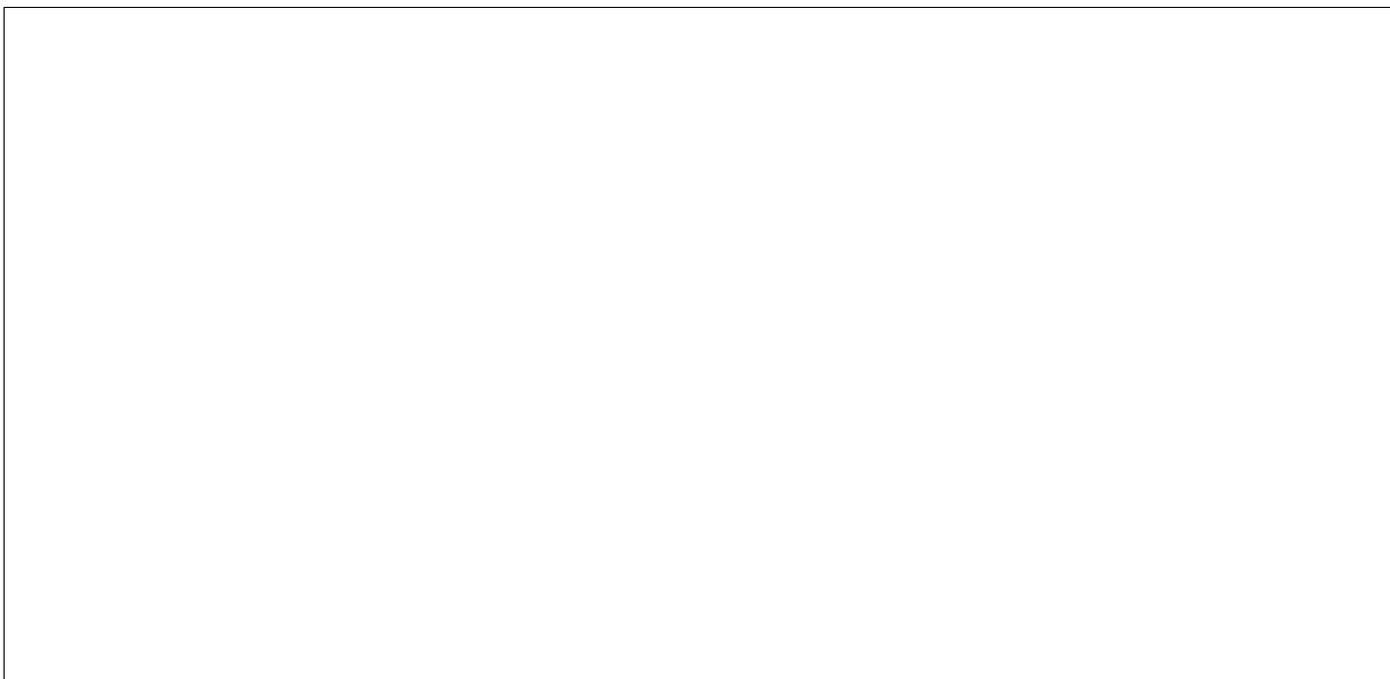
a) [1 val] Escreva a expressão algébrica da função F implementada pelo circuito.

b) [1.5 val] Tendo em consideração os tempos de propagação da tabela apresentada, indique justificando, ao fim de quanto tempo mudam os sinais G, H e F, se dados A=L, B=L e C=H, se der a transição de B para High.

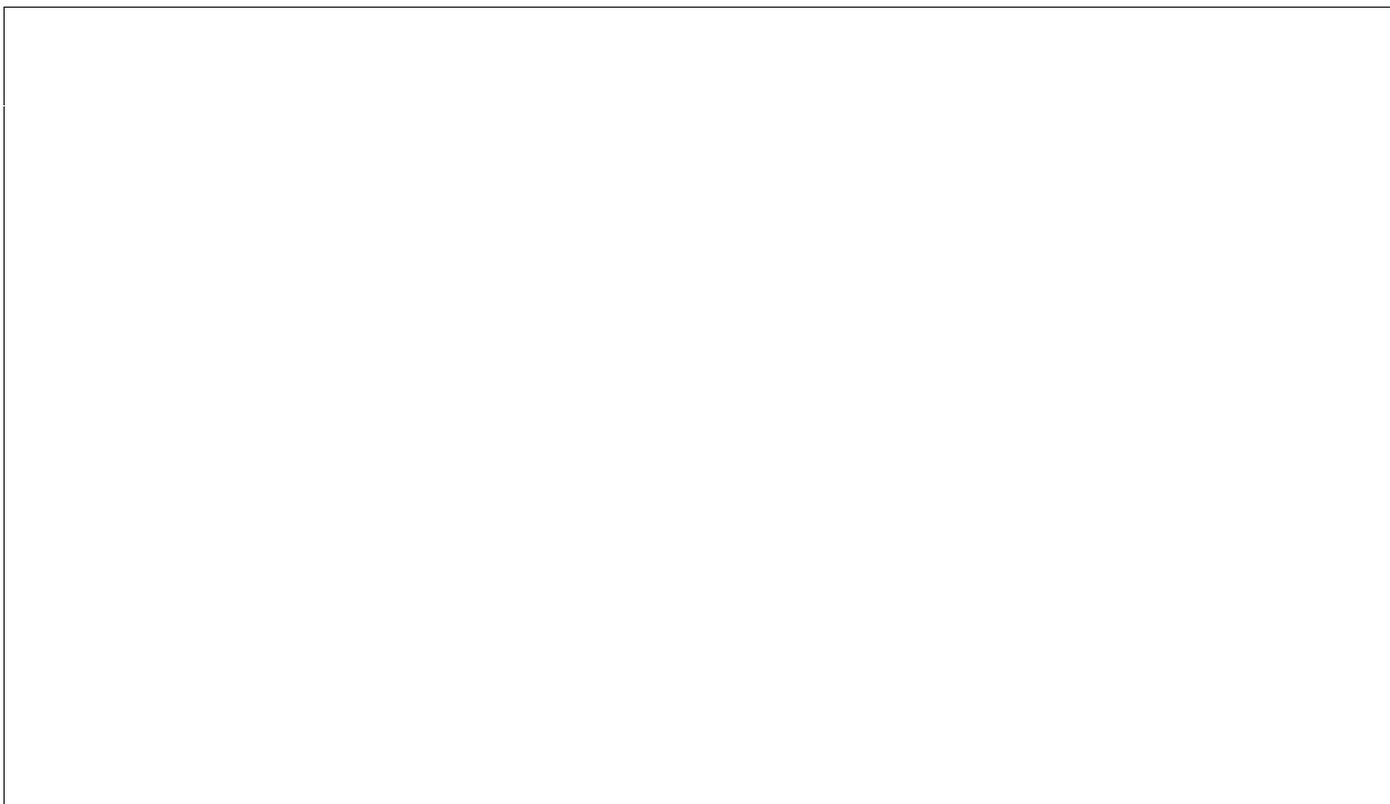
Aluno _____	Nº
-------------	----

Grupo II – Circuitos Combinatórios Integrados

1. a) [1 val] Utilizando um multiplexer com 2 variáveis de selecção e o mínimo possível de inversores (portas NOT), implemente um circuito que indique, para um determinado número binário de três bits ($B_2B_1B_0$), se o nº de “1”s é ímpar. Caso não consiga, utilize um mux com 3 variáveis de selecção, valendo a pergunta 0.5 val.



- b) [1,5 val] A partir do circuito obtido na alínea anterior, construa um circuito que indique, para um determinado número binário de três bits ($B_2B_1B_0$), se o nº de “1”s é par ou ímpar, de acordo com uma variável de selecção P: Se P=High, o circuito deverá indicar se o nº de “1”s é par; Se P=Low, deverá indicar se o nº de “1”s é ímpar. Ao circuito que utilizou anteriormente, só poderá acrescentar multiplexers do mesmo tipo e inversores.

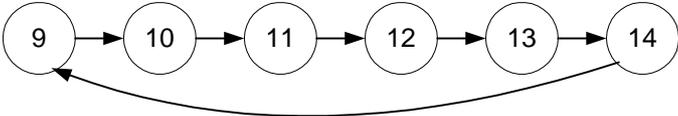


Aluno _____	Nº
-------------	----

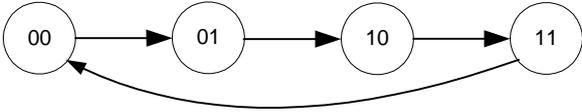
2. [2 val] A partir de descodificadores com duas variáveis de selecção e Enable, faça um descodificador para quatro variáveis de selecção. Não pode utilizar portas lógicas adicionais.

Grupo III – Contadores, Registos e Memórias

1. [1,5 val] Projecte um contador módulo 6 que conte de 9 a 14, utilizando o contador abaixo indicado e o mínimo de lógica combinatória adicional.

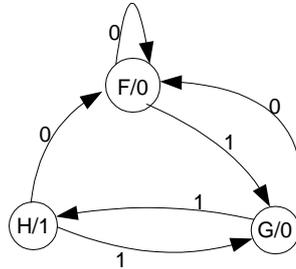


2. [1 val] Desenhe o logograma do contador binário módulo 4 seguinte, usando **apenas** os 2 FFs JK abaixo. Designe os bits de saída por B_1 e B_0 .

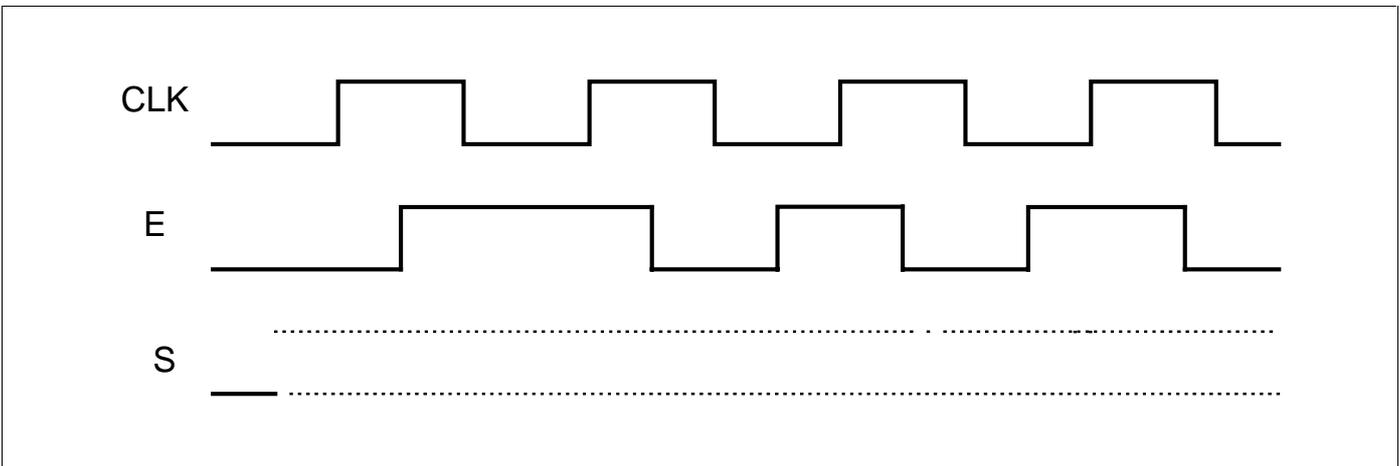


Grupo IV – Circuitos Sequenciais Síncronos

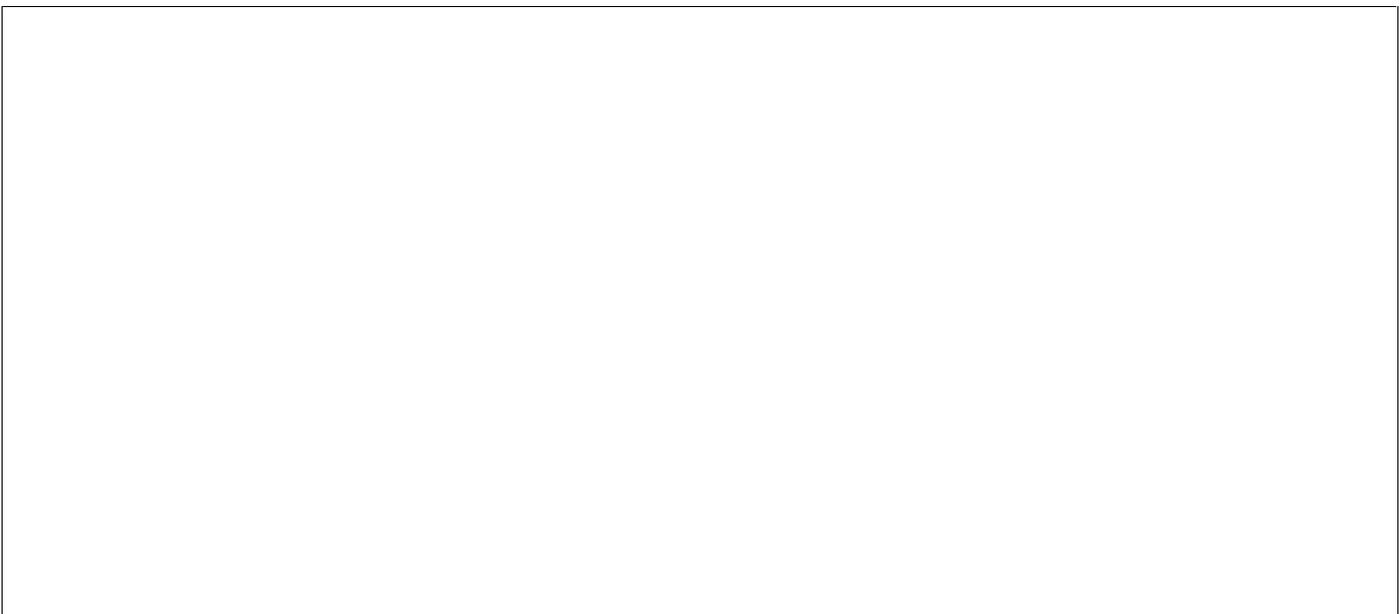
1. O circuito sequencial representado pelo diagrama de estados seguinte, tem uma entrada **E** (além do relógio) e uma saída **S**.



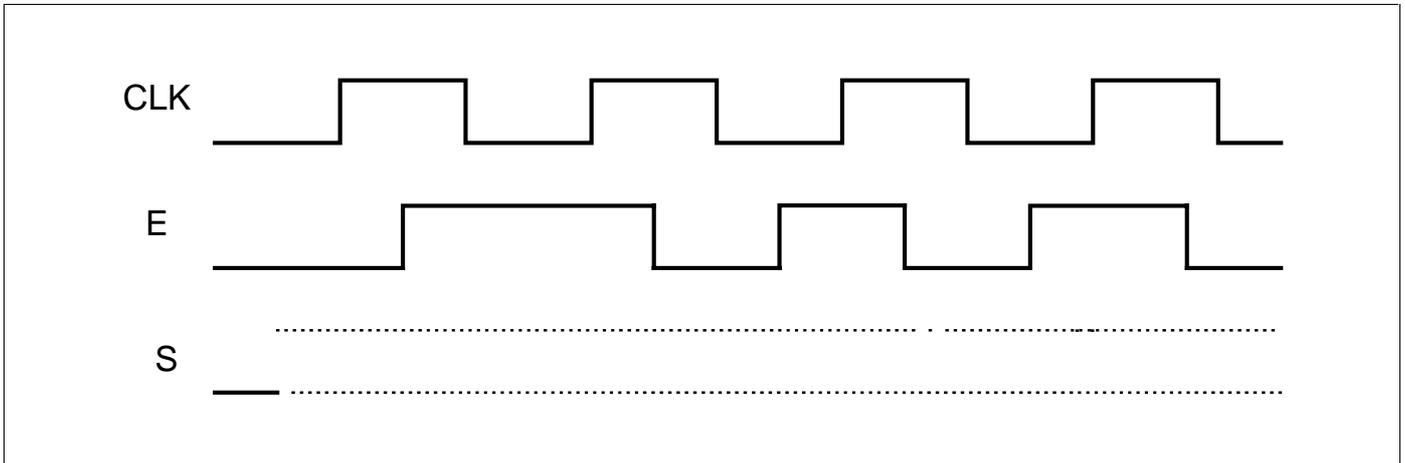
- a) [1 val] Complete o seguinte diagrama temporal, directamente a partir do diagrama de estados acima. Suponha que os FFs a utilizar são “edge-triggered” positivos. Considere que o estado inicial do circuito é G.
- Nota: **não implemente o circuito**, portanto não considere, nesta alínea, tempos de propagação de FFs nem de portas lógicas.



- b) [2 val] Transforme o circuito numa máquina de Mealy, com apenas 2 estados, e desenhe o diagrama de estados correspondente. Justifique.
- Se não conseguir transforme o circuito numa máquina de Mealy com 3 estados, valendo a pergunta nesse caso [1 val].

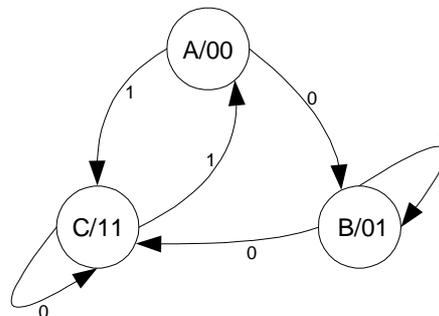


- c) [1,5 val] Complete o diagrama temporal, directamente a partir do diagrama de estados definido na alínea b) (máquina de Mealy). Suponha novamente que os FFs a utilizar são “edge-triggered” positivos, e que o estado inicial do circuito é G. Nota: **não implemente o circuito**, portanto não considere, nesta alínea, tempos de propagação de FFs nem de portas lógicas.



2. [3 val] Considere o seguinte diagrama de estados, correspondente a um circuito sequencial com 1 entrada (além do relógio) e 2 saídas. Designe a entrada por E e as saídas por S_1 e S_0 . Projecte o circuito correspondente utilizando **3 Flip-Flops D** “edge-triggered” positivos e codificação “One-Hot” (**1 FF por estado**). Desenhe o logigrama do circuito.

Se não conseguir projecte o circuito correspondente (e desenhe o logigrama) utilizando **2 Flip-Flops D** “edge-triggered” positivos e uma codificação à sua escolha, valendo a pergunta nesse caso [2 val].



Aluno _____	Nº
-------------	----