

Aluno _____	Nº _____
-------------	----------

Instituto Superior Técnico
Licenciatura em Ciências Informáticas
Licenciatura em Engenharia Física Tecnológica
Licenciatura em Engenharia Electrotécnica e de Computadores

Sistemas Digitais

Exame de 2ª Época – 3 de Fevereiro de 2004

Antes de começar o exame leia atentamente esta folha de rosto

1. A mesa de exame apenas deve ter a identificação do aluno (cartão de estudante e bilhete de identidade ou outro documento oficial com fotografia)
2. Identifique todas as folhas do enunciado. A não identificação de uma folha de exame acarreta a sua destruição automática.
3. Responda apenas na folha de exame. Utilize as costas das folhas para rascunho.
4. Para cada questão do exame é fornecido um espaço, devidamente enquadrado, dentro do qual deverá responder. O tamanho do enquadramento está ajustado ao tamanho expectável da resposta. Respostas que se prolongam para além do enquadramento de cada pergunta apenas significam que o aluno está a responder desadequadamente, pelo que serão devidamente penalizadas.
5. As cotações das perguntas encontram-se indicadas à esquerda, a cheio entre parêntesis.
6. Todas as respostas têm de ser justificadas adequadamente.
7. Duração do exame: 2 horas e meia.
8. A não entrega do exame tem o mesmo significado que a não comparência ao exame.

Aluno _____	N° _____
-------------	----------

Grupo I – Circuitos Combinatórios Básicos

1. Considere a função booleana $f(A,B,C,D) = \overline{A}\overline{B}C + ABCD + B\overline{C}\overline{D} + ACD + B\overline{C}\overline{D}$

	CD				
		00	01	11	10
AB	00				
	01				
	11				
	10				

- a) **[1 val]** Preencha o mapa de Karnaugh e obtenha a forma conjuntiva mínima

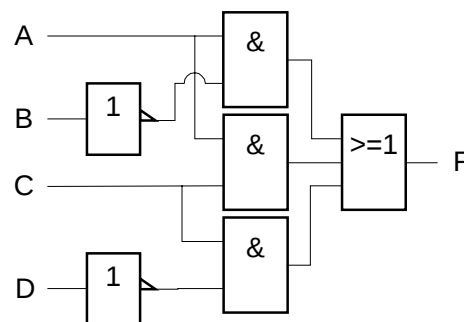
- b) **[0,5 val]** Manipule algebricamente a expressão anterior de modo a permitir uma implementação directa usando apenas portas lógicas NOR e NOT.

- c) **[1 val]** Simplifique algebricamente a expressão original da função para chegar à forma disjuntiva mínima.

Aluno _____	Nº _____
-------------	----------

2. Considere o circuito representado na figura.

Componente	t_{pHL} (ns)	t_{pLH} (ns)
NOT	18	15
AND	22	27
OR	25	21



- a) **[1,5 val]** Determine o atraso máximo entre **cada uma** das entradas A, B, C, D e a saída do circuito, admitindo em cada um dos casos que as restantes linhas permanecem fixas. Identifique a transição (HL ou LH) **numa** das entradas e o valor das restantes variáveis que conduzem ao tempo de propagação máximo através do circuito.

3. Considere o seguinte mapa de Karnaugh de 5 variáveis.

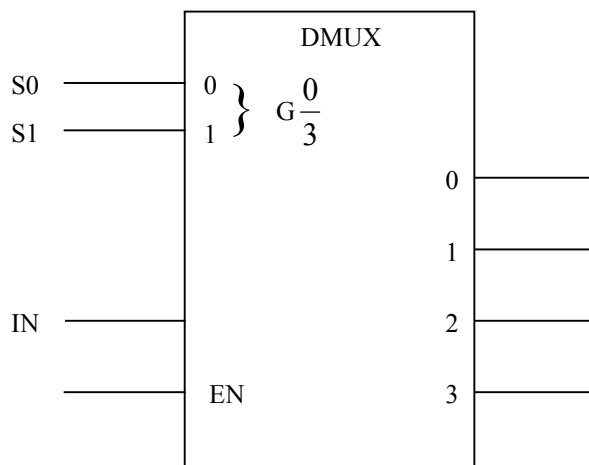
		CDE							
		000	001	011	010	111	110	101	100
AB	00	0	0	X	1	1	1	0	1
	01	0	1	0	0	0	1	0	0
	11	0	0	0	1	X	0	0	X
	10	1	0	1	0	1	0	X	1

- a) **[1 val]** Assinale no mapa o implicado $A + \overline{B} + E$. Indique, justificando, se o implicado é primo.

Aluno _____	Nº _____
-------------	----------

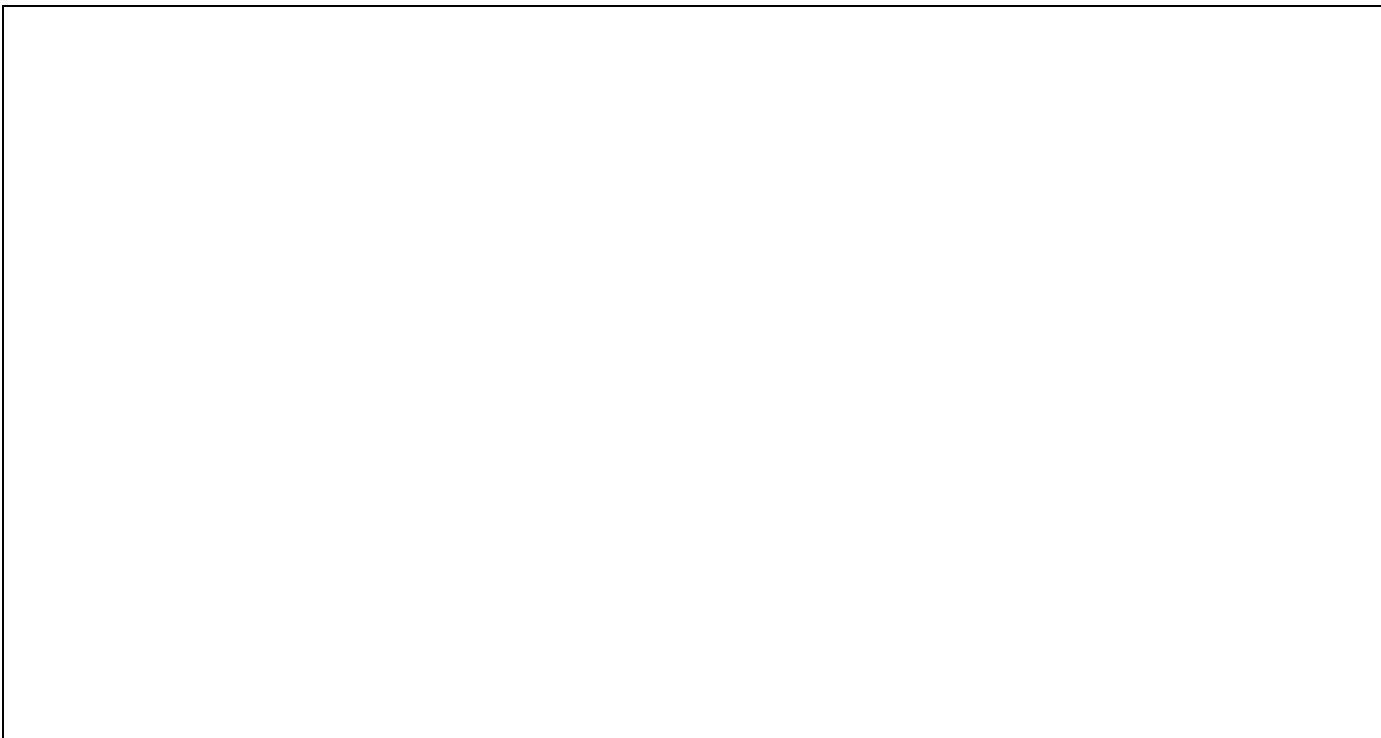
Grupo II – Circuitos Combinatórios Integrados

1. a) [1 val] Usando DEMUXs 1:4 do tipo apresentado abaixo e portas lógicas elementares desenhe um DEMUX 1:8.

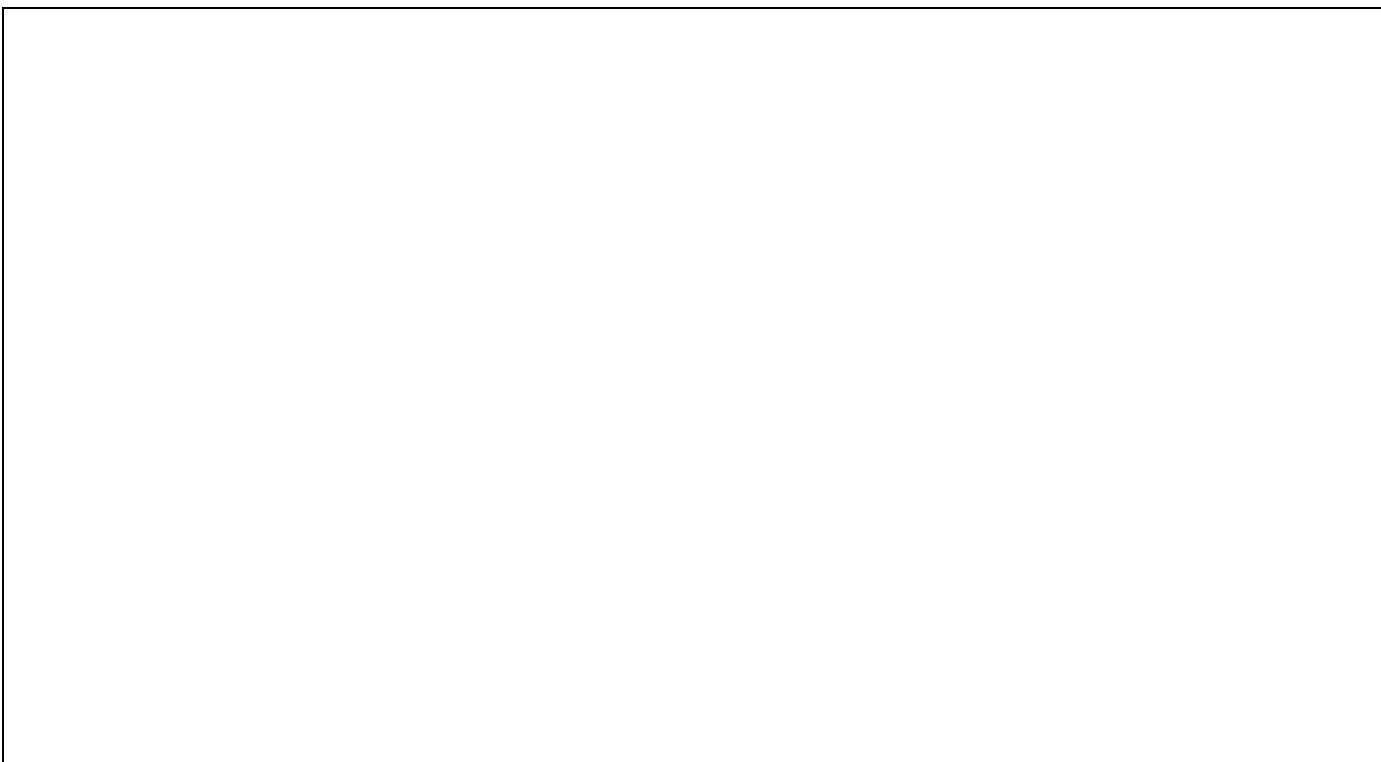


Aluno _____	Nº
-------------	----

2. a) [2 val] Pretende-se sintetizar um circuito com 3 entradas A2 A1 A0 e duas saídas N1 N0. As saídas devem indicar o número de bits a 1 na palavra A2 A1 A0. Exemplos: para A2 A1 A0 = 010 temos N1 N0 = 01, para A2 A1 A0 = 110 temos N1 N0 = 10. Implemente o circuito pretendido usando um decodificador de 3 entradas (saídas activas a LOW) e portas lógicas elementares.

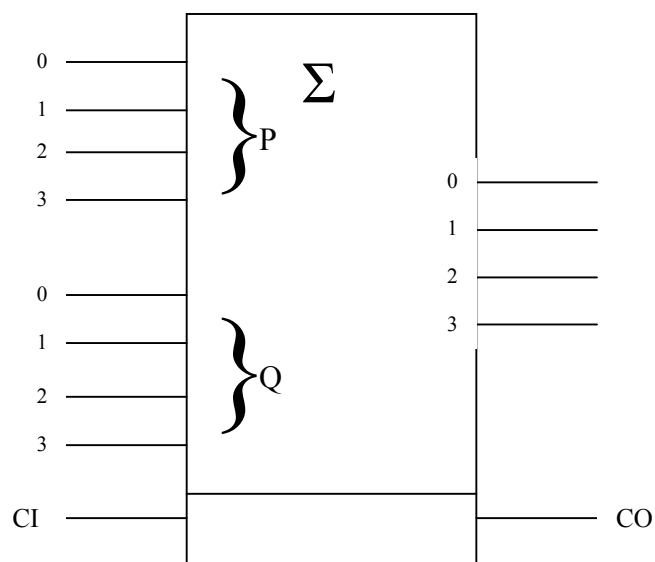


b) [1 val] Pretende-se realizar um circuito com 6 entradas X2 X1 X0 e Y2 Y1 Y0 e com 2 saídas Z1 e Z0. As saídas devem indicar o número total de bits em que as palavras X2 X1 X0 e Y2 Y1 Y0 diferem.
Exemplos: para X2 X1 X0 = 111 e Y2 Y1 Y0 = 101 temos Z1 Z0 = 01, para X2 X1 X0 = 011 e Y2 Y1 Y0 = 101 temos Z2 Z1 = 10. Sintetize o circuito pretendido usando portas lógicas elementares e o circuito desenhado na alínea a).
[Nota: se não resolveu a alínea a), pode contudo assumir a existência de um tal circuito]



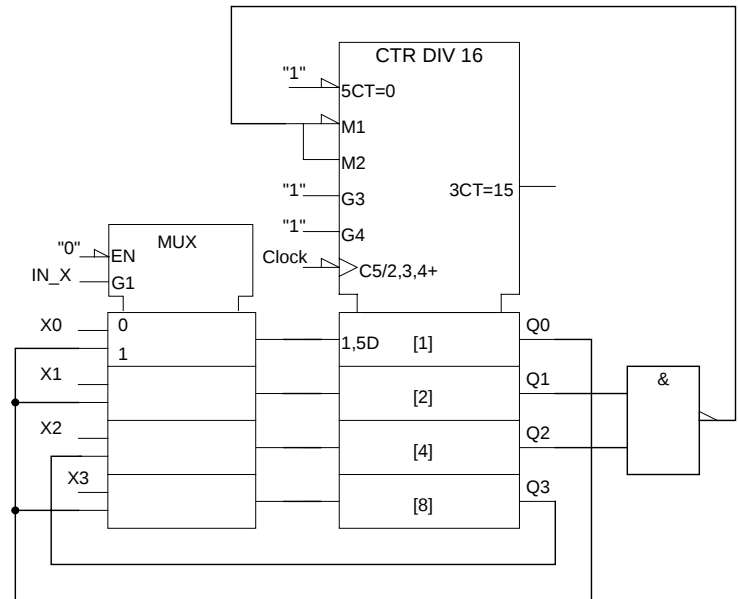
Aluno _____	Nº _____
-------------	----------

3. [1 val] Sejam $A_3 A_2 A_1 A_0$ e $B_3 B_2 B_1 B_0$ as representações binárias (em complemento para 2) de dois números. Pretende-se realizar um circuito somador/subtractor para estas duas palavras. A escolha da operação aritmética a realizar é efectuada por uma entrada adicional X : se $X=0$ realiza-se a adição, se $X=1$ realiza-se a subtracção. Não se preocupe com situações de overflow. Implemente o circuito pretendido usando o circuito somador abaixo apresentado e portas lógicas elementares adicionais.



Grupo III – Contadores, Registos e Memórias

1. Considere a seguinte montagem:



- a) **[1 val]** Assuma $IN_X = 1$ e $X_3X_2X_1X_0 = 1011$. Determine a sequência de estados, começando no estado 0000 e terminando no mesmo estado 0000.

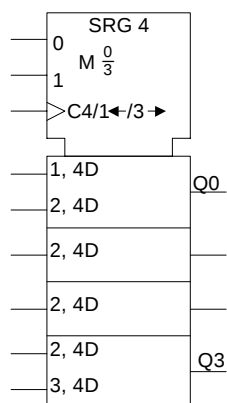
- b) **[1 val]** Determine a frequência máxima de funcionamento para o circuito apresentado. Justifique a resposta.

Componente	Tsu	TpHL	TpLH
Contador	10ns	40ns	30ns
Multiplexer		25ns	20ns
NAND		10ns	10ns

Aluno _____	Nº _____
-------------	----------

2. Considere a seguinte sequência de estados (2,4,9,12,5,2,...)

- a) **[1,5 val]** Utilizando o registo de deslocamento da figura e o menor número possível de portas lógicas adicionais implemente a referida sequência de estados. Justifique todas as opções.



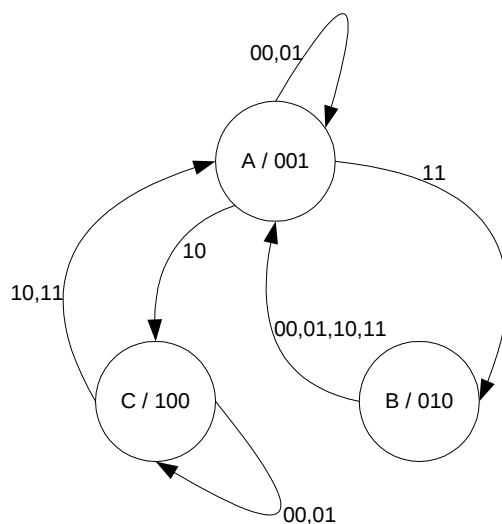
- b) **[1 val]** A solução da alínea anterior apresenta situações de “lock-out”? Justifique a resposta. Caso não tenha respondido à alínea anterior, apresente, justificando, um exemplo de uma hipotética situação de “lock-out” quando a sequência de estados pretendida corresponde à referida anteriormente (neste caso, a resposta vale 0,5 val).

Grupo IV – Circuitos Sequenciais Síncronos

1. Considere o circuito sequencial, com duas entradas E_1 e E_0 e 3 saídas S_2 , S_1 e S_0 , definido pelo diagrama de estados seguinte.

Projecte-o (de acordo com as alíneas abaixo) utilizando **Flip-Flops D** “edge-triggered” positivos.

Entrada: $\langle E_1 E_0 \rangle$
Saídas: $\langle S_2 S_1 S_0 \rangle$

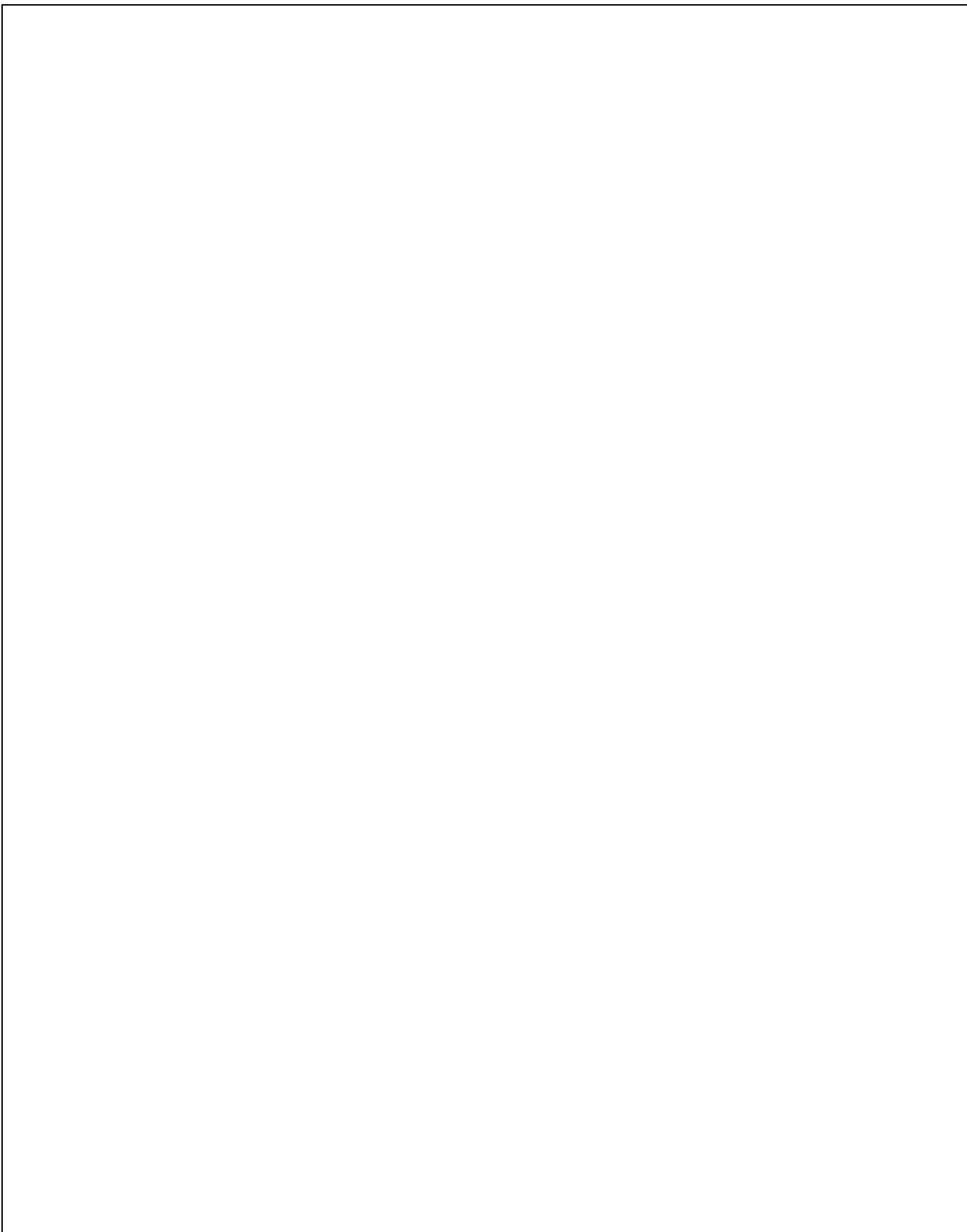


- a) **[2 val]** Determine as equações de excitação dos FFs e as funções das saídas, para uma concretização do circuito utilizando 2 FFs, de acordo com a codificação de estados indicada.

A	00
B	01
C	11

Aluno _____	Nº
-------------	----

b) **[1 val]** Desenhe o logigrama correspondente ao circuito definido em a).



Aluno _____	Nº _____
-------------	----------

- c) **[1 val]** Suponha que quer implementar a parte combinatória deste circuito sequencial usando 1 memória ROM (controle microprogramado). Qual a dimensão mínima da memória necessária? Qual o seu conteúdo, considerando a codificação de estados indicada? Justifique.

A	00
B	01
C	11

2. **[1,5 val]** Pretende-se projectar o controlador de uma máquina de distribuição de chocolates:
 A máquina entrega 1 chocolate quando recebe €1,50 em moedas; recebe 1 moeda de cada vez; aceita apenas moedas de 50 cêntimos e de 1 euro; um sensor mecânico indica se foi recebida 1 moeda de 50 cêntimos ou se foi recebida uma moeda de 1 euro (considere que existem 2 entradas: uma que indica a recepção de 1 moeda de 50 cêntimos, e outra que indica a recepção de 1 moeda de 1 euro); o circuito tem duas saídas: uma das saídas, quando activa, abre a gaveta e entrega o chocolate ao cliente, a outra saída, quando activa, entrega 50 cêntimos de troco.

Desenhe o diagrama de estados que concretiza a funcionalidade acima indicada. Justifique as opções tomadas.
 Nota: nos aspectos omissos da especificação acima, tome as decisões que julgar mais razoáveis e justifique-as.