

Aluno _____	Nº
-------------	----

**Instituto Superior Técnico
Licenciatura em Engenharia Aeroespacial
Licenciatura em Engenharia Electrotécnica e de Computadores**

Sistemas Digitais

Exame de 2ª Época – 12 de Julho de 2004

Antes de começar o exame leia atentamente esta folha de rosto

1. Duração do exame: **2:30**
2. Sobre a mesa de exame apenas deve encontrar-se a identificação do aluno (**cartão de estudante**).
3. **Identifique** todas as folhas do enunciado.
4. Responda apenas na folha de exame. Utilize as costas das folhas para **rascunho**.
5. Para cada questão do exame é fornecido um espaço, devidamente enquadrado, dentro do qual deverá responder. A sua dimensão está ajustada ao tamanho expectável da resposta.
6. **Justifique** adequadamente todas as respostas.
7. Responda ao exame com **calma**. Se não sabe responder a uma pergunta **passe à seguinte** e volte a ela no fim.

Aluno _____

Nº _____

Grupo I – Circuitos Combinatórios Básicos

1. **[0.5 val]** Dada a função booleana $f(A,B,C,D)$ definida abaixo (em que A é a variável mais significativa), preencha o mapa de Karnaugh da esquerda.

$$f(A,B,C,D) = \prod M(0,1,4,6,9,11,14) \cdot \prod M_d(2,5,15)$$

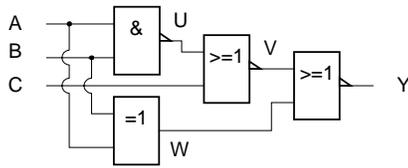
	A	0	0	1	1
	B	0	1	1	0
CD					
00					
01					
11					
10					

	A	0	0	1	1
	B	0	1	1	0
CD					
00		X	1	1	0
01		0	X	X	1
11		1	X	0	1
10		X	0	X	1

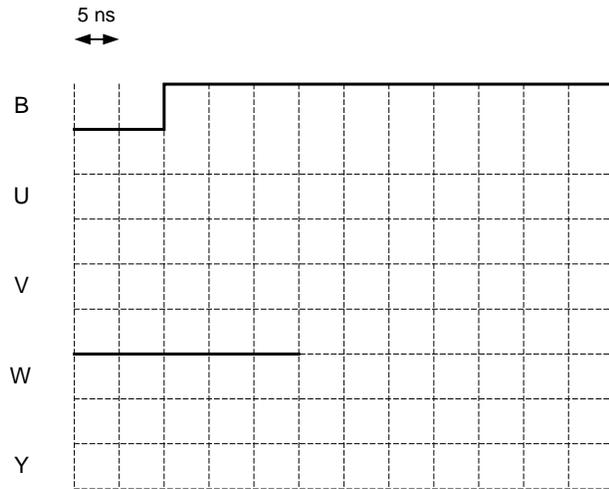
2. **[1 val]** Expresse na forma disjuntiva mínima (soma de produtos) a função lógica $g(A,B,C,D)$ correspondente ao mapa de Karnaugh da direita.

3. **[1 val]** Manipule algebricamente a expressão $\overline{A}D + A\overline{D}$ de modo a colocá-la na forma conjuntiva mínima (produto de somas). Identifique claramente as **propriedades da álgebra de Boole** utilizadas em cada passo.

4. Considere o circuito da figura.



(ns)	NAND	NOR	XOR
t_{PLH}	15	10	10
t_{PHL}	20	15	15



- a) [1 val] Dados os tempos de propagação indicados na tabela, e **supondo que A = H, C = L**, complete o diagrama temporal.
- b) [1 val] Nas mesmas condições da alínea anterior, indique, justificando, um **limite inferior** para o tempo de propagação da porta XOR (supondo que $t_{PLH} = t_{PHL}$) acima do qual a saída Y permanece **constante** (L) em resposta a uma variação LH em B.

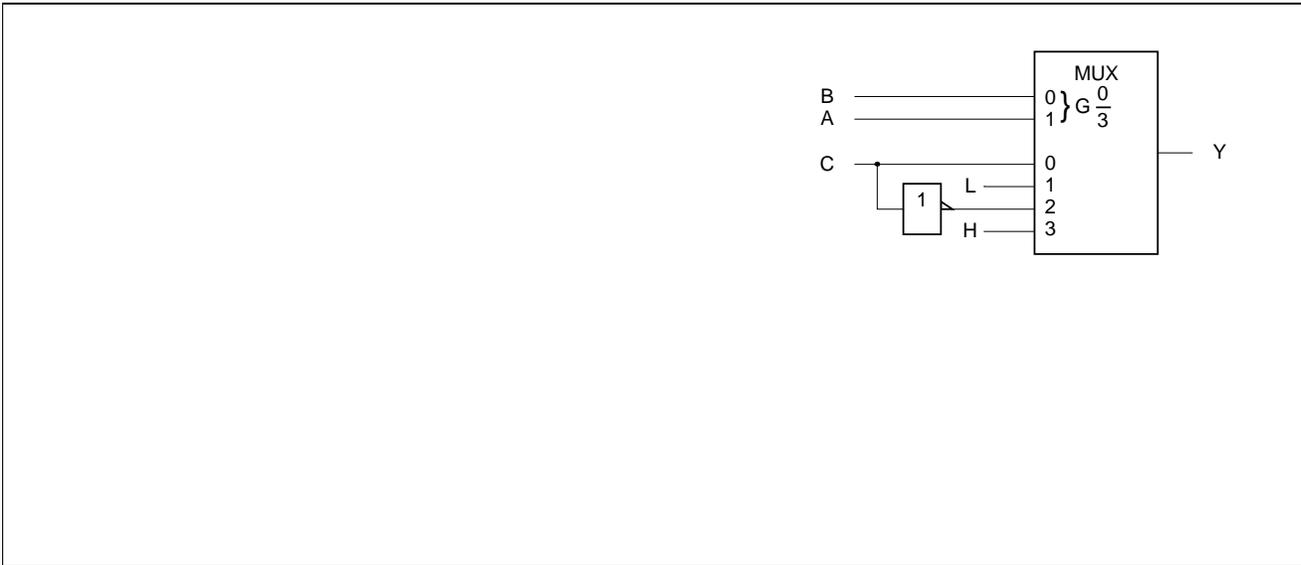
Aluno _____

Nº _____

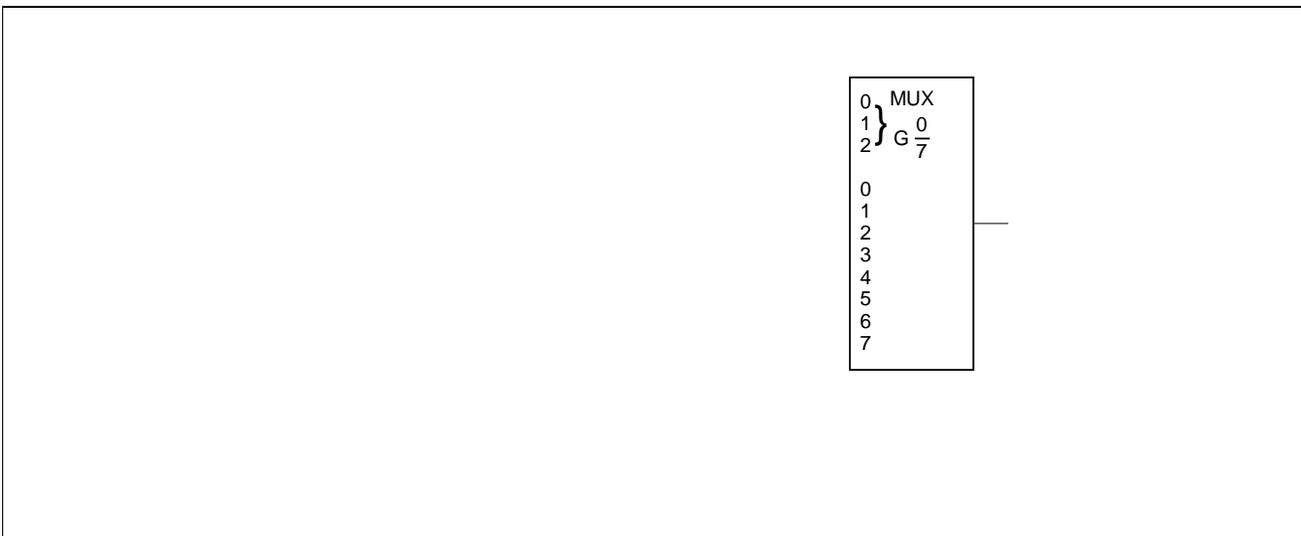
Grupo II – Circuitos Combinatórios Integrados

1. Considere o circuito combinatório representado abaixo.

a) [1 val] Indique uma expressão algébrica para a função implementada pelo circuito.



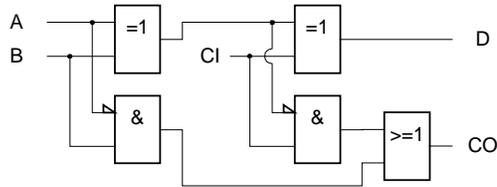
b) [1 val] Realize um circuito equivalente ao anterior utilizando **apenas** o multiplexer 8:1 da figura.



Aluno _____

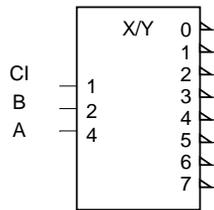
Nº _____

2. A figura seguinte representa um subtrator completo de um bit, ou seja, um circuito que subtrai à entrada A a soma da entrada B com um transporte anterior CI, gerando um bit de diferença D e o transporte para o nível seguinte CO.

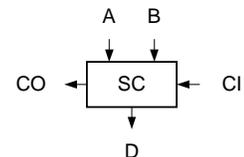


A B CI	CO	D
000	0	0
001		
010	1	1
011	1	0
100	0	1
101	0	0
110		
111		

- a) [1 val] Complete a tabela de verdade das funções CO e D.
- b) [1 val] Implemente as funções CO e D usando o decodificador 3:8 da figura e **duas** portas lógicas adicionais à sua escolha.

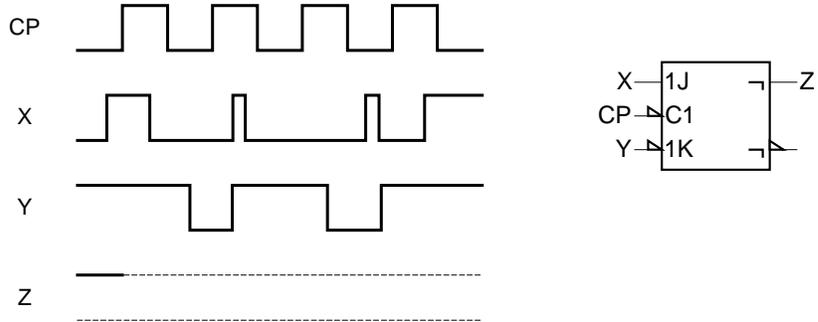


- c) [1 val] Abaixo representa-se de forma simbólica o subtrator completo original. Interligando módulos idênticos a este, realize um circuito que permita subtrair dois números de 3 bits, ou seja, dado $A_2A_1A_0$ e $B_2B_1B_0$ este gera $D_2D_1D_0 = A_2A_1A_0 - B_2B_1B_0$. Indique os valores lógicos nos vários pontos da cadeia de processamento para $A_2A_1A_0 = 100$ e $B_2B_1B_0 = 011$. O resultado da operação coincide com o esperado?

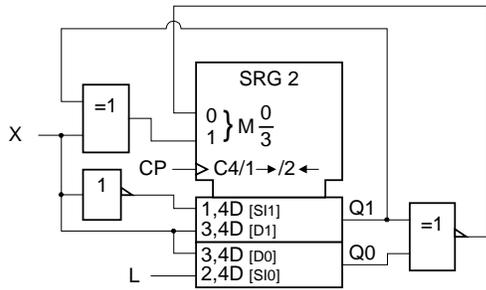


Grupo III – Contadores, Registos e Memórias

1. [0.5 val] Complete o diagrama temporal correspondente ao flip-flop da figura, ignorando atrasos de propagação.



2. O circuito sequencial síncrono representado na figura possui uma entrada X, sendo o estado memorizado em dois flip-flops de um registo de deslocamento.

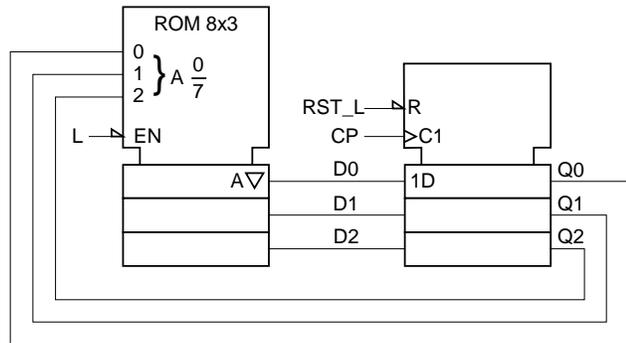


$(Q_1Q_0)_n$	X	M1M0	S1	D1D0	S0	$(Q_1Q_0)_{n+1}$
00	0					
00	1	11	0	11	0	11
01	0	00	1	00	0	01
01	1					
10	0	10	1	00	0	00
10	1	00	0	11	0	10
11	0					
11	1	01	0	11	0	01

a) [1.5 val] Complete a tabela de excitações e transições deste circuito.

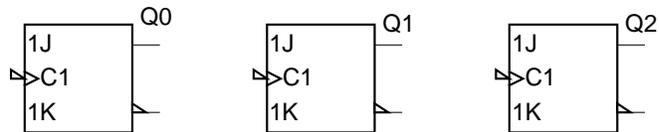
b) [1 val] Com base na tabela, desenhe o diagrama de estados do circuito. **Nota:** Se não completou a coluna de estado seguinte na alínea anterior, admita $Q_1Q_0 = 11$ para os valores em falta.

3. [1 val] Pretende-se que o circuito representado abaixo percorra ciclicamente a sequência de estados 0, 1, 2, 3, 6, 5. Construa uma tabela descrevendo o conteúdo da ROM para todos os valores possíveis das linhas de endereço A2, A1, A0. Nas posições de memória não utilizadas especifique valores que permitam evitar o “lockout” no circuito.



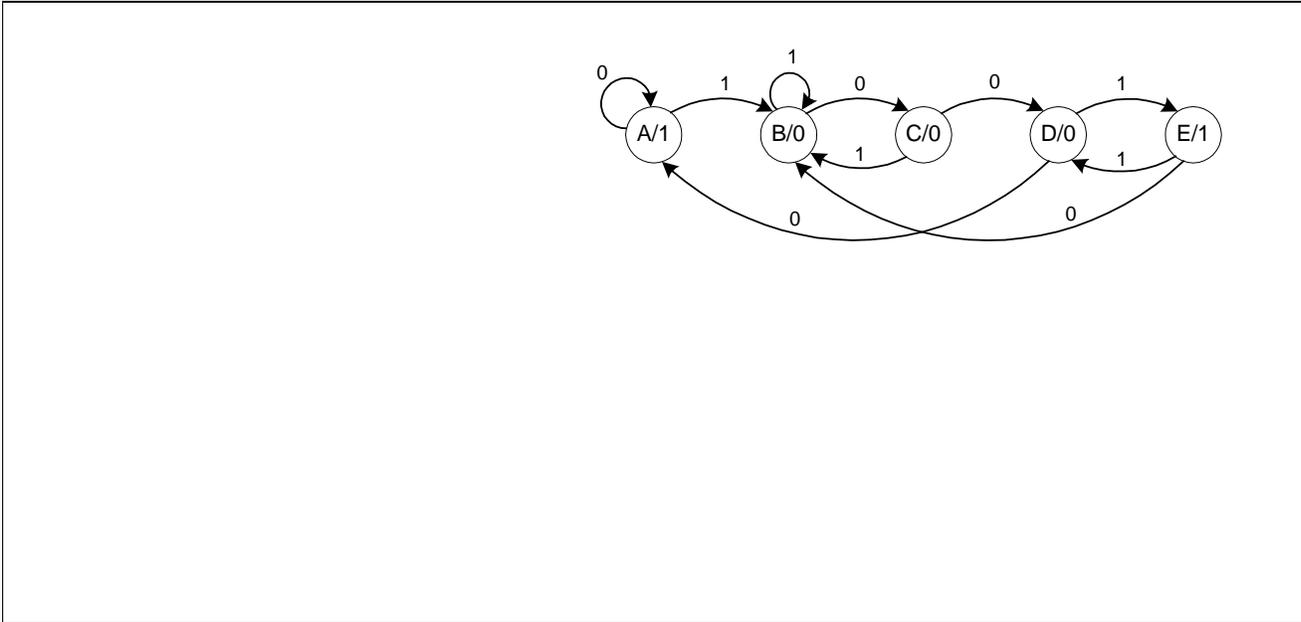
4. [1 val] Usando **apenas** os flip-flops JK edge-triggered negativos da figura, projecte um contador assíncrono por pulsação (“ripple counter”) **descendente** com a sequência de contagem indicada abaixo.

Q2Q1Q0
111
110
101
100
011
010
001
000

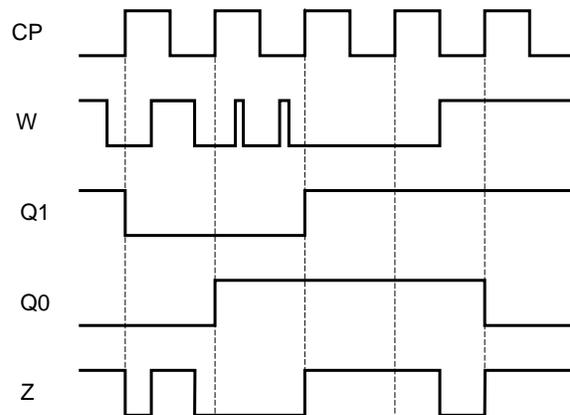
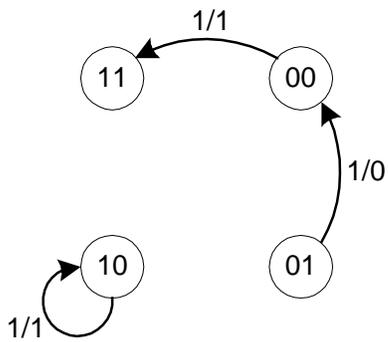


Grupo IV – Circuitos Sequenciais Síncronos

1. [1 val] Dado o diagrama de estados de Moore da figura, obtenha um equivalente de Mealy segundo a metodologia de antecipação de saídas.



2. [1.5 val] O diagrama apresentado abaixo reflecte a evolução temporal de um circuito sequencial com uma entrada W e uma saída Z, em que os atrasos de propagação foram desprezados face ao período do relógio. Os sinais Q1 e Q0 representam as saídas dos flip-flops que armazenam o estado do sistema. Complete o diagrama de estados correspondente.



Aluno _____

Nº _____

3. A tabela de transições da esquerda descreve o comportamento de um circuito sequencial síncrono com uma entrada X e uma saída Y, cujo estado é codificado pelas saídas de dois flip-flops, Q1Q0, de acordo com A = 11, B = 01, C = 00, D = 10.

Est. Act.	Est. Seg./Saída	
	X = 0	X = 1
A	A/0	B/1
B	D/1	C/0
C	D/0	D/1
D	D/1	A/0

(Q1Q0) _n	X	D	J	K	(Q1Q0) _{n+1}	Y
00	0					
00	1	1	0	X	10	1
01	0	1	X	1	10	1
01	1					
10	0	1	0	X	10	1
10	1					
11	0	1	X	0	11	0
11	1					

- a) [1 val] Supondo que os flip-flops associados a Q1 e Q0 são do tipo D e JK, respectivamente, complete a tabela da direita.
- b) [1 val] Apresente as equações de excitação das entradas do flip-flop JK.

- c) [1 val] Se a transição assinalada na tabela da esquerda puder ser modificada livremente sem alterar a funcionalidade da máquina de estados, seria vantajoso substituí-la por C/1? Justifique a sua resposta em termos da complexidade **global** da lógica combinatória no circuito.