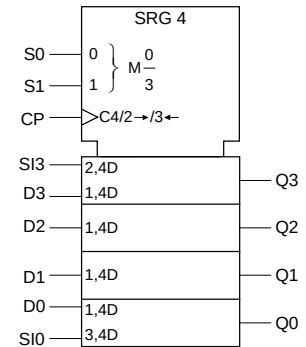


4º Mini-Teste: Contadores e Registos

Aluno	Nº
-------	----

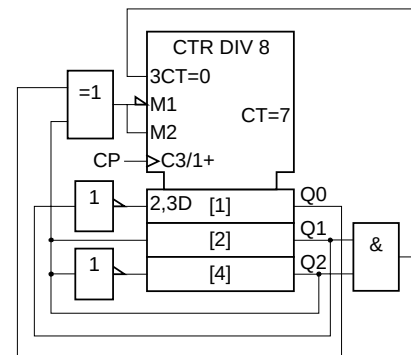
1. [7 val] Pretende-se usar o registo de deslocamento da figura para realizar um circuito que percorra ciclicamente a sequência 4,9,13,6,3,2,4 com um mínimo de lógica adicional externa. Complete a tabela abaixo, indicando para cada estado dado as excitações a aplicar às entradas de controlo que permitem atingir o estado seguinte desejado.

Q3Q2Q1Q0	S1S0	SI3	D3D2D1D0	SI0
0100				
1001				
0110				
0010				

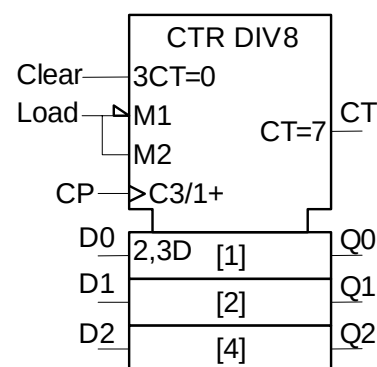
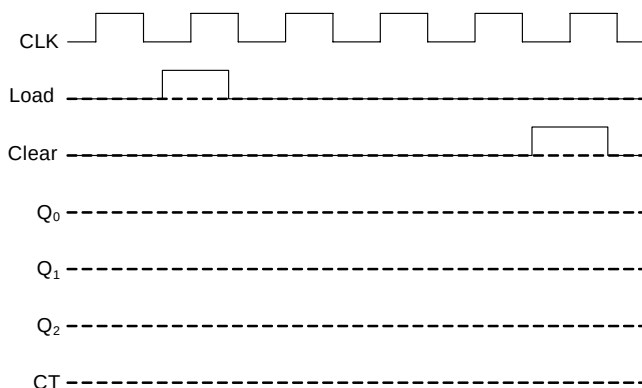


2. Considere o circuito sequencial síncrono representado na figura. Como é habitual, a acção da entrada de reset deste contador sobrepõe-se aos modos de contagem e carregamento paralelo.
- a) [7 val] Complete a tabela de transições, indicando para cada estado as excitações do contador e o correspondente estado seguinte. LD e RST designam os sinais aplicados às entradas de selecção contagem/carregamento e reset, respectivamente.

Actual				Seguinte
Q2Q1Q0	LD	RST	D2D1D0	Q2Q1Q0
001				
010				
011				
110				



- b) [6 val] Complete o seguinte diagrama temporal considerando desprezáveis os tempos de propagação face ao período de relógio, tendo em atenção os sinais de Load e Clear. O estado inicial é $Q_2Q_1Q_0=010$, assuma durante todo o intervalo de tempo $D_2D_1D_0=110$.

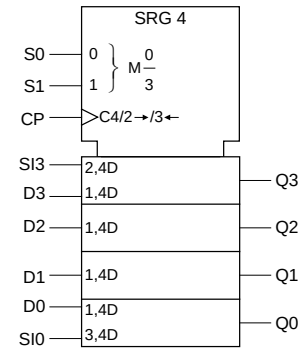


4º Mini-Teste: Contadores e Registos

Aluno	Nº
--------------	-----------

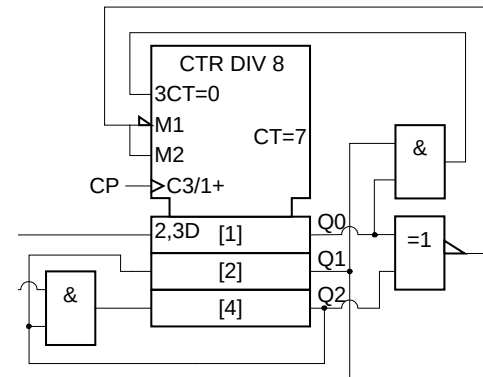
1. [7 val] Pretende-se usar o registo de deslocamento da figura para realizar um circuito que percorra ciclicamente a sequência 5,11,0,1,2,9,5 com um mínimo de lógica adicional externa. Complete a tabela abaixo, indicando para cada estado dado as excitações a aplicar às entradas de controlo que permitem atingir o estado seguinte desejado.

Q3Q2Q1Q0	S1S0	SI3	D3D2D1D0	SI0
0101				
1011				
0001				
0010				

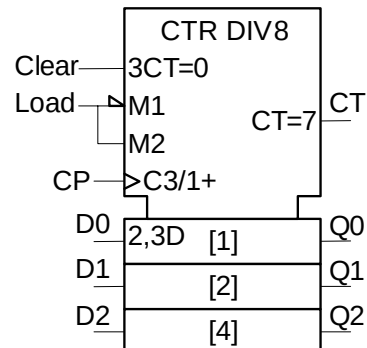
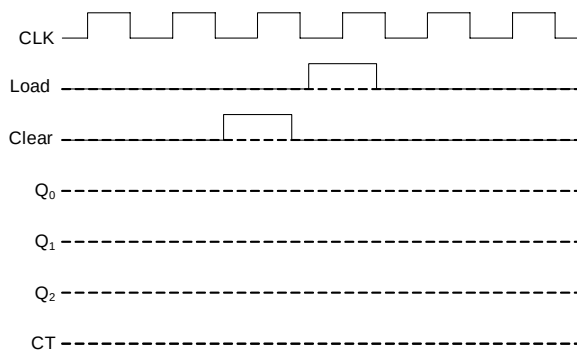


2. Considere o circuito sequencial síncrono representado na figura. Como é habitual, a acção da entrada de reset deste contador sobrepõe-se aos modos de contagem e carregamento paralelo.
- a) [7 val] Complete a tabela de transições, indicando para cada estado as excitações do contador e o correspondente estado seguinte. LD e RST designam os sinais aplicados às entradas de selecção contagem/carregamento e reset, respectivamente.

Actual				Seguinte
Q2Q1Q0	LD	RST	D2D1D0	Q2Q1Q0
001				
010				
011				
111				



- b) [6 val] Complete o seguinte diagrama temporal considerando desprezáveis os tempos de propagação face ao período de relógio, tendo em atenção os sinais de *Load* e *Clear*. O estado inicial é $Q_2Q_1Q_0=000$, assuma durante todo o intervalo de tempo $D_2D_1D_0=111$.

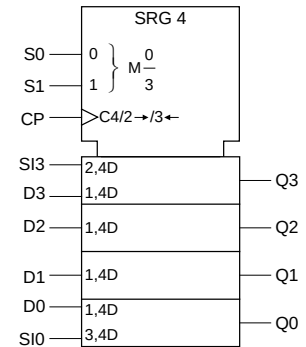


4º Mini-Teste: Contadores e Registos

Aluno	Nº
-------	----

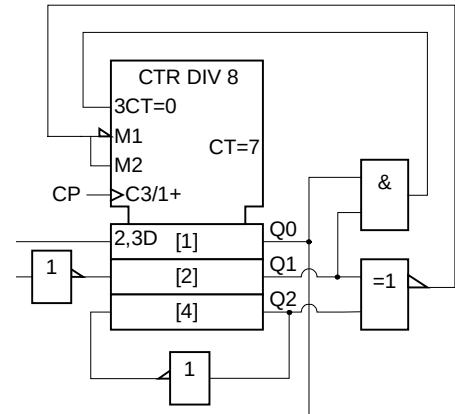
1. [7 val] Pretende-se usar o registo de deslocamento da figura para realizar um circuito que percorra ciclicamente a sequência 12,9,2,15,7,14,12 com um mínimo de lógica adicional externa. Complete a tabela abaixo, indicando para cada estado dado as excitações a aplicar às entradas de controlo que permitem atingir o estado seguinte desejado.

Q3Q2Q1Q0	S1S0	SI3	D3D2D1D0	SI0
1100				
1001				
0010				
1111				

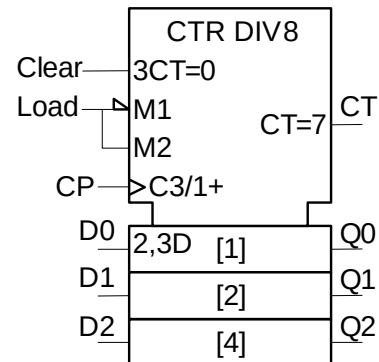
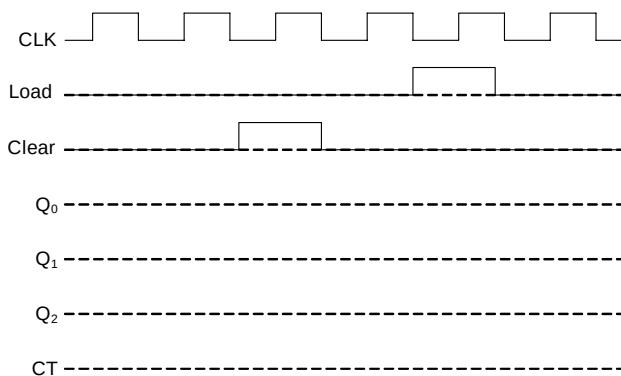


2. Considere o circuito sequencial síncrono representado na figura. Como é habitual, a acção da entrada de reset deste contador sobrepõe-se aos modos de contagem e carregamento paralelo.
- a) [7 val] Complete a tabela de transições, indicando para cada estado as excitações do contador e o correspondente estado seguinte. LD e RST designam os sinais aplicados às entradas de selecção contagem/carregamento e reset, respectivamente.

Actual				Seguinte
Q2Q1Q0	LD	RST	D2D1D0	Q2Q1Q0
010				
011				
110				
111				



- b) [6 val] Complete o seguinte diagrama temporal considerando desprezáveis os tempos de propagação face ao período de relógio, tendo em atenção os sinais de *Load* e *Clear*. O estado inicial é $Q_2Q_1Q_0=011$, assuma durante todo o intervalo de tempo $D_2D_1D_0=011$.

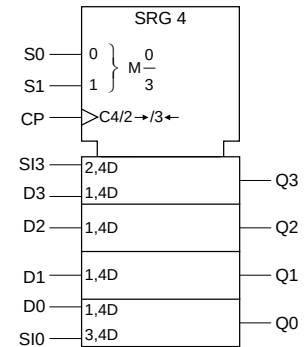


4º Mini-Teste: Contadores e Registos

Aluno	Nº
-------	----

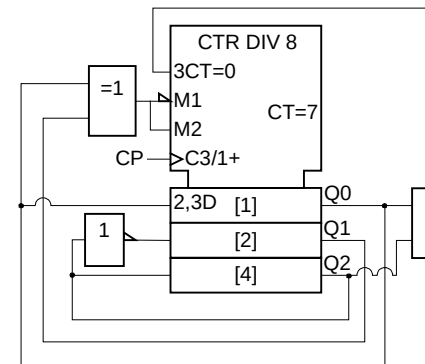
1. [7 val] Pretende-se usar o registo de deslocamento da figura para realizar um circuito que percorra ciclicamente a sequência 6,11,7,9,4,2,6 com um mínimo de lógica adicional externa. Complete a tabela abaixo, indicando para cada estado dado as excitações a aplicar às entradas de controlo que permitem atingir o estado seguinte desejado.

Q3Q2Q1Q0	S1S0	SI3	D3D2D1D0	SI0
0110				
1011				
0111				
1001				

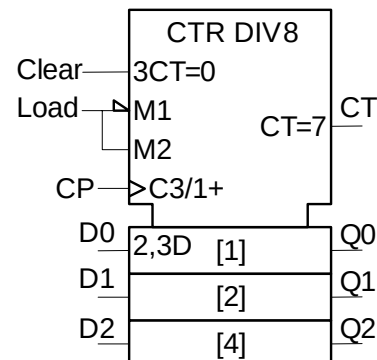
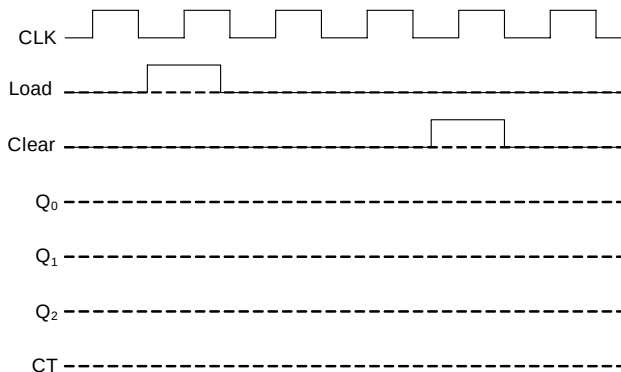


2. Considere o circuito sequencial síncrono representado na figura. Como é habitual, a acção da entrada de reset deste contador sobrepõe-se aos modos de contagem e carregamento paralelo.
- a) [7 val] Complete a tabela de transições, indicando para cada estado as excitações do contador e o correspondente estado seguinte. LD e RST designam os sinais aplicados às entradas de selecção contagem/carregamento e reset, respectivamente.

Actual				Seguinte
Q2Q1Q0	LD	RST	D2D1D0	Q2Q1Q0
000				
001				
100				
101				



- b) [6 val] Complete o seguinte diagrama temporal considerando desprezáveis os tempos de propagação face ao período de relógio, tendo em atenção os sinais de Load e Clear. O estado inicial é $Q_2Q_1Q_0=110$, assuma durante todo o intervalo de tempo $D_2D_1D_0=010$.

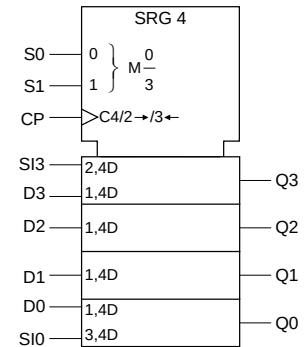


4º Mini-Teste: Contadores e Registos

Aluno	Nº
--------------	-----------

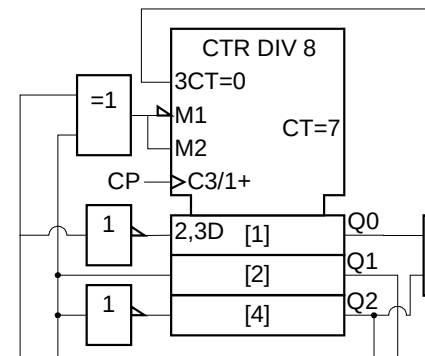
1. [7 val] Pretende-se usar o registo de deslocamento da figura para realizar um circuito que percorra ciclicamente a sequência 2,5,10,15,14,13,2 com um mínimo de lógica adicional externa. Complete a tabela abaixo, indicando para cada estado dado as excitações a aplicar às entradas de controlo que permitem atingir o estado seguinte desejado.

Q3Q2Q1Q0	S1S0	SI3	D3D2D1D0	SI0
0010				
0101				
1010				
1111				



2. Considere o circuito sequencial síncrono representado na figura. Como é habitual, a acção da entrada de reset deste contador sobrepõe-se aos modos de contagem e carregamento paralelo.
- a) [7 val] Complete a tabela de transições, indicando para cada estado as excitações do contador e o correspondente estado seguinte. LD e RST designam os sinais aplicados às entradas de selecção contagem/carregamento e reset, respectivamente.

Actual				Seguinte
Q2Q1Q0	LD	RST	D2D1D0	Q2Q1Q0
000				
010				
101				
110				



- b) [6 val] Complete o seguinte diagrama temporal considerando desprezáveis os tempos de propagação face ao período de relógio, tendo em atenção os sinais de *Load* e *Clear*. O estado inicial é $Q_2Q_1Q_0=011$, assuma durante todo o intervalo de tempo $D_2D_1D_0=000$.

