

Aluno _____

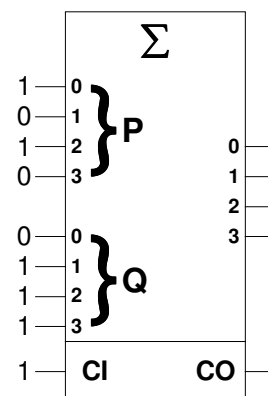
Nº _____

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

1. [2 val] Considere o circuito somador da figura abaixo.

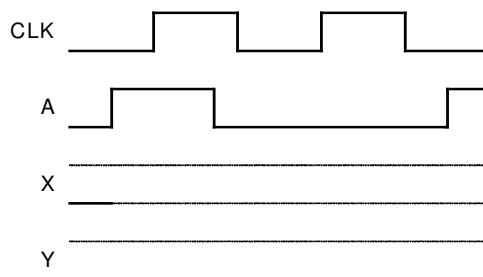
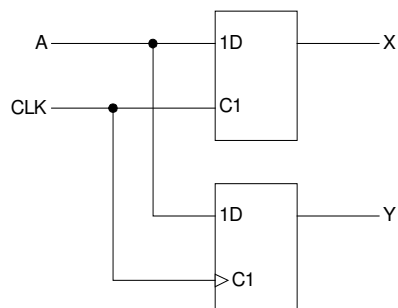
De acordo com os valores lógicos indicados em cada uma das suas entradas, está-se a realizar a subtração entre 2 números A e B representados em complemento para 2 e pertencentes ao intervalo $[-8, +7]$.

Indique quais os valores decimais de A e B e quais os valores lógicos nas saídas do circuito. Justifique.



2. [2 val] Considere o circuito da figura e as formas de onda indicadas. Considere ainda X e Y inicialmente a 0.

Esboce as formas de onda dos sinais X e Y, considerando os tempos de atraso dos elementos de memória desprezáveis face ao período de relógio.



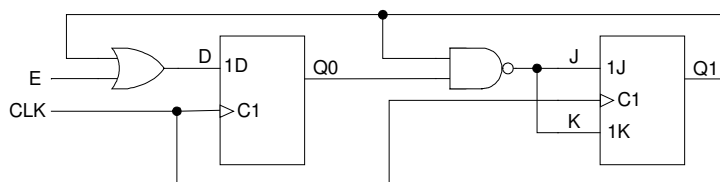
Aluno _____

Nº _____

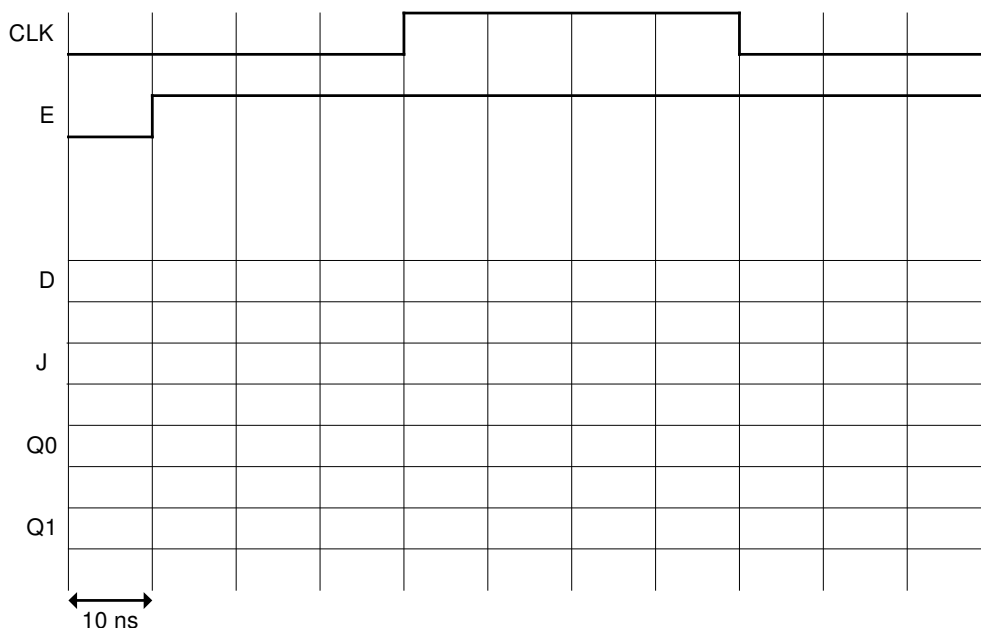
A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

3. a) [3 val] Considere o circuito da figura. Considere inicialmente $Q1=Q0=0$ (e $J=1, D=0$). Esboce as formas de onda dos sinais D, J, Q1 e Q0 tendo em conta as formas de onda indicadas no diagrama temporal para o relógio de frequência 12,5 MHz e para a entrada E, as características temporais dos elementos de circuito indicadas na tabela, e a escala indicada.

b) [1 val] Existe algum problema de violação de *SETUP*? Justifique.



FF D	
t_{SETUP}	10 ns
t_{HOLD}	5 ns
t_{PHL}	15 ns
t_{PLH}	20 ns
FF JK	
t_{SETUP}	15 ns
t_{HOLD}	5 ns
t_{PHL}	25 ns
t_{PLH}	30 ns
NAND	
t_{PHL}	20 ns
t_{PLH}	10 ns
OR	
t_{PHL}	20 ns
t_{PLH}	10 ns



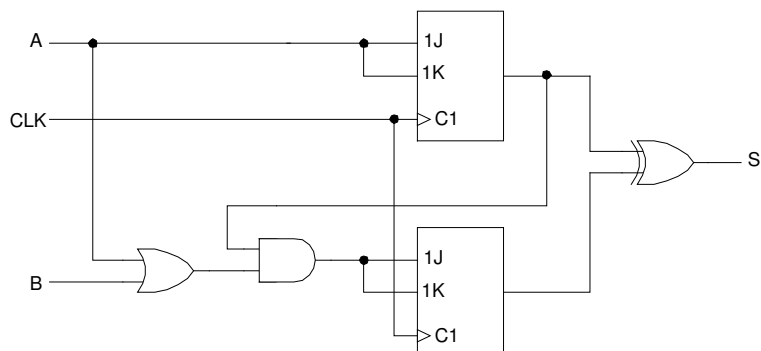
Aluno _____

Nº _____

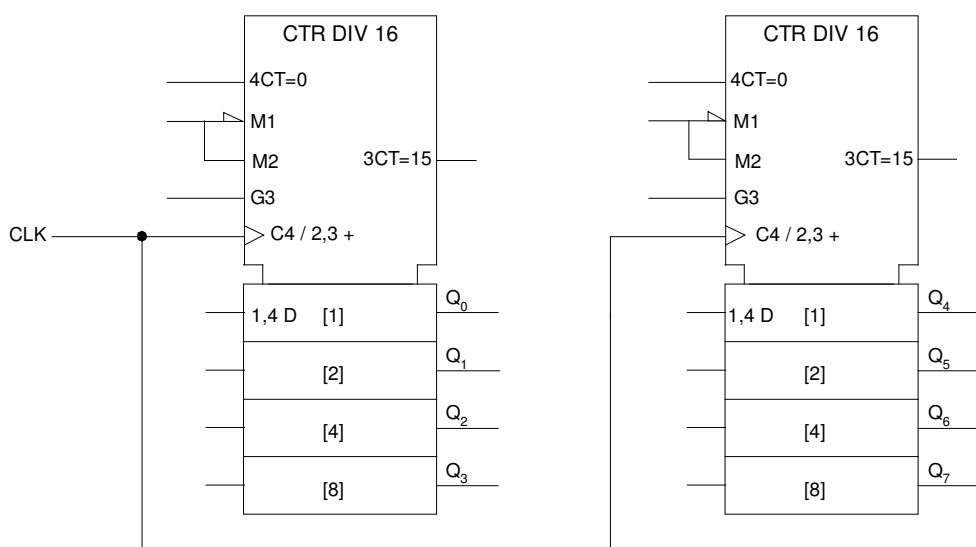
A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

4. [2 val] Indique qual é o período mínimo do relógio CLK que garante o funcionamento correcto do circuito, tendo em consideração as características temporais das portas lógicas e dos elementos de memória indicadas na tabela abaixo.

FF JK	
t_{SETUP}	5 ns
t_{HOLD}	2 ns
t_{PHL}	10 ns
t_{PLH}	10 ns
AND	
t_{PHL}	20 ns
t_{PLH}	20 ns
OR	
t_{PHL}	14 ns
t_{PLH}	14 ns
XOR	
t_{PHL}	26 ns
t_{PLH}	26 ns



5. [2 val] Concretize um contador binário módulo 145, que conte de 0 a 144, utilizando os contadores abaixo e uma única porta lógica adicional. Justifique.

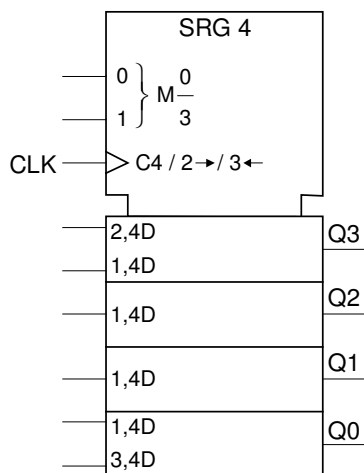
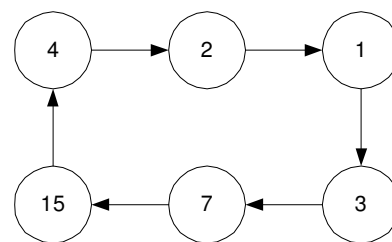


Aluno _____

Nº _____

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

6. a) [3 val] Com o registo de deslocamento abaixo e uma única porta lógica adicional, projecte um circuito que concretize a sequência indicada ao lado.
 b) [1 val] Indique o que acontece se o registo se iniciar no estado 0.



Aluno _____

Nº

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

7. a) [2,5 val] Indique a sequência de estados, começando no estado 2 e até voltar ao estado 2, concretizada pelo circuito abaixo.
- b) [1,5 val] Este circuito tem problemas de *lockout*? Justifique.

