

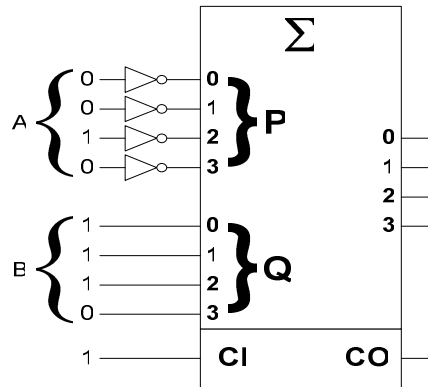
Aluno _____

Nº

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

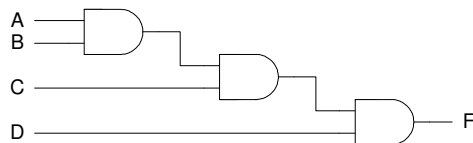
1. [2 val] Considere o circuito da figura abaixo. Considere os números binários A e B constituídos por 4 bits cada, com os valores indicados.

Indique quais os valores decimais de A e B, qual a operação aritmética (decimal) que está a ser realizada e quais os valores lógicos nas saídas do circuito. Justifique.



2. a) [1 val] Calcule o tempo de propagação máximo do circuito, indicando quais as condições que originam esse evento. Justifique.

AND		
t_p	LH	20ns
	HL	15ns



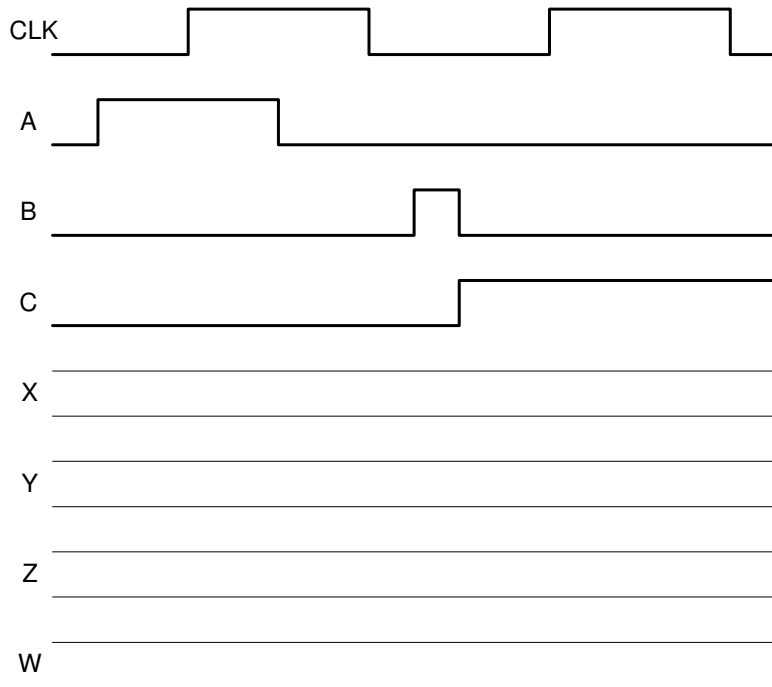
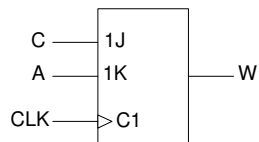
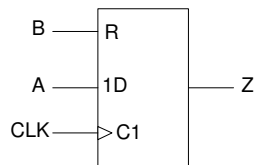
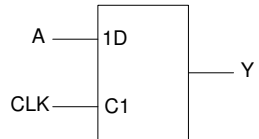
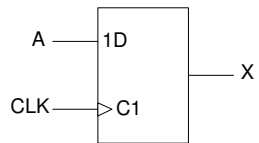
b) [1 val] Modifique o circuito anterior, mantendo a funcionalidade e utilizando apenas portas AND de 2 entradas, de modo a minimizar o tempo de propagação máximo. Justifique.

Aluno _____

Nº

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

3. [3 val] Considere o circuito da figura e as formas de onda indicadas. Considere ainda X, Y, Z e W inicialmente a 1.
Esboce as formas de onda dos sinais X, Y, Z e W, considerando os tempos de atraso dos elementos de memória desprezáveis face ao período de relógio. Justifique.



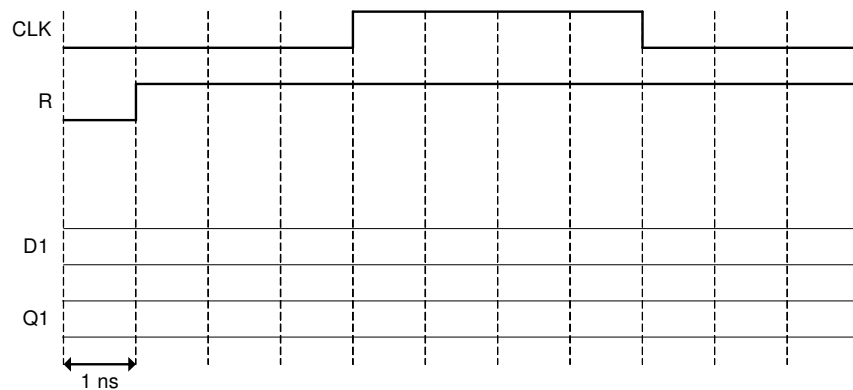
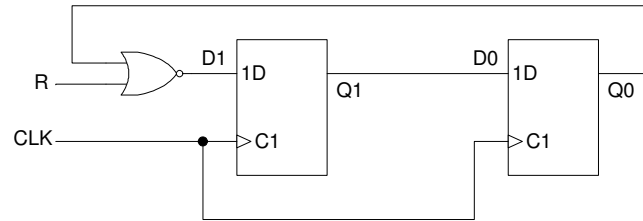
Aluno _____

Nº _____

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

4. a) [2 val] Considere o circuito da figura. Considere inicialmente $Q1=1$, $Q0=0$ e $R=0$. Esboce as formas de onda dos sinais D1, e Q1 tendo em conta as formas de onda indicadas no diagrama temporal para o relógio de frequência 125 MHz (período $T = 8$ ns) e para a entrada R, as características temporais dos elementos de circuito indicadas na tabela, e a escala indicada. Justifique.

FF D	
t_{SETUP}	2 ns
t_{HOLD}	1 ns
t_{PHL}	5 ns
t_{PLH}	4 ns
NOR	
t_{PHL}	1 ns
t_{PLH}	2 ns



b) [2 val] A frequência do relógio CLK indicada em a) garante o funcionamento correcto do circuito? Justifique.

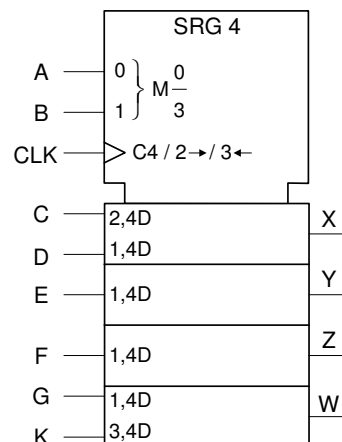
Aluno _____

Nº

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

5. [3 val] Considere o registo de deslocamento da figura ao lado.

Indique em cada um dos casos e para os estados e valores das entradas do circuito indicados, qual o novo estado do circuito. Justifique.



	A	B	C	D	E	F	G	K	X	Y	Z	W
Antes do flanco de CLK:	1	1	0	0	0	1	1	1	1	1	0	0
Após um período de CLK:												

	A	B	C	D	E	F	G	K	X	Y	Z	W
Antes do flanco de CLK:	1	0	0	0	0	1	1	1	1	1	0	0
Após um período de CLK:												

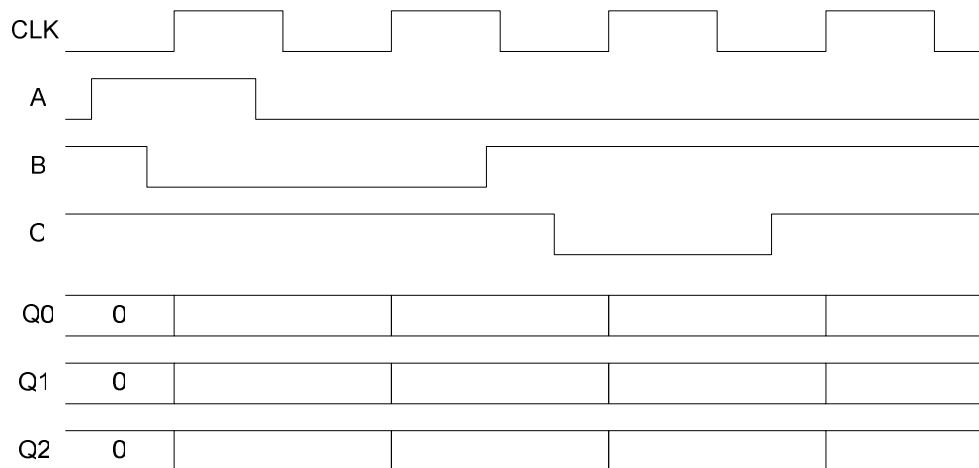
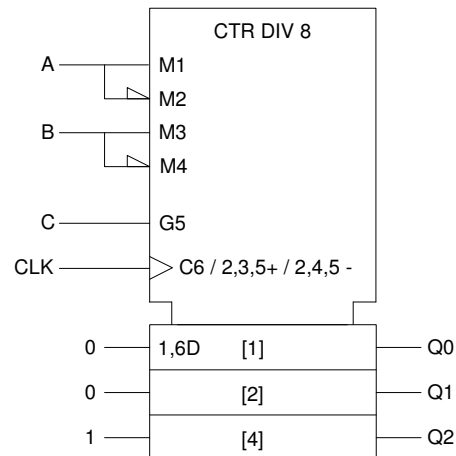
	A	B	C	D	E	F	G	K	X	Y	Z	W
Antes do flanco de CLK	0	1	0	0	0	1	1	1	1	1	0	0
Após um período de CLK:												

Aluno _____

Nº _____

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

6. [3 val] Considere o contador da figura inicialmente no estado 0. Considere também as formas de onda indicadas para os sinais A, B e C, e os valores lógicos indicados nas entradas de carregamento paralelo. Indique, na figura abaixo, os valores lógicos nos sinais de saída Q2, Q1 e Q0, nos 4 períodos de relógio indicados. Justifique.



Aluno _____

Nº _____

A não identificação desta folha implica que as respostas que lhe correspondem não lhe serão atribuídas.

7. [3 val] Com base no contador abaixo, projecte um circuito que concretize a sequência de estados indicada. Utilize o mínimo de portas lógicas adicionais. Justifique indicando todos os passos que seguiu até chegar ao circuito final.

